

단전자 트랜지스터로 구성된 논리 게이트 특성에 관한 연구

김경록, 김대환, 이종덕, 박병국
서울 대학교 전기 공학부
880-7279/882-4658

A Study of Single Electron Transistor Logic Characterization Using a SPICE Macro-Modeling

Kyung-Rok Kim
SoEE / Seoul National University
rocky@smdl.snu.ac.kr

Abstract

Single Electron Transistor Logic (SETL) can be characterized by HSPICE simulation using a SPICE macro model. First, One unit SET is characterized by Monte-carlo simulation and then we fit SPICE macro-modeling equations to its characteristics. Second, using this unit SET, we simulate the transient characteristics of two-input NAND gate in both the static and dynamic logic schemes. The dynamic logic scheme shows more stable operation in terms of logic-swing and on/off current ratio. Also, there is a merit that we can use the SET only as current on-off switch without considering the voltage gain.

I. 서론

단전자트랜지스터(Single Electron Transistor)는 고집적도와 저전력소비라는 측면에서 스케일링 한계에 부딪힌 MOSFET의 유력한 대안으로 제시되고 있다. 일반적으로 단전자 소자를 이용하여 논리 연산을 수행하는 방법에는 두 가지가 있는데 명칭 그대로 전자 하나 하나를 이동시켜 전자 하나의 유무로 1bit을 구성하는 단전자는 논리(Single Electron Logic)와 트랜지스터의 기능인 전류 스위치 특성을 이용한 단전자트랜지스터논리(Single Electron Transistor Logic)가 그것이다. 논리 연산의 안정도 면에서 보면 두 가지 접근 방법 중 단전자트랜지스터논리(SETL)가 가까운 미래에 더 실현 가능할 것으로 보인다.

다.

이 논문에서는 현재 소자 제조 수준에서 실현 가능한 변수들을 가지고 SPICE 매크로 모델링(macro-modeling)을 이용하여 이 소자들의 단전자트랜지스터논리(SETL) 연산 특성을 정량적으로 분석해 보았다.

II. 본론

단위소자로서의 단전자트랜지스터를 그림1.과 같이 현재 실현 가능한 변수들로 특성화하였다. 이 단전자트랜지스터에 대해 상온에서의 몬테카를로 전류 특성 곡선을 얻은 후, 효과적이고 빠른 회로 시뮬레이션을 위해서 이 전류 특성 곡선에 SPICE 매크로 모델링을 통해 SPICE 전류 특성을 맞추었다[1],[2].(그림 2.(a),(b))

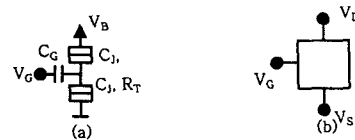
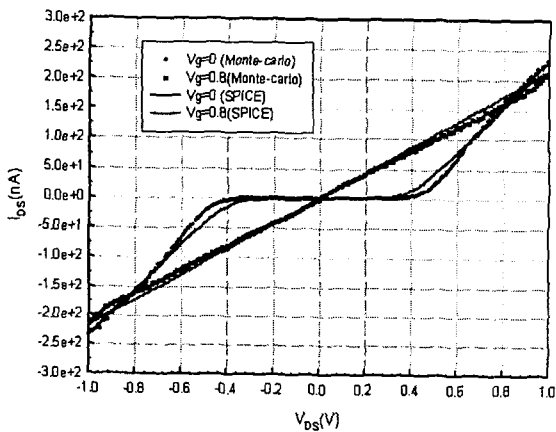


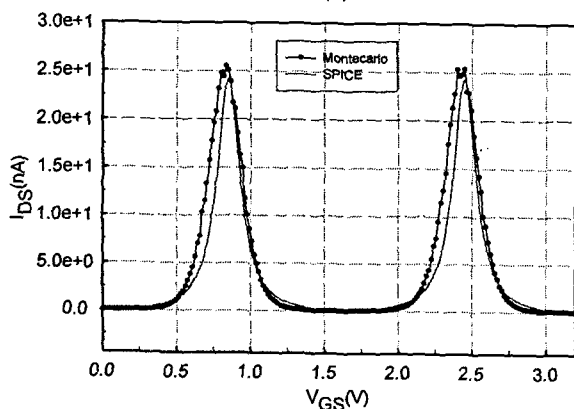
그림1.(a)단위소자: $C_G=0.1\text{aF}$, $C_1=0.06\text{aF}$, $R_T=500\text{k}\Omega$
(b) Black-box with three terminals

정적 논리 연산의 경우에는 가장 기초적인 논리 단위인 인버터(inverter)부터 분석을 시작하였다. 정적 인버터(inverter)는 기본적으로 풀업네트워크(pull-up networks)와 풀다운네트워크(pull-down networks)로 구성되어 있다. 풀업네트워크(pull-up networks)와 풀다운네트워크

(pull-down networks)는 같은 입력 전압 하에서 상보 연산(complementary operation)을 수행한다. CMOS 인버터와는 대조적으로 단전자트랜지스터를 이용한 인버터는 풀업네트워크와 풀다운네트워크가 물리적으로 동일한 소자이다. 따라서, 단전자트랜지스터를 이용한 인버터에서는 각각의 네트워크에 적용된 소자에 대해 외부 바이어스 조건을 달리하여 상보연산을 할 수 있도록 풀업네트워크와 풀다운네트워크에 해당되는 스위치를 각각 설정해야한다[3]. 이 방법은 기존의 CMOS 논리 회로에서 단순히 CMOS 자리에 각각의 단전자스위치(single electron switch :n-switch, p-switch)를 대체한다는 측면에서는 간단할 수는 있으나 각각의 스위치에 추가의 전압을 필요로 한다는 측면에서는 구현하기가 복잡하다는 단점이 있다.



(a)



(b)

그림2. Monte-carlo/SPICE fitting
(a) $I_{DS}-V_{DS}$ characteristics
(b) $I_{DS}-V_{GS}$ characteristics

이러한 복잡한 전압 조건을 피하기 위해 동작 바이어스 조건을 대칭적으로 인가하는 방법이 있다[4]. 이러한 대칭적인 동작 바이어스 조건에서는 각각 다른 전압 인가 없이 물리적으로 동일한 스위치로도 인버터의 특성을 얻을 수 있다는 장점이 있으나 동작 전압 조건이 그라운드(ground:GND)와 동작전압(V_{DD})사이에서 동작하는 기존의 논리 회로 조건과 다르다는 점에서 기존 논리 회로와 호환성에서 문제가 있기 때문에 CMOS와 단전자트랜지스터 논리의 혼성 논리회로(hybrid logic circuit)를 고려한다면 이 방법은 적합하지 않다.

기본적으로 단전자트랜지스터는 같은 입력 전압 하에서 완벽한 풀업네트워크 기능, 또는 풀다운 네트워크기능을 수행할 수 없다[5]. 따라서 풀업네트워크와 풀다운 네트워크를 모두 단전자트랜지스터로 대체한다는 생각은 정적 논리 연산의 기본 단위인 인버터의 동작을 보장할 수 없다는 면에서 한계가 있다.

동적 논리연산의 경우는 단지 풀업 네트워크 또는 풀다운 네트워크만 필요로 하므로 단전자트랜지스터를 동적 논리연산에 적용한 개념이 제안되었다[5],[6].

이 논문에서는 앞서 구성한 단위 소자(그림1.)를 이용해 SPICE에서 낸드(NAND) 게이트를 구성하여, 정적 논리 연산(static logic operation)과 동적 논리 연산(dynamic logic operation)의 두 가지 측면에서 접근하여 특성을 비교해 보았다.(그림 3.)

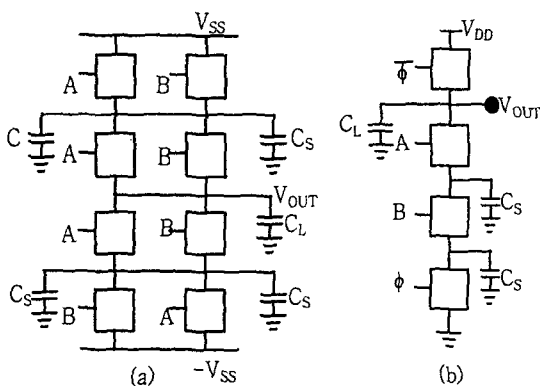
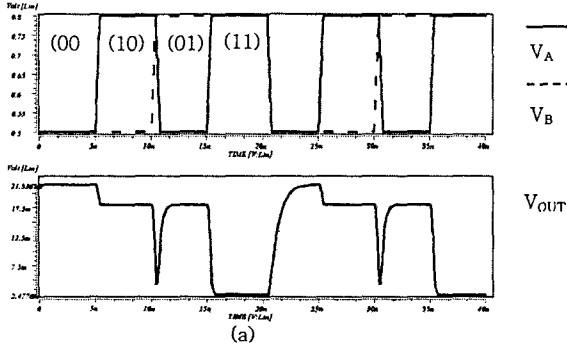
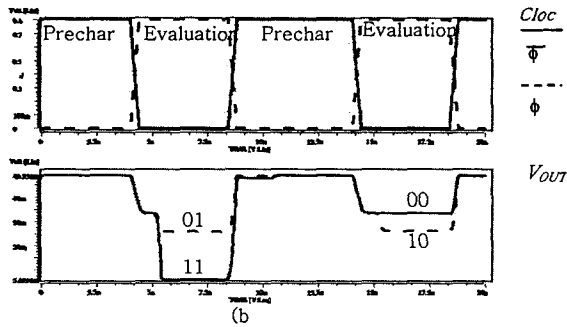


그림3. 두 개의 입력을 가지는 낸드 게이트
(a) 정적 낸드 게이트 (static NAND gate)
(b) 동적 낸드 게이트 (dynamic NAND gate)

그림 3(a)는 정적 낸드 게이트의 연산 결과를 보여준다.



(a)



(b)

그림3.출력특성($C_s=0.01\text{fF}$, $C_L=0.02\text{fF}$, $V_{DD}=50\text{mV}$)
 (a) 정적 낸드 게이트 (static NAND gate)
 (b) 동적 낸드 게이트 (dynamic NAND gate)

먼저 인버터 특성을 구해 인버팅 특성을 나타내는 입력 전압을 인가하였는데, 정적 논리연산의 경우 인버팅 특성을 보이는 입력 전압 범위가 불안정하여 입력 전압에 따라 낸드 게이트 특성이 안정적이지 못한 결과가 나타났다. 그 원인은 다음과 같다. SPICE 매크로 모델링은 기본적으로 하나의 단전자 소자를 독립적인 소자로 보는 것이다. 즉, 실제로는 인접한 단전자 트랜지스터의 양자점 사이의 상호 작용이 있지만 기생 용량이 충분히 크다면 인접한 양자점 사이의 상호 작용을 무시할 수 있다는 것인데, 지금의 모델링 파라미터로는 이 효과를 표현하기에는 부족하다. 인접한 양자점 사이의 상호 작용을 고려하기 위해서는 양자점 사이의 별도의 관계식(master equation)이 첨가되어야 한다. 동적 논리연산의 경우에는 단전자트랜지스터를 단순히 전류 스위치로 사용한다는 개념이다. 그림 2(b)에서 보듯이 동일한 단전자트랜지스터로 상보관계의 클럭(clock)을 인가하여 풀업과 풀다운기능을 각각 수행하도록 하고 논리연산은

풀다운기능만 담당하는 단전자스위치로 수행하도록 했다. 정적 낸드게이트(그림2(a))는 CMOS와는 달리 동일한 소자로서, 소자의 크기 스케일링을 통한 전류 구동 능력을 조절 할 수 없고, 따라서 같은 소자를 병렬로 연결해야 하기 때문에 소자 집적도 면에서 동적 낸드게이트의 경우에 비해 불리하다. 동적 낸드게이트의 논리 연산의 결과는 그림 3(b)에 나타나 있다.

기본적으로, 현재 구현 가능한 단전자트랜지스터는 상온에서 오프 전류(off-current)가 매우 큰 소자이기 때문에 결과에서 보듯이 하이레벨(high-level:1)이 두 개로 갈라지는 결과를 얻었다. 가장 낮은 하이레벨(high-level)과 로우레벨과(low-level:0)의 차이는 20mV정도로 동적 낸드게이트의 불안정한 특성으로 인해 직접적인 비교는 불가능하지만 동적 낸드게이트의 15mV보다 좋은 결과를 보여 주었다(표1). 이러한 결과는 이후 CMOS 버퍼단(buffer stage)을 통해 완전한 논리로 구현되어야 한다.

표 1. 출력전압 스윙특성 비교 (단위 :mV)

	V_{HIGH}	V_{LOW}	V_{SWING}
Static	17.6	2.5	15.1
Dynamic	26.3	5.8	20.5

III. 결 론 및 추 후 연구

결론적으로, 동적 낸드 게이트(dynamic NAND gate) 특성이 정적 낸드 게이트(static NAND gate) 특성보다 소자의 집적도면이나 논리 연산의 안정도면에서 더 나은 결과를 보여 주었다. (그림3). 단전자 소자는 기본적으로 출력 임피던스가 매우 큰 소자로 전압이득이 크기 힘든 소자이고, CMOS와는 달리 풀업네트워크와 풀다운네트워크가 동일한 소자로, 정적 논리연산의 경우 완전한 풀업(pull-up)이나 풀다운(pull-down)을 수행하기가 힘들다. 동적 논리연산의 경우 전압 조건에 따라 풀업(pull-up) 또는 풀다운(pull-down)만을 수행하기 때문에 논리연산이 안정적인 결과가 나왔다. 이상은 모두 상온에서의 특성을 분석한 것으로 아직까지 단위 소자의 누설 전류의 양이 상당한 수준이지만 동적 논리 연산의 경우 바이어스 전압 50mV하에서 20mV의 출력 전압 차이를 얻어낼 수 있었다. (표1)

효과적이고 빠른 단전자트랜지스터 논리 회로를 시뮬레이션하기 위해서는 SPICE 매크로 모델링이 필요하지만 신뢰성있는 결과를 얻기 위

해서는 인접한 양자점 사이의 상호작용과 인접한 단전자트랜지스터 사이의 상호 전압 변화에 대해 고려해야한다. 그러기 위해서는 파라미터와 관계식이 추가되어야 하고 이에 대한 연구가 필요하다. 또한, CMOS 혼성회로(CMOS-hybrid circuit)에 대한 연구의 일환으로 구현 가능한 CMOS 버퍼단(CMOS buffer stage)설계에 대한 연구도 진행되어야한다.

참고 문헌

- [1]SIMON: Single Electron Devices and Circuit Simulator, wasshuber@iue.tuwien.ac.at
- [2]Y.S. Yu, S.W. Hwang, and David Ahn, "Macromodeling of Single-Electron Transistor for Efficient Circuit Simulation" , *IEEE Trans. ED.* vol.46 , no. 8, 1999
- [3] J.R. Tucker, "Complementary digital logic based on the Coulomb blockade" , *J.Appl.Phys.* 72, Nov. 1992.
- [4] A.N. Korotkov, R.H. Chen, and K.K. Likharev, "Possible Performance of Capacitively Coupled Single Electron Transistors in Digital Circuits" , *J.Appl.Phys.* 78, Aug. 1995.[5] K. Uchida, K. Matsuzawa, and A. Toriumi, "A New Design Scheme for Logic Circuits with Single Electron Transistors" ,*Jpn. J.Appl.Phys.* *J.Appl.Phys* vol.38, July 1999.
- [6] K.Uchida ,K.Matsuzawa, and A. Toriumi, "Room Temperature Operating CMOS-like Logic Circuits with Single Electron Tunneling Devices",*SSDM*pp.188-189. 1998