

금속-산화막-반도체 소자에서 대체 게이트 금속인 텅스텐 실리사이드의 특성 분석

노관중, 윤선필, 양성우, 노용한
성균관대학교 전기전자 및 컴퓨터공학부
tel) 0331-290-7134, fax) 0331-290-5819

Tungsten Silicide (WSi_2) for Alternate Gate Metal in Metal-Oxide-Semiconductor (MOS) Devices

Kwanchong Roh, Sunpil Youn, Sungwoo Yang, Yonghan Roh
Sungkyunkwan University, School of Electrical & Computer Engineering
yhroh@yurim.skku.ac.kr

Abstract

Tungsten silicide(WSi_2) is proposed for the alternate gate electrode of ULSI MOS devices. Good structural property and low resistivity of WSi_2 deposited by a low pressure chemical vapor deposition(LPCVD) method directly on SiO_2 is obtained after annealing. Especially, WSi_2 - SiO_2 interface remains flat after annealing tungsten silicide at high temperature. Electrical characteristics of annealed WSi_2 - SiO_2 -Si(MOS) capacitors were improved in view of charge trapping.

1. 서론

현재 MOS 소자의 게이트 구조는 게이트 산화막위에 폴리 실리콘(poly-Si)을 성장시킨 후, 저항을 줄이기 위해 텅스텐(W), 코발트(Co), 티타늄(Ti) 실리사이드를 성장시키는 복층 구조로 이루어져 있다. 그러나, 소자 집적도의 증가에 따라 게이트 공핍(gate poly-depletion)에 따른 전류 구동능력의 저하, dual poly-Si 공정에서 p+ poly-Si 게이트 성장시 발생하는 붕소(B)의 확산과 저항 증가 등이 문제점으로 제시되고 있다^[1]. 상기 문제점을 개선하기 위해 폴리 실리콘 게이트 기술을 대체할 기술로 폴리실리콘-저머니움(poly- $Si_{1-x}Ge_x$) 게이트^[2] 및 텅스텐, 티타늄 질화막(TiN)의 순수 메탈 게이트^[3-4] 등이 연구되어 왔다. Poly- $Si_{1-x}Ge_x$ 게이트의 경우 게이트 공핍 문제를 해결할 수 있으나 저항을 줄이기 위해 상부에 메탈 또는 메탈실리사이드를 필요로 한다. 한편, 순수 메탈 게이트

인 텅스텐은 저저항을 얻을 수 있는 반면, 얇은 게이트 절연막(SiO_2) 위에 증착시 접착성이 약하고 불소(F) 확산에 의한 산화막의 열화가 문제점으로 제기되고 있다^[5-7].

본 연구에서는 poly-Si 게이트보다 낮은 저항 특성을 갖고 순수 메탈게이트보다 산화막과의 호환성이 더욱 우수한 텅스텐 실리사이드를 게이트 전극으로 제안하였다. 순수 텅스텐 실리사이드 게이트 공정은 폴리사이드 공정보다 단순하며, 기존의 폴리사이드의 상부막 공정에서 사용되어 왔기 때문에 실제 반도체 생산라인의 적용에 유리하다. 현재까지 텅스텐 실리사이드에 대한 연구는 폴리 실리콘의 상부막으로 사용하기 위한 텅스텐 실리사이드 증착 및 열처리에 관한 연구가 주로 진행되었고, 순수 텅스텐 실리사이드를 게이트로 갖는 소자에 대한 연구는 미흡한 수준이다. 특히, 얇은 산화막에 대한 소자 적용 및 얇은 산화막 소자 구조에서 고온의 열처리를 수행할 때, WSi_2 - SiO_2 계면의 변화에 관한 연구는 없었다.

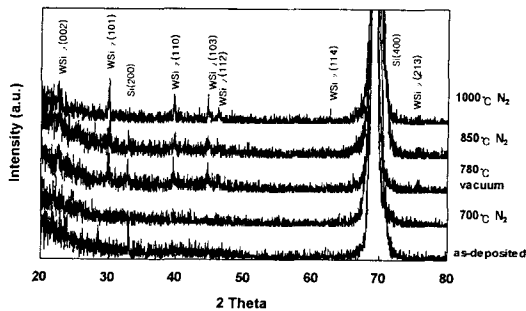
본 연구에서는 텅스텐 실리사이드의 게이트 전극으로의 적용가능성을 타진하기 위해 SiO_2 위에 LPCVD 방식으로 텅스텐 실리사이드를 증착하고 열처리후 물리·전기적 특성 분석을 수행하였다.

2. 본론

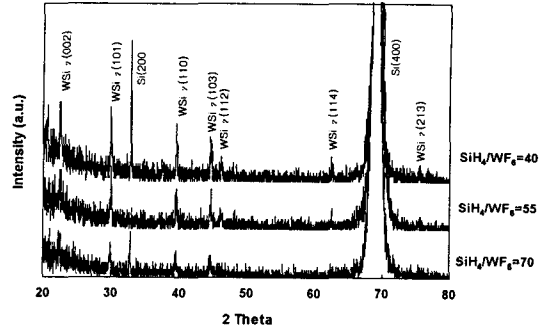
본 연구에서는 텅스텐 실리사이드 증착을 위하여 cold wall 방식의 저압 화학기상 증착(LPCVD) 시스템을 사용하였다. N-Si (100) 웨이퍼위에 금속 열처리(RTP)에 의해 850 °C에서 80 초간 110A의 열산화막

을 성장시키고 850 °C에서 60 초간 POA를 수행한 후 그 위에 텅스텐 실리사이드를 증착하였다. WSi_2 의 성장 조건으로 압력은 0.7 Torr, 기판온도는 350 °C, 사용가스는 WF_6 의 유량을 2 sccm으로 고정시키고 SiH_4/WF_6 의 가스 비율을 40에서 70까지 변화시켰다. H_2 는 500 sccm으로 고정하였다. 열처리 전후의 특성변화를 살펴보기 위해 RTP 및 확산로를 사용하여 700~1000 °C, 진공 또는 N_2 분위기에서 열처리를 수행하였다. 순수 WSi_2 게이트 MOS 캐패시터는 WSi_2 를 SiO_2 위에 증착한 후 사진현상 및 습식 에칭 공정을 통해 $200 \mu m \times 200 \mu m$ 크기로 제작하였다. 또한 WSi_2 게이트 소자와 비교 분석하기 위해 같은 조건의 산화막을 이용한 텅스텐 게이트 MOS 캐패시터를 제작하였다.

그림 1(a)는 증착직후 및 열처리 온도에 따른 WSi_2 의 XRD 결과를 나타낸 것이다. WSi_2 의 증착조건은 350 °C, 0.7 Torr, $SiH_4/WF_6=55$ 이다. 열처리전의 박막은 비정질 상태로 기판의 Si 피크치만 관측되었고, RTP 열처리 온도가 증가함에 따라 780 °C이상에서 텅스텐 실리사이드 피크치들이 관측되었으며 그 크기가 증가하였다. 실리사이드 결정화 온도가 기존의 650 °C보다 높은 이유는 실험에 사용된 막의 두께가 다소 얇고, Si 과다 텅스텐 실리사이드 막이 되면서 결정화 온도가 높아진 것으로 보여진다^[8]. 본 논문에서 제시되지 않았지만 RBS 분석결과 열처리전 조성은 $x=2.5(WSi_x)$ 이었다. 그림 1(a)에서 780°C/진공/3분/RTP의 경우가 850°C/ N_2 /1분/RTP보다 XRD 피크치가 크게 관측되었다. 이것은 진공에서 RTP 이용이 더 효과적임을 보여준다. 그림 1(b)는 텅스텐 실리사이드 증착시 SiH_4/WF_6 비율이 다른 막들을 1000°C/ N_2 /1분의 동일 조건에서 RTP 열처리후 XRD를 측정한 결과이다. SiH_4/WF_6 비율이 클수록 텅스텐 실리사이드의 피크치가 감소하였다. 이것은 SiH_4/WF_6 이 클수록 증착막내에 과다한 Si이 결정립계(grain boundary)에 위치하여 결정화를 지연시키기 때문으로 보여진다^[8].



(a) RTP 열처리 온도변화 ($SiH_4/WF_6=55$)



(b) SiH_4/WF_6 비율 (1000°C/ N_2 /RTP)

그림 1. 열처리 온도 및 가스비율에 따른 WSi_2 의 XRD.

그림 2는 WSi_2 박막의 열처리 장치, 분위기, 온도에 따른 비저항 변화를 보인 것이다. 열처리전 950~1050 $\mu\Omega \cdot cm$ 의 비저항을 나타내어 보고된 결과^[9-11]와 유사하였고, 인용된 결과(Δ)^[9]의 경향처럼 열처리 온도가 높을수록 텅스텐 실리사이드의 비저항은 급격히 감소하여 최소 ~70 $\mu\Omega \cdot cm$ 의 비저항을 보였다. 이것은 그림 1의 XRD에서 알 수 있듯이 열처리 온도가 증가할수록 텅스텐 실리사이드의 결정이 크게 성장하기 때문이다. 한편 SiH_4/WF_6 비율이 증가할수록 비저항은 증가하는 경향을 보였다. 1000 °C RTP 열처리후 SiH_4/WF_6 비율이 40, 55는 거의 같은 비저항 값을 나타내었으나 70인 경우 다소 높았다. 이는 가스비가 증가할수록 텅스텐 실리사이드내의 Si의 함유량이 과다하게 되어 열처리전후의 비저항이 증가하기 때문이다^[12]. 앞서 XRD 결과에서 진공/RTP가 N_2 /RTP보다 같은 온도 열처리에서 XRD 피크치가 더 큼을 확인하였다. 저항 결과에서도 850°C/ N_2 /RTP보다 780°C/진공/RTP(160 $\mu\Omega \cdot cm$)가 더 낮은 비저항 결과를 보였다.

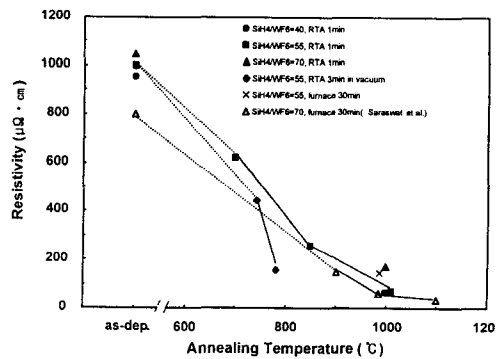


그림 2. 열처리 장치, 분위기, 온도에 따른 비저항. Δ 은 [9]에서 인용됨.

그림 3은 열처리전과 780°C/진공/RTP 열처리후 $WSi_2/SiO_2/Si$ 의 평면 및 단면 TEM 결과를 나타낸 것이다. 그림 3(a)의 열처리전 텅스텐 실리사이드 막은 ~10 Å의 미세한 결정을 갖으나, 열처리후 그림 3(b)처럼 250~500 Å의 다결정으로 성장하게 된다. 그림 3에는 나타나 있지 않지만 평면 TEM 결과에서도 780°C/진공/RTP가 850°C/ N_2 /RTP보다 결정립이 더 크게 나타났다. 그림 3(c), (d)를 보면 WSi_2-SiO_2 계면과 SiO_2-Si 계면이 열처리 전후 모두 거칠기 않고 평평함을 알 수 있다. 이는 텅스텐 실리사이드의 증착 공정 중 부산물로서 나오는 불소 계열의 화합물에 의해 산화막이 침식당하지 않았고, 열처리 후에도 불소 확산에 의한 부가적인 산화막 성장에 없었음을 단적으로 보여준다^[1,7]. 또한, 열처리중 WSi_2 의 결정 성장에 의한 산화막의 거칠기 증가가 없음을 보여주는 것이다.

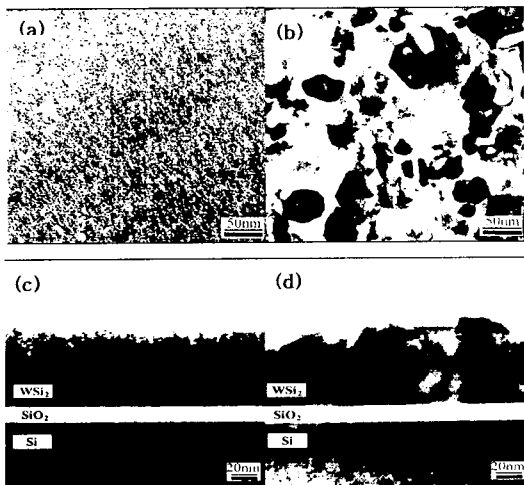


그림 3. 열처리전 및 780°C/진공/RTP 열처리후 WSi_2 의 평면 TEM(a)(b) 및 단면 TEM(c)(d). (a) 및 (c)는 열처리전, (b) 및 (d)는 열처리후.

그림 4-5는 텅스텐 실리사이드의 전기적 특성 분석 결과를 나타낸 것이다. 모든 텅스텐 실리사이드 게이트 MOS 캐패시터는 가스비가 55이며 열처리전 및 780°C/진공/RTP후 소자를 분석한 것이다. 그림 4(a), (b)는 열처리전 및 열처리 후 WSi_2 게이트 소자의 HF C-V, QS C-V와 I-V 특성을 나타낸 것이다. C-V 측정결과 열처리후 플랫폼 전압(V_{fb})이 0.15V 우측으로 이동하였고 곡선의 형태는 변함이 없어 열처리후에도 계면전하나 다른 전하가 증가하지 않았음을 알 수 있다. 그리고, poly-Si 게이트에서 관측되는 게이트 공핍 현상도 보이지 않았다. 플랫폼 전압의 차이는 열처리 후 텅스텐 실리사이드의 조성이 변화함에 따라 변하게 된 것으로 판단된다. RBS 분석결과 WSi_x 의 조성

이 x=2.5에서 열처리후 2.3으로 감소하였다. 그림 4(b)는 열처리 전후의 인가 전계에 대한 누설 전류 특성을 나타낸 것이다. 열처리 전후 모두 10^{-7} A/cm² 미만의 매우 낮은 값을 갖으며 절연 파괴 전계(E_{bd})도 매우 큼을 알 수 있다. 그리고, 텅스텐 게이트에서 관찰되는 큰 누설전류도 보이지 않는다. 텅스텐 게이트의 경우 텅스텐 증착동안 과도한 불소가 산화막에 유입되어서, 저전계에서도 누설전류가 크게 나타나며 절연 파괴가 될 때까지 WSi_2 게이트보다 2계수 이상 큰 누설전류 특성을 보이고 있다^[13].

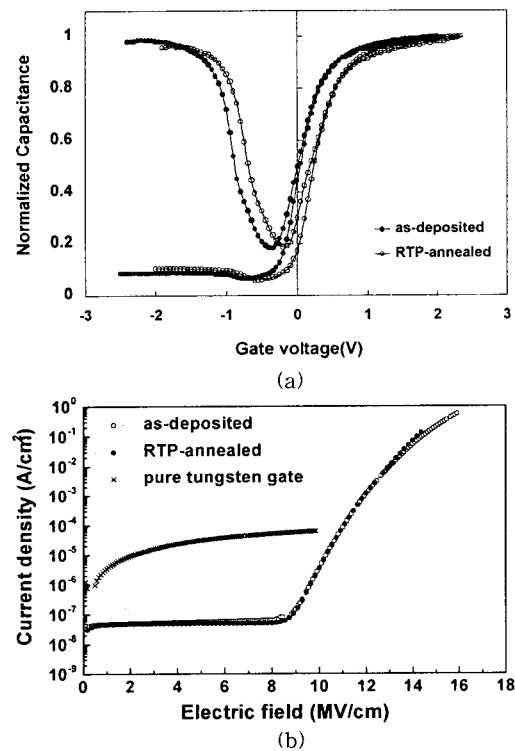


그림 4. 열처리 전후 순수 WSi_2 MOS 캐패시터의 HF C-V, QS C-V(a) 및 I-V 특성(b). (b)에서 ×는 텅스텐 게이트 MOS 캐패시터의 I-V이다.

그림 5(a) 및 (b)는 50nA FNT 전자 주입시 관측되는 전하포획 특성을 나타낸 것이다. 그림에서 플랫폼 전압변동은 산화막 전체에 걸쳐 포획되는 산화막의 전하에 관계된 양이며, 제어전압은 정전류 주입을 위해 필요한 전압으로 산화막 벌크내에 포획되는 전하에 관계된 양이다^[14]. 열처리 후의 전하 포획이 열처리 전보다 50% 이상 크게 감소함을 알 수 있다. 이러한 결과는 WSi_2 증착 공정 및 열처리공정 후에도 산화막내에 존재하는 불소의 영향을 무시할 수 있음을 보여준다.

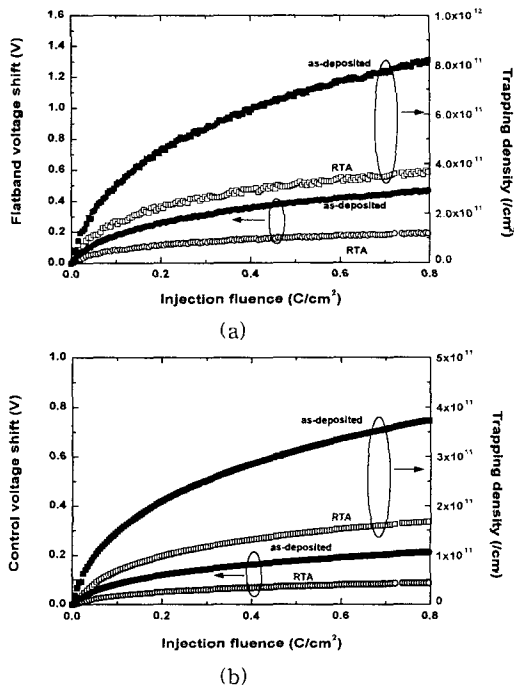


그림 5. Si 기판으로부터의 50nA FNT 전자 주입시 주입전하량에 따른 플랫밴드 전압 변동과 그로부터 유도된 전하 포획 밀도(a), 제어 전압 변동과 전하 포획 밀도(b)

3. 결론

텅스텐 실리사이드는 열처리 후 결정 성장에 의해 저항이 크게 감소하며 텅스텐 실리사이드와 산화막의 계면도 매우 평평함을 확인하였다. 또한 전기적인 분석 결과 폴리 실리콘에 나타나는 게이트 공핍현상이 나타나지 않고 누설전류 또한 매우 작음을 알 수 있었다. 그리고, TEM 결과 및 누설전류 특성, 전자주입 분석결과 증착 공정 및 열처리공정중 산화막내로 유입되는 불소의 영향도 무시할 수 있었다.

참고문헌

[1] B. Yu, D. Ju, W. Lee, N. Kepler, T. King and C. Hu, "Gate engineering for deep-submicron CMOS transistors", *IEEE Trans. Electron Devices*, vol. ED-45, no. 6, pp. 1253-1262, 1998

[2] W. Lee, T. King and C. Hu, "Observation of reduced boron penetration and gate depletion for poly-Si_{0.8}Ge_{0.2} gated PMOS Devices", *IEEE Electron Device Lett.*, vol. 20, no. 1, pp. 9-11, 1999

[3] W. Yeh, Y. Shiau and M. Chen, "A new tungsten gate metal oxide semiconductor capacitor using a chemical vapor deposition process", *J. Electrochem Soc.*, vol. 144, no. 1, pp. 214-217, 1997

[4] T. Yamada, M. Moriwaki, Y. Harada, S. Fujii and K. Eriguchi, "The Metal Gate MOS Reliability with the Improved Sputtering Process for Gate Electrode", *IEDM*, pp. 319-322, 1999

[5] Y. Shioya, S. Kawamura, I. Kobayashi, M. Maeda and K. Yanagida, "Effect of fluorine in chemical-vapor-deposited tungsten silicide film on electrical breakdown of SiO₂ film", *J. Appl. Phys.*, vol. 61, no. 11, pp. 5102-5109, 1987.

[6] P. J. Wright and K. C. Saraswat, "The effect of fluorine in silicon dioxide gate dielectrics", *IEEE Trans. Electron Devices*, vol. ED-36, no. 5, pp. 879-889, 1989.

[7] S. L. Hsu, L. M. Liu, M. S. Lin and C. Y. Chang, "Direct evidence of gate oxide thickness increase in tungsten polycide processes", *IEEE Electron Device Lett.*, vol. 12, no. 11, pp. 623-625, 1991.

[8] Y. Shioya and M. Maeda, "Analysis of the effects of annealing on resistivity of chemical vapor deposition tungsten-silicide films", *J. Appl. Phys.*, vol. 60, no. 1, pp. 327-332, 1986

[9] K. C. Saraswat, D. L. Brors, J. A. Fair, K. A. Monnig and R. Beyers, "Properties of low-pressure CVD tungsten silicide for MOS VLSI interconnections", *IEEE Trans. Electron Devices*, vol. ED-30, no. 11, pp. 1497-1505, 1983.

[10] Y. Shioya, T. Itoh, I. Kobayashi and M. Maeda, "Change in Resistivity and Composition of Chemical Vapor Deposited Tungsten Silicide Films by Annealing", *J. Electrochem Soc.*, vol. 133, no. 7, pp. 1475-1479, 1986

[11] K. Shenai, "Structural and Electrical Properties of Furnace and Rapid Thermally Annealed LPCVD WSi₂ Films on Single-Crystal, Polycrystalline, and Amorphous Silicon Substrates", *IEEE Trans. On Electron Devices*, Vol. 39, no. 1, pp. 193-199, 1992

[12] T. Hara, H. Takahashi and Y. Ishizawa, "Composition of CVD Tungsten Silicides", *J. Electrochem Soc.*, vol. 134, no. 5, pp. 1302-1306, 1987

[13] J. H. Sone, S. -O. Kim, K. -J. Kim, H. S. Kim and H. J. Kim, "Formation of low pressure chemically vapor deposited W thin film on silicon dioxide for gate electrode application" *Thin Solid Films*, 253, pp. 377-381, 1994

[14] Y. Roh, L. Trombetta and J. Han, "Analysis of charge components induced by Fowler-Nordheim tunnel injection in silicon oxides prepared by rapid thermal oxidation", *J. Electrochem Soc.*, vol. 142, no. 3, pp. 1015-1020, 1995.

* 본 연구는 한국과학재단 핵심전문연구 프로그램 (971-0914-081-2)의 지원에 의해 수행되었습니다.