

## 고온스퍼터링법으로 제작된 티타늄실리사이드의 구조적 전기적 특성 연구

이세준, 김두수, 성규석, 강윤목, 차정호, 송민규, 정 웅, 김득영  
이연환\*, 조훈영\*  
홍종성\*\*

동국대학교 반도체학과

\*동국대학교 물리학과

\*\*삼척대학교

전화 : (02) 2285-3803 / 팩스 : (02) 2260-8716

## Electrical and morphological properties of titanium silicide fabricated by high temperature sputtering method

S. J. Lee, D. S. Kim, K. S. Seong, Y. M. Kang, J. H. Cha, M. K. Song, W. Jung and D. Y. Kim

\*Y. H. Lee and \*H. Y. Cho

\*\*J. S. Hong

Dept. of Semiconductor Science Dongguk University

\*Dept. of Physics Dongguk University

\*\*Samchuk National University

E-mail : sejoon@dgu.ac.kr

### Abstract

We have investigated the relationship between electrical and morphological properties of titanium silicide films. In this study, the C54 titanium silicides were formed by using high temperature sputtering and one-step annealing. From the measurement of electrical and morphological properties, a smooth surface and a relaxed roughness were observed for the titanium silicide film fabricated by high temperature sputtering. And it seems that the previous effect could improve electrical properties.

### 1. 서 론

금속과 실리콘의 화합물로 형성되는 실리사이드는  $\text{CoSi}_2$ ,  $\text{WSi}_2$ ,  $\text{PtSi}$ ,  $\text{NiSi}$ ,  $\text{TaSi}_2$ , 그리고  $\text{TiSi}_2$  등이 대표적이며, 그 중  $\text{TiSi}_2$ 는 여러 실리사이드들 중에서 가장 낮은 비저항( $\rho = 15 \sim 20 \mu\Omega \cdot \text{cm}$ )을 가지며 열적 안정도가 좋기 때문에 낮은 저항값을 요구하는 고밀도 집적회로에 유용하게 사용되고 있다.<sup>[1~3]</sup>

최근 소자의 차원이 수직방향과 수평방향으로 모두 감소함에 따른 실리사이드의 저항성분(직렬저항, 접촉저항, 그리고 기생저항 등) 증가가 저차원소자에서 가장 큰 문제점으로 대두되고 있다.<sup>[4~5]</sup> 티타늄 실리사이드에서는 그러한 문제를 C49  $\text{TiSi}_2$ 의 결정립 크기와 관련짓고 있으며, 그것은 C54  $\text{TiSi}_2$ 의 핵화가 C49  $\text{TiSi}_2$ 의 결정립 경계면 3극점에서 일어나기 때문이다.<sup>[6~8]</sup> 따라서 티타늄 실리사이드의 제작과정에서 C49  $\text{TiSi}_2$ 의 bypass가 이루어지지 않을 경우에는 C49  $\text{TiSi}_2$  결정립이 저차원으로 설계된 전극의 미세선폭보다 작은 크기를 가져야 하며 그 미세선폭의 범위 안에서 고밀도로 분포하고 있어야 한다.<sup>[5~7]</sup>

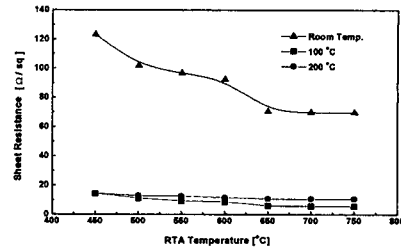
본 연구에서는 티타늄 실리사이드 박막을 고온스퍼터링법으로 제작하여 구조적 전기적 특성을 측정한 후 박막의 표면형상이 전기적 특성에 미치는 영향을 관찰하였다.

### 2. 실험 및 측정

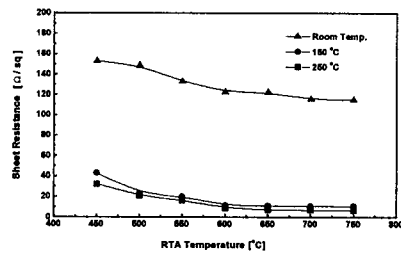
본 실험에서는 Ti/Si 박막의 제작을 위해 Ti(순도

99.995%, 2", 5mm) 타겟을 이용하였으며 DC 마그네트론 스퍼터링법으로 박막을 증착하였다. 사용된 기판은 비저항이 약 10~15 Ω·cm 정도인 실리콘 웨이퍼였다. 준비된 기판을 Piranha(H<sub>2</sub>SO<sub>4</sub>:H<sub>2</sub>O<sub>2</sub>=4:1) 용액으로 세척하고 Dilute (HF:H<sub>2</sub>O=1:10)용액으로 자연산화막을 제거하였다. 세척된 기판은 수분제거를 위해 질소 분위기에서 100℃, 10분간 건조된 후 곧 바로 챔버에 놓였다.

시료의 제작은 Ti층의 증착두께 그리고 증착 시 기판의 온도 등에 따른 C54 TiSi<sub>2</sub> 형성을 관측하기 위해 700~5500 Å의 두께와 27~450℃의 온도를 각각 변화시키며 제작하였으며, 증착된 박막으로부터 실리사이드 형성을 위하여 450~750℃까지 50℃ 간격의 온도변화를 두고 60초 동안 RTA법으로 후처리하였고 열처리 후 측정 목적에 따라 반응하지 않은 Ti을 50℃의 Ti etchant (H<sub>2</sub>SO<sub>4</sub>:H<sub>2</sub>O<sub>2</sub>=1:10)에 1~3분간 dipping하여 제거하였다. 제작된 티타늄 실리사이드의 결정학적 상구조를 XRD로 측정하여 C54 TiSi<sub>2</sub>의 형성 여부와 상전이 과정을 관찰하였으며 AFM으로 형성된 C54 TiSi<sub>2</sub> 박막의 표면형상을 관찰하였다. 전기적 특성은 면저항, 전류-전압특성, 그리고 접촉특성비저항 측정 등을 통하여 분석하였다.



(a) Ti층의 증착두께 : 4500 Å



(b) Ti층의 증착두께 : 900 Å

그림 3. 열처리 온도에 따른 면저항의 변화

### 3. 결과 및 논의

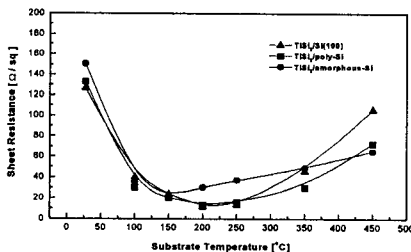


그림 1 증착 시 기판의 온도에 따른 티타늄실리사이드의 면저항 (열처리 온도 650℃, 60초)

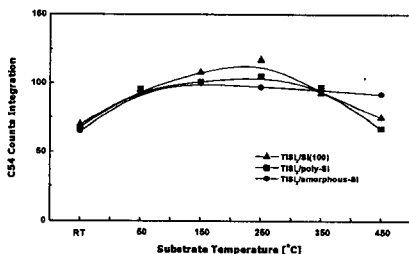


그림 2 XRD결과로부터 산출된 증착 시 기판의 온도에 따른 C54 티타늄실리사이드 분포 (열처리 온도 650℃, 60초)

그림 1과 2는 측정된 면저항과 XRD 스펙트럼으로부터 산출된 C54 TiSi<sub>2</sub>의 피크값 분포를 증착온도에 따라 나타낸 것이다. 측정에 사용된 시료들은 열처리된 Ti층의 두께가 약 700~1300 Å 정도였으며 650℃에서 60초 동안 1단계 열처리된 것이다.

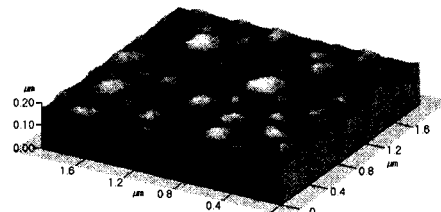
증착온도가 실온에 비해 점점 증가할수록 면저항이 낮아지며 300℃ 이상의 온도에서는 다시 서서히 증가하는 것이 관측되었다. 반대로 실온에 비해 온도가 증가할수록 C54 TiSi<sub>2</sub>의 분포가 증가하며 300℃ 이상의 온도에서는 오히려 C54 TiSi<sub>2</sub>의 분포가 감소하는 현상을 보이고 있다. 이것으로 보아 고온스퍼터링법에 의한 면저항의 감소는 결국 C54의 우수한 성장에 따른 결과인 것을 확인할 수 있다.

그림 3은 열처리 온도에 따른 면저항의 변화를 나타낸 것이다. 그림 3(a)는 실리콘 기판 위에 약 4500 Å의 Ti층을 각각 실온, 100℃, 그리고 200℃에서 증착한 시료를 1단계 열처리한 것이다. 실온에서 증착된 시료보다는 100, 200℃에서 증착된 시료에서 현저하게 면저항 값이 낮아진 것을 볼 수 있으며 앞에서 언급한 바와 C54 TiSi<sub>2</sub>의 형성이 보다 우수하게 진행됨에 따른 결과이며 그것은 XRD 스펙트럼으로부터 산출된 C54 분포를 통하여 이미 확인하였다. 그림 2(b)는 실리콘 기판 위에 약 900 Å의 Ti층을 각각 실온, 150℃,

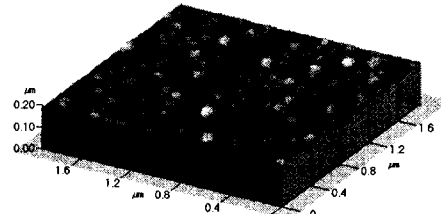
그리고 250°C에서 증착한 시료를 1단계 열처리한 것이다. 그림 3(a)에서와 마찬가지로 실온에서 증착된 시료 보다는 150, 250°C에서 증착된 시료에서 현저하게 면저항 값이 낮아진 것을 볼 수 있다. 그림 3(a), (b) 모두의 경우에서 볼 수 있듯이 열처리 온도의 증가에 따라 면저항은 두 번의 기울기를 형성하며 감소하는데, 이렇게 기울기가 형성되는 온도의 구간은 티타늄 실리사이드의 상전이가 진행되는 구간으로 XRD 스펙트럼 분석을 통하여 첫 번째 기울기가 형성되는 온도의 구간에서는 Ti/Si 박막으로부터  $Ti_5Si_3$ ,  $Ti_5Si_4$  등의 다급속 실리사이드를 거쳐 TiSi로 상전이가 이루어지며, 두 번째 기울기가 형성되는 온도의 구간에서는 TiSi로부터 C54  $TiSi_2$ 로의 상전이가 이루어짐을 확인하였다.

고온스퍼터링법으로 제작된 시료에서 이처럼 낮은 면저항 값을 보이는 것은 실리사이드화가 실온에서 증착한 경우보다 우수하게 진행되었기 때문이며, 그것은 형성된 티타늄 실리사이드 표면의 형상을 관찰하여 결정립의 크기와 분포를 비교함으로써 확인할 수 있다. 그림 4(a)~(d)의 형성된 티타늄 실리사이드 표면의 형상을 관찰하기 위해 AFM으로 측정된 결과를 이미지로 표현한 것이다. 그림 4(a), (b), (c) 그리고 (d)는 각각 실온, 100°C, 200°C 그리고 250°C에서 증착된 Ti/Si박막을 650°C에서 60초간 열처리한 것이며, AFM 측정에 앞서 순수  $TiSi_2$ 만의 표면 형상을 관측하기 위해 Ti etchant를 사용하여 반응하지 않고 남아있는 Ti층을 완전히 제거하였다.

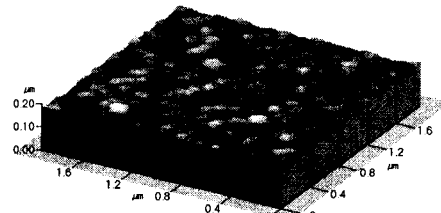
AFM 이미지로부터 증착 시 기판의 온도가 실온이었던 시료에서는 결정립이 매우 크게 형성되어 불규칙하게 분포하고 있는 것에 비해 100°C, 200°C, 그리고 250°C이었던 시료에서는 결정립의 크기와 분포가 매우 작고 고른 것을 볼 수 있다. 그림에서와 같은 형상을 갖는 실리사이드 표면의 거칠기를 확인하기 위해 결정립의 크기를 rms값으로 계산하였으며, 증착 시 기판의 온도에 따른 거칠기를 그림 5에 나타내었다. 증착 시 기판의 온도가 실온이었던 시료에 비해 고온스퍼터링법으로 제작한 시료의 경우 실리사이드의 거칠기가 급격하게 줄어드는 것을 볼 수 있다. 또한, 앞서 제시하였던 그림 4(b), (c), 그리고 (d)의 경우 결정립 크기의 rms값이 각각 29.5Å, 36.7Å, 그리고 57.1Å로 확인되었으며 실온의 157.8Å과 비교하여 그 크기와 분포가 확연하게 향상된 것을 확인할 수 있었다. 이처럼 매우 작은 결정립이 큰 밀도로 분포하고 있는 표면형상이 전류가 흐를 수 있는 유효단면적을 더욱 증가시키는 요인으로 작용할 수 있을 것으로 예측되어 티타늄 실리사이드를 n형 실리콘 웨이퍼에 오믹 접촉하여 전기적 특성을 분석하였다



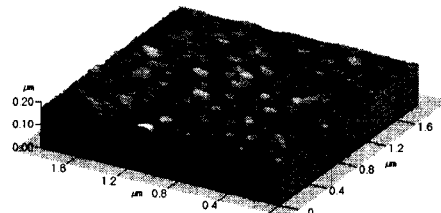
(a) 기판온도 : 27°C



(b) 기판온도 : 100°C



(c) 기판온도 : 200°C



(d) 기판온도 : 250°C

그림 4 형성된 티타늄 실리사이드의 AFM 이미지

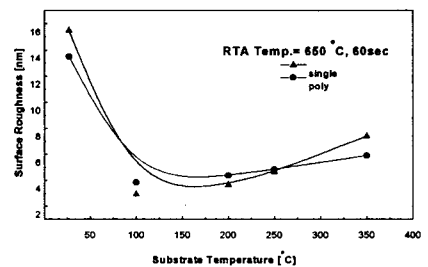


그림 5 형성된 티타늄 실리사이드의 표면 거칠기

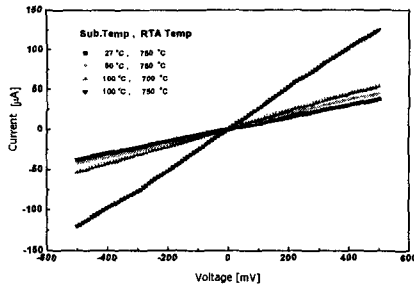


그림 6 티타늄 실리사이드 오믹접촉의 전류-전압 특성

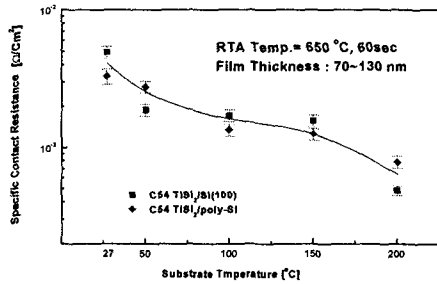


그림 7 티타늄 실리사이드 오믹접촉의 접촉특성저항

Dot 형태로 제작된 오믹접촉의 전류-전압 특성을 측정하여 결과를 그림 6에 나타내었다. 증착 시 시료의 온도가 실온인 경우와 50°C인 경우였던 시료를 750°C에서 60초간 열처리한 후 측정된 전류-전압의 특성 결과는 약간의 전류가 증가했을 뿐 그다지 뚜렷한 차이는 나타나지 않았으나, 100°C에서 증착된 시료의 경우에는 열처리온도 700°C에서 이미 전자에 언급한 경우와 유사한 기울기 값을 나타내었다. 이것은 고온스퍼터링 온도가 100°C일 경우 실온이나 50°C에서 증착하는 것보다 오믹접촉을 위한 TiSi<sub>2</sub>의 형성온도를 50°C 가량 낮출 수 있다는 것을 의미한다. 100°C에서 증착된 시료를 750°C에서 60초간 열처리하였을 경우 급격한 기울기의 증가를 보이며 전기적 특성이 크게 향상되는 것을 볼 수 있다.

그림 7은 실리사이드 오믹접촉의 전류-전압 특성으로부터 접촉특성저항을 구하여 나타낸 것이다. 증착 시 기판의 온도가 실온인 것에 비해 점차 기판온도의 증가에 따라 접촉특성저항이 급격하게 감소하는 것을 볼 수 있다. 실온의 경우에는  $4.74 \times 10^{-3} \Omega/\text{cm}^2$ 이었으며 고온스퍼터링법의 효과가 나타난 200°C의 경우에는  $6.89 \times 10^{-4} \Omega/\text{cm}^2$ 로 접촉특성저항이 대략 1승(order) 정도 감소하는 것을 확인할 수 있었다. 이러한 결과는 면저항 값이  $5.44 \Omega/\square$ 으로 가장 작게 측정된

경우, XRD 스펙트럼으로부터 C54의 피크가 가장 우세했던 경우 그리고 AFM 이미지의 결정립 크기가 25.9 Å으로 가장 작게 나타났던 경우와 유사한 조건에서 제작된 것으로 보아 고온스퍼터링법에 따른 효과임을 확인할 수 있다.

#### 4. 결 론

고온스퍼터링법으로 티타늄 실리사이드를 제작할 경우 C49상의 bypass를 통하여 실리사이드화를 촉진시키고 그것이 실리사이드의 표면형상과 거칠기를 향상시켜 결국 전기적 특성을 개선시킨다는 것을 관측하였다.

실온에서 증착된 경우 157.8Å의 거칠기를 가졌던 티타늄 실리사이드의 표면 형상이 최적 고온스퍼터링의 조건 아래서 증착된 경우 25.9Å으로 매우 작고 고른 결정립의 분포를 갖게 되어 전류가 흐를 수 있는 유효단면적을 증가시킬 수 있을 것으로 예측되었으며, 그것은 티타늄 실리사이드 오믹접촉의 전류-전압특성에서 나타난 기울기의 급격한 변화와  $4.74 \times 10^{-3} \Omega/\text{cm}^2$ 에서  $6.89 \times 10^{-4} \Omega/\text{cm}^2$ 으로 작아진 접촉특성저항으로부터 확인할 수 있었다.

#### 참고문헌

- [1] Shkjac LEE, Hwackjoc LEE, and Hyeongtag JEON, *Jpn. J. Appl. Phys.*, 36(12), pp. 7317~7322, 1997
- [2] C. Tommy, Hsiao, Liu ping, and C.S. Jason Woo, *IEEE Tran. Electron. Device*, 45(6), pp. 1092~1098, 1998
- [3] C. Cabral, Jr., L. A. Clevenger, J. M. E. Harper, F. M. d'Heurle, R. A. Roy, C. Lavoie, and K. L. Saenger, *Appl. Phys. Lett.*, 71(24), pp. 3531~3533, 1997
- [4] R.T. Tung, , *Appl. phys. Lett.*, 68(14), pp. 1933~1935, 1996
- [5] Wein-Town Sun, Wei-Wu Lina, Ming-Chi Liaw, Kuang-Chien Hsieh, and Charles Ching-Hsiang Hsu, *Jpn. J. Appl. Phys.*, 36(2), pp. 89~92, 1997
- [6] M. D. Naeem, W. A. Orr-Arienzo, and J. G. Rapp, *Appl. Phys. Lett.*, 66(7), pp. 877~878, 1995
- [7] A. Mouroux, S. -L. Zhang, W. Kaplan, S. Nygren, and C. S. Petersson, *Appl. Phys. Lett.*, 69(7), pp. 975~977, 1996