

펜타센을 활성층으로 사용하는 유기 TFT 제작

정민경, 김도현, 구본원, 송정근*
동아대학교 전기전자컴퓨터공학부
전화 : (051) 200-7711 / 팩스 : (051) 200-7712

Fabrication of Pentacene-Based Organic Thin Film Transistor

M. K. Chung, D. H. Kim, B. W. Koo, C. K. Song*
School of Electronics, Electrical and Computer Engineering, Dong-A University
* E-mail : cksong@daunet.donga.ac.kr

Abstract

본 연구는 α -Si:H TFT(Amorphous Silicon Thin Film Transistor)를 대체 할 펜타센을 활성층으로 사용하는 박막 트랜지스터를 제작에 관한 것이다. 유기 박막 트랜지스터는 유기발광소자와 함께 유연한 디스플레이에 응용된다. 펜타센 박막 트랜지스터의 제작은 채널 길이 $25\mu\text{m}$, $70\mu\text{m}$, 소스, 드레인, 게이트 전극으로 Au를 lift off 공정으로 제작하였으며, 펜타센은 OMBD(Organic Molecular Beam Deposition)로 기판온도를 80°C 로 유지하여 증착하였다. 제작된 소자로부터 트랜지스터 전류-전압 특성곡선을 측정하였고, 게이트에 의한 채널의 전도도가 조절됨을 확인하였다. 그리고, 전달특성곡선으로부터 문턱전압과 전계효과 이동도를 추출하였다.

I. 서론

80년 후반 C. W. Tang에 의해 효율적인 유기발광소자의 개발로 유기발광소자가 많은 발전을 해 왔다[1]. 이런 유기발광소자와 구동소자가 결합하여 대면적화와 유연성, 경량성을 실현하기에 현재의 Si를 기반으로 한 TFT는 많은 제약이 따른다. 유기 TFT는 성형이 용이함, 경량성, 유연성, 비선형 광학적 특성, 전도성, 높은 분극성, 저렴한 생산비, 높은 생산성으로 이러한 단점을 보완할 뿐 아니라 스마트 카드, 대면적 센스, 바코드

등의 넓은 활용 범위를 가진다[2,3]. 최적화된 유기 TFT는 α -Si:H TFT와 비슷한 전기적 특성을 보이고 있다. 예를 들면, 펜타센 TFT에서 $1\text{cm}^2/\text{V}\cdot\text{s}$ 이상의 전계효과 이동도를 얻었다[4]. 본 연구에서는 OMBD로 유기 박막을 증착하여 전기적 특성을 조사하였다.

II. 제작 및 실험 방법

본 연구에서는 그림1과 같은 구조의 박막 트랜지스터를 제작하였다. 채널의 길이는 $25\mu\text{m}$ 과 $70\mu\text{m}$ 이고 폭은 2mm 이다. 고 준위 도핑된 실리콘 기판을 게이트 전극으로 사용했으며, 게이트 절연막은 열산화공정법으로 1000\AA 의 SiO_2 를 성장 시켰다. SiO_2 위에 Au를 lift off 공정으로 소스, 드레인 전극을 제작하였다. 본 실험실에서 TLM(Transfer length method) 구조로 금속의 접촉 저항을 측정한 결과 Au, Ag, Al 중에서 Au가 접촉 저항이 가장 낮은 것으로 나타났다. 전극으로 Ni를 사용했을 경우 공간전하제한전류(space charge limited current) 효과가 나타나 Au를 사용하였다. 소스 드레인 전극 위에 OMBD로 펜타센을 증착하였다. 증착 조건은 기판온도를 80°C 로 하였고 증착율을 $3\sim 5\text{\AA}/\text{s}$ 로 유지하였다. 증착 조건에 따른 박막의 특성을 AFM(Atomic Force Microscopy) 측정과 전도도를 통해서 고찰하였다. 그림 2에서와 같이 같은 기판온도 40°C 에서도 증착율이 작은 것이 그레인 크기가 커졌고, 기판온도가 80°C 로 하여 증착한 것은 그림

2-(a) 보다 현저하게 차이가 났다. 전도도 또한 10배 이상 증가한 5×10^{-6} S/cm 로 나타났다. 따라서, 그래인의 크기와 결정은 기판 온도가 높을수록 그리고 증착율은 작을수록 전도도는 향상됨을 알 수 있다.

III. 실험 결과

그림 3-(a)와 그림 4-(a)는 드레인 전류(I_D)-드레인 전압(V_D) 그래프를 나타낸 것이다. 전류가 포화는 되지 않았지만, 게이트에 의해 조절이 됨을 보여주는 트랜지스터 특성을 나타내고 있다. 그림 3-(b)와 그림 4-(b)의 전달특성곡선으로부터 게이트 전압에 의하여 채널의 전도도가 조절됨을 확인하였고, 펜타센 박막은 P형 반도체임을 알 수 있다. 전달특성곡선의 선형 영역에서 이동도를 다음 식에 의해서 추출하였다[5].

$$I_D = \frac{WC_i}{L} \mu \left(V_G - V_T - \frac{V_D}{2} \right)$$

$$g_m = \left(\frac{\partial I_D}{\partial V_G} \right)_{V_D = const} = \frac{WC_i}{L} \mu V_D$$

채널 길이 25 μ m에서 전달특성곡선으로부터 구한 문턱전압은 4.1V로 나타났다. 여기서 C_i 는 3.45×10^{-8} F/cm² 이다. 전계효과 이동도는 6.5×10^{-4} cm²/V · s 로 나타났다. 채널 길이 70 μ m에서는 문턱전압이 1.4V, 전계효과 이동도는 1.3×10^{-3} cm²/V · s로 채널 길이 25 μ m에서 보다 더 높게 나타났다. 이 소자들을 100°C 1 시간 동안 열처리하였다.

표 1. 열처리 효과에 의한 문턱전압과 이동도 차이

채널 길이	열처리	문턱전압 (V _T)	이동도 (cm ² /V · s)
25 μ m	열처리 전	5.4	6.5×10^{-4}
	열처리 후	2.8	9×10^{-4}
70 μ m	열처리 전	1.4	1.3×10^{-3}
	열처리 후	-4.5	2.2×10^{-3}

표 1에서와 같이 열처리 후 문턱전압은 감소하고 이동도는 증가함을 관찰하였다. 채널 길이가 25 μ m가 70 μ m인 것보다 이동도가 낮은 것은 하부 전극형 TFT를 제작하면서 전극 위에 증착되는 펜타센의 분자배열과 lift off 공정 후 처리의 문제로 생각되어진다.

일반적인 α -Si:H TFT의 경우 이동도는 1.0 ~ 1.5 cm²/V · s 이다. 공정을 개선하면 α -Si:H TFT의 성능에 접근할 수 있을 것으로 기대된다.

VI. 결론

P형 고 준위 도핑된 실리콘 위에 열산화공정법으로 산화막을 성장시켰다. 소스, 드레인, 게이트 전극을 lift off 공정으로 제작하였으며 OMBD로 펜타센을 증착하여 박막 트랜지스터를 제작하였다. 금속은 다른 금속에 비해 접촉저항이 적은 Au을 사용하였다. 게이트 전압에 의한 드레인 전류의 전도도 차이를 확인하였으며, 트랜지스터의 전달 특성 곡선을 얻었다. 소자를 100°C 1시간 열처리한 결과 채널 길이 25 μ m에서 문턱전압과 이동도는 2.8 V, 9×10^{-4} cm²/V · s 로 증가하였으며, 채널 길이 70 μ m에서 문턱전압과 이동도는 -4.5V, 2.2×10^{-3} cm²/V · s로 나타났다. 일반적인 α -Si:H TFT와 비교하여 현저하게 낮지만, 공정을 개선하면 α -Si:H TFT의 성능에 접근할 수 있을 것으로 기대된다.

본 연구는 1999년도 동아대학교 교내연구비에 의하여 지원되었음

참고문헌

- [1] C. W. Tang and S. A. VanSlyke, Appl. Phys. Lett. 51, 913 (1987)
- [2] A. R. Brown et al. Science, vol. 270, pp. 972-974, 1995
- [3] A. R. Brown et al. Synthetic Metals, vol. 88, pp. 37-55, 1997
- [4] Hagen Klauk et al, IEEE Transactions On Electron Devices., vol. 46, pp. 1258-1262, 1999
- [5] S. M. Sze, "Physics of Semiconductor Devices", 2nd edn. A wiley-interscience publication 1981, pp438-445

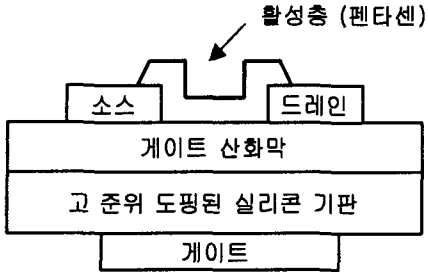
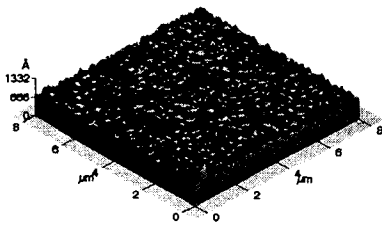
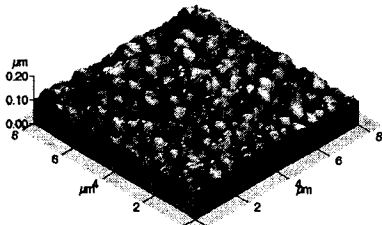


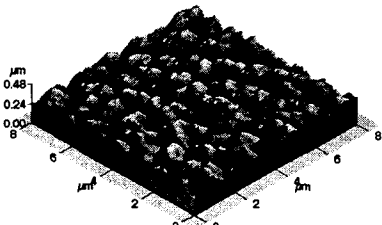
그림 1 유기 박막 트랜지스터의 구조



(a)



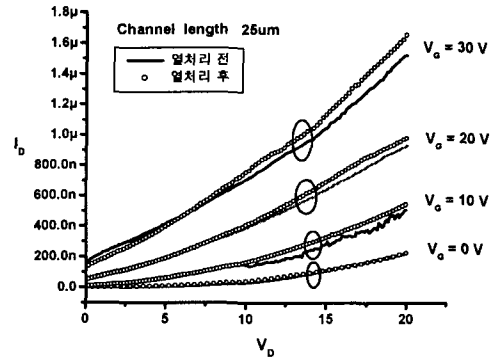
(b)



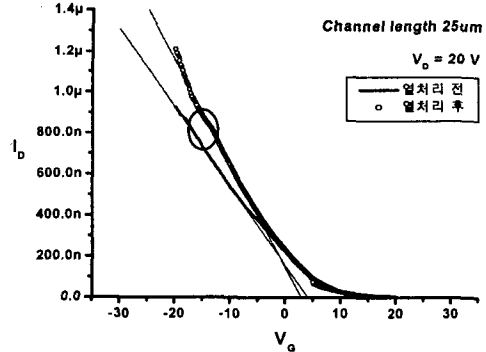
(c)

그림 2 증착조건에 따른 펜타센 박막의 AFM 사진

- (a) 기판온도 40°C, 증착율 10 Å/s 이상
- (b) 기판온도 40°C, 증착율 3-5 Å/s
- (c) 기판온도 80°C, 증착율 3-5 Å/s



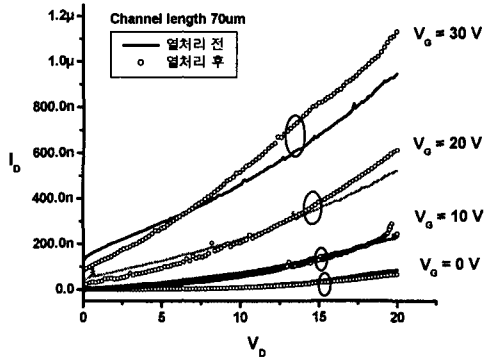
(a)



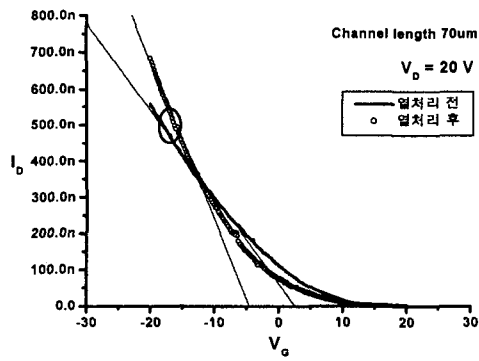
(b)

그림 3 채널 길이 25 μm

- (a) 드레인 전류(I_D) - 드레인 전압(V_D) 특성 곡선
 - (b) 드레인 전류(I_D) - 게이트 전압(V_G) 특성 곡선
- 열처리 전과 후



(a)



(b)

그림 4 채널 길이 $70\mu\text{m}$

- (a) 드레인 전류(I_D) - 드레인 전압(V_D) 특성 곡선
 - (b) 드레인 전류(I_D) - 게이트 전압(V_G) 특성 곡선
- 열처리 전과 후