

OFDM 시스템에서 비선형 왜곡 보상을 위한 기저대역 사전왜곡기의 VHDL 구현

°성시훈, 김형호, 최중희, 신요안, 임성빈
 송실대학교 정보통신전자공학부
 °전화 : 02-820-0632
 팩스 : 02-821-7653

A VHDL Implementation of Baseband Predistorter for the Compensation of Nonlinear Distortion in OFDM Systems

°Shee hoon Seong, Hyung Ho Kim, Chong Hee Choi, Yoan Shin[†] and Sungbin Im
 School of Electronic Engineering Soongsil University
[†]E-mail : yashin@logos.soongsil.ac.kr

Abstract

The OFDM (orthogonal frequency division multiplexing) systems are based on the transmission of a given set of signals on multiple orthogonal subcarriers, resulting in large variation in amplitude of transmit signals, and severe distortion by nonlinear characteristic of a high power amplifier (HPA) is unavoidable. We propose in this paper a computationally efficient structure of a baseband predistorter for compensation of nonlinear distortion by the HPA. Moreover, a predistorter which can be utilized in high speed transmission systems such as wireless ATM based on the proposed structure is designed using VHDL, and synthesized by the Synopsys tool.

1. 서론

고속 무선 ATM 등에 사용되는 OFDM 시스템에서는 출력 신호의 크기가 다중 레벨 진폭 특성을 갖게 되어, 무선 통신 환경에서 TWTA (traveling wave tube amplifier)와 같은 고출력 증폭기의 비선형 특성으로 인하여 단일 반송파 전송 방식보다 심각한 비선형 왜곡이 발생하게 된다[1]. 증폭기에 의한 비선형 왜곡을 보상하기 위한 방법으로서 최근 송신단에서 기저대역 사전왜곡기 (baseband predistorter)를 사용하는 방법이 활발히 연구되고 있다. 사전왜곡기는 고출력 증폭기의 전단에 위치하며, 증폭기에 의해 신호가 왜곡되는 것을 미리 보상하는 방향으로 신호를 사전에 왜곡하여 증폭기에 가하여 주므로써 사전왜곡기와 증폭기를 결합한 시스템의 출력이 변조 신호가 선형적으로 증폭된 신호와 같아지도록 동작하게 된다. 이러한 사전왜곡기의 기본 동작은 증폭기를 표현하는 비선형 변환의 역변환을 구하는 문제로 이해할 수 있으며, 이런 접근 방법에 기반하여 많은 사전왜곡기들이 제안되었다[2,3].

실제 사전왜곡기를 구현하는 경우 이러한 역변환을

하드웨어적으로 직접 구현하기는 계산 복잡도, 처리 속도 등의 측면에서 아직 기술적인 제약이 따르며, 따라서 대부분의 사전왜곡기에서는 다양한 진폭 레벨의 입력 신호와 이에 대한 사전왜곡기 출력 신호의 매핑을 LUT (look up table) 형태로 오프라인에서 소프트웨어적으로 구현 후 이를 하드웨어 메모리에 저장하여 이용하는 방식을 이용한다[4,5]. 이런 방식에서는 사전왜곡기 알고리즘을 이용한 LUT의 생성이 소프트웨어적으로 처리되기 때문에, 동일한 하드웨어 구성을 기반으로 다양한 사전왜곡기 알고리즘을 LUT 내용의 변경만으로 구현 가능하다.

본 연구에서는 먼저 LUT 기반의 기저대역 사전왜곡기 하드웨어 구현 시 계산 복잡도를 크게 감소시킬 수 있는 효율적인 구조를 제안한다. 다음으로 이러한 구조에 기반하여 OFDM 방식의 수십 Mbps 급 고속 무선 ATM 등에 사용 가능한 사전왜곡기를 VHDL을 이용하여 파이프라인 형태로 설계하며 ASIC화를 위하여 Synopsys tool을 통해 합성하고 이의 성능을 검증하고자 한다.

2. 복잡도가 개선된 LUT 기반 사전왜곡기의 새로운 구조

그림 1은 LUT를 이용하여 사전왜곡기 하드웨어를 구현할 때의 일반적인 구조를 도시한다. 여기서 표기의 편의를 위해 이산 시간 n 에서의 OFDM 변조 신호 $x[n]$ 을 x 라 하면, 이 신호는 다음과 같이 표현된다.

$$x \equiv x^I + jx^Q \equiv re^{j\theta} = r\cos(\theta) + jsin(\theta) \quad (1)$$

여기서 x^I 와 x^Q 는 각각 이 신호의 실수부 (I-채널)와 허수부 (Q-채널), $r = \sqrt{(x^I)^2 + (x^Q)^2}$ 과 $\theta = \tan^{-1}\left(\frac{x^Q}{x^I}\right)$ 은 각각 진폭과 위상을 나타낸다. 그림 1의 사전왜곡기에서는 일반적으로 직교 좌표, 즉 x^I 와 x^Q 의 형태로 입력되는 신호로부터 먼저 진폭

r 과 위상 θ 를 계산한다. 다음 계산된 진폭 r 을 어드레스로 하여 LUT entry를 검색한다. 이 때 LUT에서는 입력 진폭 r (혹은 이와 가장 가까운 값)에 대해 사전왜곡기 알고리즘의 출력 진폭 r_f 와 위상 변동 θ_f 를 이용해 계산된 실수부 $r_f \cos(\theta_f)$ 와 허수부 $r_f \sin(\theta_f)$ 를 저장하고 있으며, 따라서 LUT의 출력은

$$r_f \cos(\theta_f) + jr_f \sin(\theta_f) = r_f e^{j\theta_f} \quad (2)$$

이 된다. 하지만 실제 증폭기에 입력되는 신호는 입력 신호의 원래 위상 θ 의 영향이 역시 포함하여야 하므로, 복소 곱셈기에서 이러한 위상 성분을 첨가하여 다음의 신호를 출력하고

$$e^{j\theta} \times r_f e^{j\theta_f} = r_f \cos(\theta + \theta_f) + jr_f \sin(\theta + \theta_f) \quad (3)$$

이 신호는 "I/Q Separation" 블록에서 단순히 실수부 $x_I^I = r_f \cos(\theta + \theta_f)$ 와 허수부 $x_I^Q = r_f \sin(\theta + \theta_f)$ 각각 곱출력 증폭기로 전송된다 (실제 구현에서는 "I/Q Separation" 블록은 특별한 연산을 수행하지 않는 논리적인 블록이다). 그림 1과 같은 사전왜곡기 구조에서 진폭 추정부 ("Amplitude Detection"), 위상 추정부 ("Phase Detection"), 복소 곱셈기 등에서 비선형 연산 및 나눗셈, 곱셈들을 구현하기 위해서 많은 계산량 혹은 메모리를 요구하는 근사식들을 이용하게 되어 구현이 용이하지 않다. 이러한 문제는 결국 ASIC으로 구현된 시스템의 동작 속도를 제한하고, 큰 latency 및 면적을 요구하게 된다.

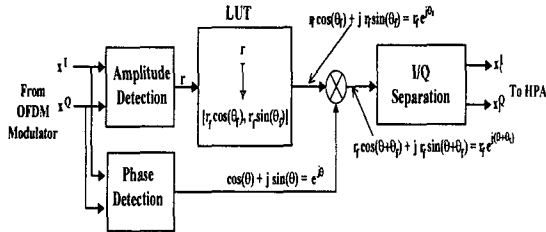


그림 1 : LUT 기반 사전왜곡기의 일반적인 구조.

이러한 문제점을 해결하기 위해 본 연구에서는 LUT를 사용하는 새로운 형태의 사전왜곡기 구조를 제안한다. 그림 2는 제안된 사전왜곡기의 구조를 나타낸다. 그림 1의 기존 구조와 제안된 구조 사이의 큰 차이점은 위상 추정부의 제거와 LUT에 저장되는 entry의 변화에 있다. 특히 위상 추정부를 제거함으로써 많은 계산량과 메모리를 요구하는 나눗셈 및 비선형 arc-tangent 연산의 계산이 불필요하게 되어, 전체 시스템의 계산 복잡도가 크게 감소한 효율적인 구조를 갖게 된다. 한편 제안된 구조의 LUT에는 기존 구조와는 달리 실수부 $\frac{r_f}{r} \cos(\theta_f)$ 와 허수부 $\frac{r_f}{r} \sin(\theta_f)$ 를 저장하므로써 LUT의 출력은

$$\frac{r_f}{r} \cos(\theta_f) + j \frac{r_f}{r} \sin(\theta_f) = \frac{r_f}{r} e^{j\theta_f} \quad (4)$$

이 된다. 식 (4)의 LUT 출력 신호와 "I/Q

Combination" 블록에 의해 단순히 FIFO (first in first out) buffering된 입력 신호 $x = x^I + jx^Q = r e^{j\theta}$ 가 복소 곱셈기에 의해 곱해져 결국

$$r e^{j\theta} \times \frac{r_f}{r} e^{j\theta_f} = r_f \cos(\theta + \theta_f) + jr_f \sin(\theta + \theta_f) \quad (5)$$

을 얻는다. 이 신호는 기존 구조에서와 같이 "I/Q Separation" 블록에서 실수부 $x_I^I = r_f \cos(\theta + \theta_f)$ 와 허수부 $x_I^Q = r_f \sin(\theta + \theta_f)$ 각각이 곱출력 증폭기로 전송된다. 제안된 구조를 통해 연산부의 감소와 함께 메모리의 감소로 복잡도가 개선되며 최종 출력시 계산 과정상의 오차를 줄여 정확도 향상 및 고속 실시간 처리를 가능하게 한다.

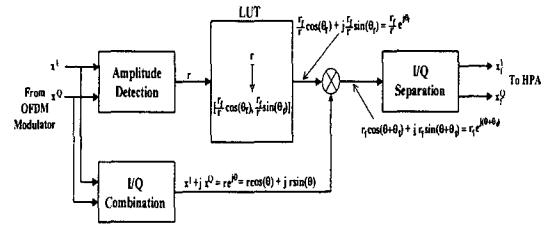


그림 2 : LUT 기반의 사전왜곡기를 위해 제안된 구조.

3. 제안된 구조를 이용한 사전왜곡기의 구현

본 연구에서는 25 Mbps 급 무선 ATM 등을 고려하여, 변조 방식으로서 16-QAM을 이용하고 64-point IFFT/FFT를 이용하여 부반송파 변조/복조를 수행하는 OFDM 시스템을 위한 FPI 기반의 사전왜곡기를 구현하였다. 이 때 곱출력 증폭기로서 TWTA를 가정하여 Saleh의 2-파라미터 모델링 결과[6]를 이용하였다. TWTA를 이용할 때 output back-off (OBO) 레벨에 따라 동작점이 결정되며, 본 연구에서는 OBO를 9.4 dB로 고정하여 모든 실험을 수행하였다. P_{sat} 와 P_{avg} 를 각각 TWTA의 포화 최대 출력 전력과 평균 출력 전력이라 할 때 OBO는 아래와 같이 정의된다.

$$OBO \equiv 10 \log_{10} \left(\frac{P_{sat}}{P_{avg}} \right) \quad (dB) \quad (6)$$

구현된 시스템에서 하드웨어의 복잡도와 성능을 고려하여 입력 데이터를 사인 비트를 각각 포함하여 mantissa 6 비트, exponent 4 비트 등 총 10 비트의 부동소수점 (floating point) 형태로 표현하였다. 사전왜곡기의 구현을 위해 그림 2에서 제안된 구조를 이용하였다. 이 구조에서 실제 구현을 위해서는 (1) 진폭 추정부 및 이를 이용한 어드레스 생성, (2) LUT 그리고 (3) 부동소수점 복소 곱셈기 등의 세 부분이 가장 중요한 기능 블록이 된다. 아래에서는 이러한 3 가지 중요 기능 블록의 구현 결과에 대하여 설명하도록 한다.

3-1. 입력 신호의 진폭 추정 및 이를 이용한 LUT 어드레스 생성

사전왜곡기의 복소 입력 신호 $x[n]$ 에 대해 진폭 추

정부에서는 $r = \sqrt{(x^I)^2 + (x^Q)^2}$ 을 출력하여야 한다. 하지만 이 식의 계산을 위해서 비선형 square root 함수의 구현이 필요하며, 이러한 비선형 연산을 피하기 위해 아래와 같은 근사식을 고려하였다[7].

$$r \approx \max(|x^I|, |x^Q|) + \frac{1}{2} \min(|x^I|, |x^Q|) \quad (7)$$

원래의 식과 근사식 사이의 오차가 시스템의 성능에 미치는 영향은 거의 무시할 만큼 작은 것을 시뮬레이션을 통해 확인하였으며, 따라서 구현의 편의를 위해 실제 구현은 근사식을 이용하였다. 이러한 진폭 추정에는 3 클럭 사이클의 소요되며 구성은 그림 3에 도시하였다.

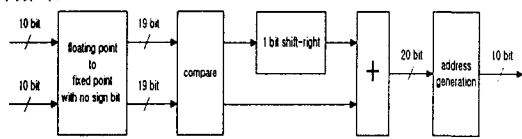


그림 3 : 입력신호 진폭 추정부 및 이를 이용한 LUT 어드레스 생성부의 구성.

3-2. LUT 데이터 생성 및 LUT의 구성

LUT에서는 진폭 추정부에서 생성된 10 비트 어드레스를 이용하여 오프라인으로 미리 구해져 저장되어 있는 실수부 $\frac{r_I}{r} \cos(\theta_I)$ 및 허수부 $\frac{r_Q}{r} \sin(\theta_Q)$ 를 출력한다. 본 연구에서는 우리가 제안한 고정점 반복 (fixed point iteration; FPI) 기반의 사전왜곡기 알고리즘[8]에서 수렴 상수 $\alpha = 0.85$, 반복 횟수 $K = 25$ 인 경우를 오프라인에서 실행 후 이로부터 얻은 결과를 LUT에 저장하였다. 그림 4는 구현된 LUT의 구성을 보여준다. 본 연구에서는 실수부 및 허수부 각각 1024개 entry를 갖는 ROM을 LUT로서 고려하였다. 이들 LUT 출력의 실수부 및 허수부 값은 mantissa의 사인 비트를 제외한 9 비트의 부동소수점 형태로 저장되며, 이는 TWTA에 의한 위상 변동분이 항상 양수[8]이며 사전왜곡기 출력의 위상은 이러한 TWTA의 위상을 보상하기 위해 음의 값을 갖게 되어 LUT 출력의 실수부는 항상 양수, 허수부는 항상 음수가 된다는 사실을 이용하였다. 이러한 방법을 통해 ROM의 면적을 줄일 수 있으며, 그림 4에서와 같이 이러한 사인 비트를 ROM의 외부에서 첨가하는 방법을 통해 최종적으로 10 비트의 부동소수점 형태의 실수부 및 허수부 값을 출력한다.

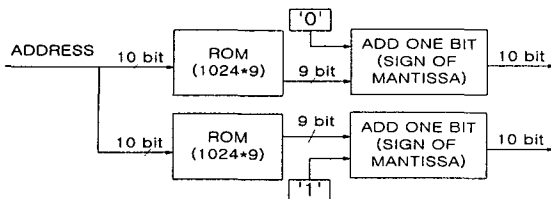


그림 4 : 구현된 LUT의 구성.

3-3. 부동 소수점 복소 곱셈기

식 (5)로 표현되는 LUT의 복소 출력과 원래의 복소 입력 사이의 곱셈을 수행하기 위해 구현된 부동소수점 복소 곱셈기의 구조가 그림 5에 도시되었다. 이 곱셈기는 먼저 4개의 부동소수점 실수 곱셈기가 필요하며, 실제 각 실수 곱셈기는 mantissa 끼리의 곱셈과 exponent 끼리의 덧셈을 수행한다. 이렇게 얻어진 4개 실수 곱셈기의 출력은 고정소수점 형태로 변환된 후 실수부와 허수부를 구하기 위해 뺄셈 및 덧셈 연산을 거쳐 10 각각 비트의 부동소수점 데이터로 출력된다. 이 블록의 소요 클럭은 12 사이클이다.

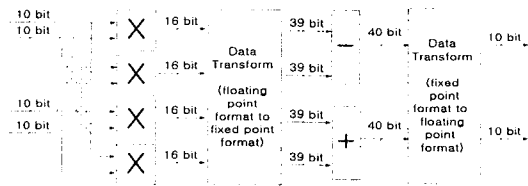


그림 5 : 구현된 부동 소수점 복소 곱셈기의 구조.

4. Synopsys Design Analyzer를 이용한 사전왜곡기의 합성 및 성능 검증

사전왜곡기를 위한 회로의 구현은 VHDL을 이용하였으며, target library로 삼성의 $0.6 \mu\text{m}$ 공정을 이용하여 합성하였다. 회로 합성 결과, 면적은 19,943 gate, 최대 20 Msps의 고속 데이터 처리가 가능함을 확인하였다. 또한 사전왜곡기 전체 시스템에서 소요되는 latency는 17 클럭 사이클이다.

이를 무선 ATM 등에서 입력 데이터 전송율로 환산하면 다음과 같다. 입력 데이터의 전송율이 25 Mbps인 무선 ATM에서 먼저 이들 데이터를 16 QAM 변조하여 6.25 Msps의 심벌 전송율을 얻게 되고, 이를 직렬/병렬 변환과 IFFT 후 여기에 부반송파 수 64의 1/4에 해당하는 보호 구간을 첨가한 다음 병렬/직렬 변환한다고 가정하면 실제 사전왜곡기로 입력되는 심벌은 $6.25 \times 5/4 = 7.8125$ Msps의 전송율을 갖게된다. 또한 25 Mbps 전송율의 시스템 입력 데이터를 보호율 1/2인 길쌈부호기를 통해 오류정정부호화 한다고 가정할 때, 사전왜곡기의 입력은 15.625 Msps의 전송율을 갖게되어 결국 본 연구에서 구현된 사전왜곡기가 OFDM 방식을 이용하는 25 Mbps 급 무선 ATM 등에서 충분히 사용 가능한 처리 속도를 제공할 수 있다.

구현된 사전왜곡기의 성능 검증을 위해서 우선 C언어를 이용하여 OFDM 시스템의 데이터를 생성하고 이 데이터를 C언어로 구현된 시뮬레이터와 구현된 사전왜곡기에 통과시켜 그 결과를 비교하였다. C언어로 구현된 시뮬레이터의 경우 실제 구현된 시스템과 동일한 10 비트 부동소수점 형태로 표현된 입력 데이터를 이용하여, 진폭 추정을 위해 식 (7)의 근사식을 이용한 사전왜곡기의 LUT entry를 생성하고 이들 LUT entry를 10 비트 부동소수점 형태로 변환한다. 그 후 입력 데이터와 이 LUT entry 사이의 복소 곱셈을 수행한 후 결과를 10 비트 부동소수점 형태로 다시 변환한다. 이

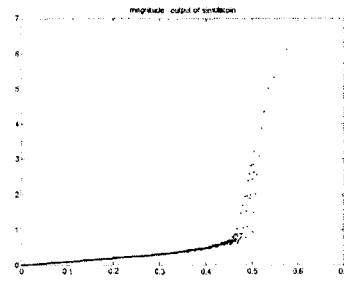
시뮬레이터는 복소 곱셈 연산 과정을 bitwise 처리하지 않고 그 결과만을 부동소수점 형태로 변환하므로 실제 구현된 사전왜곡기의 출력보다 좀 더 이상적인 출력을 얻게 되나, 그림 6, 7의 결과로부터 두 시스템이 거의 동일한 성능을 나타내는 것을 확인하였다.

5. 결 론

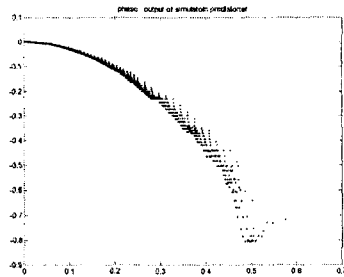
본 연구에서는 OFDM 방식에서 큰 성능 제한 요소 가운데 하나인 고출력 증폭기에 의한 비선형 왜곡을 보상하는 기저대역 사전왜곡기를 LUT를 이용하여 실제 구현할 때의 효율적인 구조를 제안하였다. 이러한 새로운 구조에 기반하여, 우리는 고속 무선 ATM 등에 사용 가능한 사전왜곡기를 VHDL을 이용하여 파이프라인 형태로 설계하고 ASIC화를 위하여 Synopsys tool을 통해 합성하였으며 이의 성능을 검증하였다. 그 결과 전체 시스템의 latency가 17 클럭 사이클이며 2만 gate 미만으로 합성 가능하고 20 MHz 클럭 주파수에서 동작이 가능함을 확인하였으며, 이는 16-QAM, 64개 부반송파, 부호율 1/2 길쌈부호 등을 사용하는 OFDM 기반의 25 Mbps 급 무선 ATM 등에 성공적으로 활용 가능함을 나타낸다.

참 고 문 헌

- [1] M.-G. Di Benedetto and P. Mandarini, "An application of MMSE predistortion to OFDM systems," *IEEE Trans. Comm.*, vol. 44, pp. 1417-1420, Nov. 1996.
- [2] A. D'Andrea, V. Lottici, and R. Reggiannini, "RF power amplifier linearization through amplitude and phase distortion," *IEEE Trans. Comm.*, vol. 44, pp. 1477-1484, Nov. 1996.
- [3] C. S. Eun and E. J. Powers, "A predistorter design for a memoryless nonlinearity preceded by a dynamic linear system," *Proc. GLOBECOM '95*, vol. 1, pp. 152-156, Singapore, Nov. 1995.
- [4] J. K. Cavers, "Amplifier linearization using a digital predistorter with fast adaptation and low memory requirements," *IEEE Trans. Veh. Tech.*, vol. 39, pp. 374-382, Nov. 1990.
- [5] A. S. Wright and W. G. Durtler, "Experimental performance of an adaptive digital linearized power amplifier," *IEEE Trans. Veh. Tech.*, vol. 41, pp. 395-400, Nov. 1992.
- [6] A. A. Saleh, "Frequency-independent and frequency dependent nonlinear models of TWT amplifiers," *IEEE Trans. Comm.*, vol. 29, pp. 1715-1720, Nov. 1981.
- [7] 조중휘, "VHDL을 이용한 통신 칩 설계," *IDEC 통신신호처리용 VLSI 설계 강좌자료*, 159-214쪽, 1999년 7월.
- [8] M.-C. Kim, Y. Shin, and S. Im, "Compensation of nonlinear distortion using a predistorter based on the fixed point approach in OFDM systems," *Proc. VTC '98*, vol. 3, pp. 2145-2149, Ottawa, May 1998.

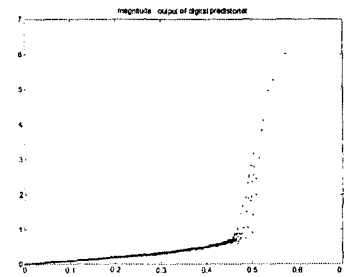


(a) 진폭 특성

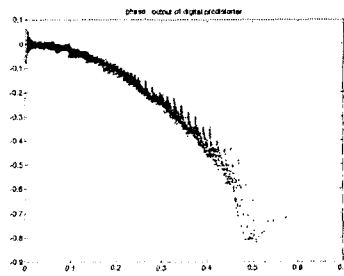


(b) 위상 특성

그림 6 : 사전왜곡기 시뮬레이터 출력의 특성.



(a) 진폭 특성



(b) 위상 특성

그림 7 : 구현된 사전왜곡기 출력의 특성.