

능동 정합을 이용한 광대역 저잡음 증폭기 설계

배성호^o, 권태운, 최재하
울산대학교 전기전자 및 자동화 공학부
rf-man@hanmail.net

Design of the Broad-Band Low Noise Amplifier Using the Active Matching

Bae sung-ho, Kwon tae-woon, Choi jae-ha
School of Electrical Engineering and Automation, Univ. of Ulsan

요약

본 논문에서는 잡음에 적합한 능동 정합 회로를 구성하여 기존의 보상 정합 회로와 케환 회로를 적용함으로써 L, S밴드(1-4GHz) 내에서 균일한 이득 특성과 작은 반사 손실을 갖는 광대역 저잡음 증폭기를 설계하였다. 설계된 증폭기는 대역 내에서 14.25-14.96dB의 소신호 이득과 1.41, 1.28 이하의 입, 출력 정재파비를 갖는다.

1. 서론

일반적으로 마이크로파 증폭기의 설계는 그 주파수 대역에 따라 협대역 증폭기와 광대역 증폭기로 구분될 수 있다. 협대역 증폭기의 경우에는 최대 전달 전력 또는 저잡음을 위한 정합을 많이 사용하게 되고 주파수 대역이 좁은 범위로 한정되는 반면, 광대역 증폭기의 경우에는 주파수 범위가 넓기 때문에 이에 따른 트랜지스터의 입, 출력 임피던스의 변화율이 크고, 최대 가용 이득의 변화 또한 크다. 그러므로 주파수 변화에 따른 임피던스 값이 변화하더라도 균일한 이득 특성을 가지도록 임피던스 정합 회로를 구성하는 것이 광대역 증폭기 설계에서 가장 큰 관심사항이다.

광대역 증폭기 설계를 위한 임피던스 정합 방법에는 트랜지스터의 입력과 출력에 필터 회로를 사용하여 중심 주파수의 이득 값으로 균일화시키는 보상

정합 회로법[1], 이득은 낮은 반면 보다 넓은 대역폭에서 균일 이득과 높은 안정성을 가지는 케환 회로법[2], 전원 측 임피던스와 부하 측 임피던스 사이의 시스템 전달함수를 최적화시켜 등화회로 자체의 정규화된 반사계수에 직접 무손실 임피던스 정합 회로를 실현시키는 실주파수법[3]등이 있다. 그러나 이러한 광대역 임피던스 정합 방법들은 주어진 대역폭 내에서 균일한 이득 특성과 작은 반사 손실을 동시에 얻기 어렵다.

또한 밸런스 방법에 의한 증폭기 설계[6]는 균일한 이득과 작은 입, 출력 반사 손실을 만족시킬 수 있지만 수 GHz대에서의 3dB 커플러는 MMIC화에 부적절한 크기를 가지며 능동 소자에 의한 결함과 분배기는 회로 전체에 소비전력과 잡음지수를 증가시키는 요인이 된다.

본 논문에서는 잡음에 적합한 능동 정합 회로[4]를

구성하여 기존의 보상 정합 회로와 케환 회로를 적용함으로써 L, S밴드(1-4GHz) 내에서 균일한 이득 특성과 작은 반사 손실을 갖도록 하였다. 또한 새롭게 설계한 바이어스 보상회로를 on-chip화하여 공정의 변화와 전원전압의 변화에 회로가 보상되도록 안정성을 확보하였다.

전체 회로는 초고주파 집적회로공정인 한국통신연구원 0.5um MESFET 공정에서 단일칩으로 제작되도록 설계하였다.

설계된 광대역 저잡음 증폭기는 GPS, PCS, IMT2000, WLL, GMPCS등을 포함한 1-4GHz 대역의 무선통신 단말기에 사용 가능하다..

2. 회로의 설계

저잡음 증폭기는 수신단의 가장 앞단에 위치하며 안테나로부터 입력되는 미약한 신호를 저잡음 증폭하여 다음 단에서 처리할 수 있는 레벨로 증폭하는 기능을 한다. 저잡음 증폭기의 설계시 가장 중요한 파라미터는 안정도, 잡음지수, 선형성으로 안정도는 증폭기의 발전 가능성을 나타내고 잡음지수는 전체 수신 시스템의 잡음을 결정하며, 선형성은 얼마나 큰 신호를 찌그러짐 없이 증폭할 수 있는가를 나타내는 기준으로 1 dB 또는 IP3로 표현한다.

회로 설계에서 사용한 능동 소자는 ETRI MMIC Enhancement Mode의 0.5um MESFET이고 등가 모델로는 HP-EEsop사의 Root 모델을 사용하였다. 수동 소자로는 spiral inductor, MIM capacitor, NiCr thin film resistor와 ion implanted GaAs resistor를 사용하였다. 잡음지수는 공통 게이트와 공통 드레인 FET 구조의 잡음 정보가 없는 관계로 다만 0.5um MESFET 능동 정합 회로의 실험적인 결과를 바탕으로 회로 전체의 잡음지수를 예측하였다[4][5].

설계된 광대역 저잡음 증폭기는 총 4단으로 구성되며 회로 전체의 전력소모를 고려하여 대역폭을 L, S밴드인 1-4GHz로 국한시켰다.

첫째단 증폭기는 광대역에서 작은 입력 반사 손실을 얻기 위해 공통 게이트 구조의 능동 정합 회로로 구성했다. 따라서 공통 게이트 구조의 입력 임피던스가 50 Ohm에 가깝도록 채널저항을 조절했고[4] 둘째단 증폭기에서 발생하는 잡음이 전체 회로에 미치는 영향을 줄이기 위해 적절한 전압 이득을 얻도록 드레인 저항을 결정하였다.

둘째단 증폭기는 공통 소스 구조로 구성했고 셋째단 증폭기의 케환 회로와 셋째단 증폭기와 넷째단

증폭기 사이의 보상 정합 회로에서 발생하는 이득 감소를 고려하여 4 finger에 0.4V 게이트 바이어스 전압을 인가했다. 드레인 저항은 동일한 게이트 바이어스 조건하에서 최대의 P1dB를 갖는 값을 선택했다.

셋째단 증폭기는 게이트와 드레인 사이에 R, L, C로 구성된 부성 케환 회로의 공통 소스 구조로 구성함으로써 회로 전체가 넓은 주파수 대역에서 큰 안정도를 가지면서 대역 내에서 적절한 균일 이득을 갖도록 하였다[2].

수동소자인 나선형 인덕터의 비 이상적 주파수 응답 특성을 보상하고, L, S밴드에서 회로 전체가 균일한 이득을 얻으면서 적은 이득 감소를 가지도록 셋째단 증폭기와 넷째단 증폭기 사이에 고역통과 여과기 형태의 L, C 보상 정합 회로를 설계했다[1].

그리고 셋째단 증폭기의 바이어스 전압은 케환 회로와 보상 정합 회로에서 발생하는 이득 감소를 고려해 8 finger 게이트에 0.4V 게이트 바이어스 전압을 인가했다.

넷째단 증폭기는 광대역에서 작은 출력 반사 손실을 갖도록 공통 드레인 구조의 능동 정합 회로로 구성했다. 따라서 공통 드레인 구조의 넷째단 증폭기 출력 임피던스가 50 Ohm에 가깝도록 채널저항을 조절하였다[4].

셋째단 증폭기와 넷째단 증폭기 사이의 보상 회로 L, C가 주파수에 따라 공통 드레인 구조의 넷째단 증폭기 출력 임피던스를 변화시킴으로 넷째단 증폭기의 전체적인 설계는 셋째단 증폭기와 상보적으로 이루어졌다.

본 논문에서는 공통 드레인 구조의 넷째단 증폭기 소스단에 주파수 함수 소자인 인덕터를 사용함으로써 보상 회로 L, C의 주파수 변화에 따른 출력 임피던스 변화를 줄여 출력 반사 손실을 극소화하였고, 2GHz 이상에서 P1dB를 개선하였다. 또한 8 finger 게이트를 사용하여 power handling capacity를 키움으로써 동일한 바이어스 조건하에 P1dB를 조금 더 개선하였다.

바이어스 보상 회로는 FET와 저항에 흐르는 전류의 비가 10 : 1이 되도록 설계함으로써 공정 변화에 따른 전류 변화에 민감하게 반응하도록 하였다. 또한 바이어스 보상 회로에 MESFET의 드레인과 소스를 묶은 쇼트기 다이오드를 첨가함으로써 전원 전압 변화에 따른 바이어스 안정성도 확보하였다.

아래의 그림 1, 2는 설계된 광대역 저잡음 증폭기의 회로도 와 레이아웃도이다. 설계된 회로는 입, 출력 바이패스 커패시터 및 전원 공급단 바이패스 커패시터를 포함해 전체가 단일칩화 된다.

On-wafer 측정을 위해 레이아웃의 접지는 공냉 접지로 처리했다. 전체 chip 크기는 $1.4 \times 1.3 \text{ mm}^2$ 이다.

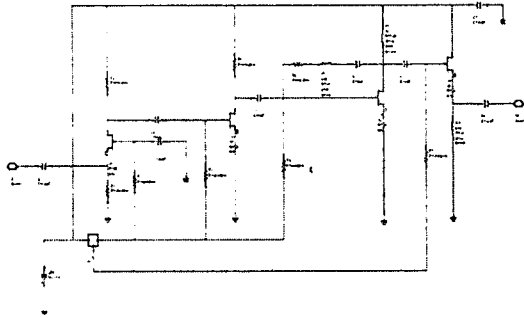


그림 1. 광대역 저잡음 증폭기의 회로도

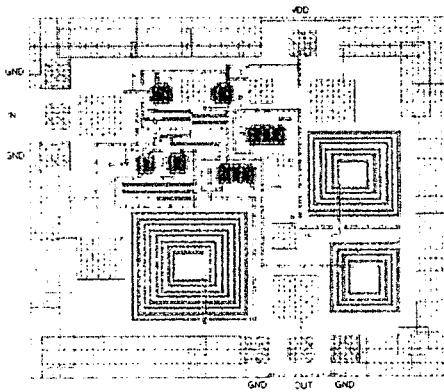


그림 2. 레이아웃도

그림 3, 4는 안정도와 S-파라메타를 나타낸다. 설계된 증폭기는 1-4GHz에서 14.25-14.96 dB의 소신호 이득 특성과 1.41, 1.28 이하의 입, 출력 정재파비를 갖는다.

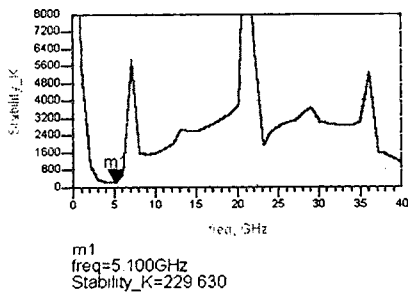


그림 3. 안정도 계수 K

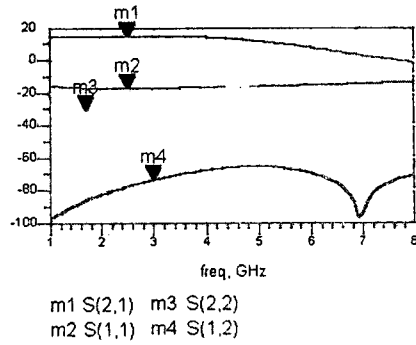


그림 4. S-파라메타

그림 5, 6은 중심 주파수 2.5GHz에서의 P1dB와 IP3를 나타낸다. 설계된 회로는 3GHz \pm 1GHz에서 비슷한 결과를 갖는다.

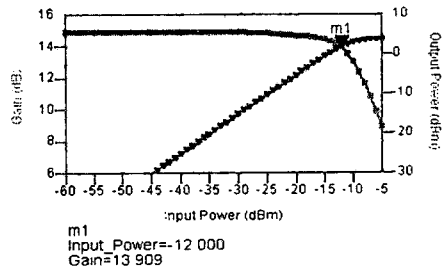


그림 5. P1dB

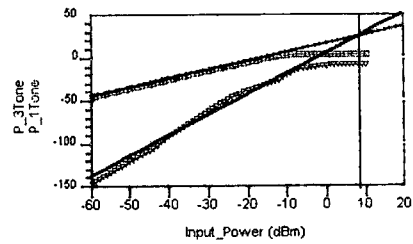


그림 6. IP3

그림 7. 8은 바이어스 보상 회로가 없을 때와 있을 때의 공정 변화 (NOM, MIN, MAX) 에 따른 회로 이득 특성을 나타낸다.

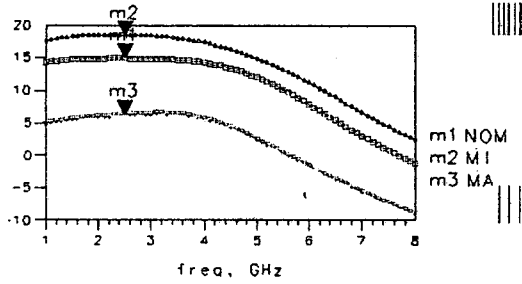


그림 7. 바이어스 보상 회로가 없을 때

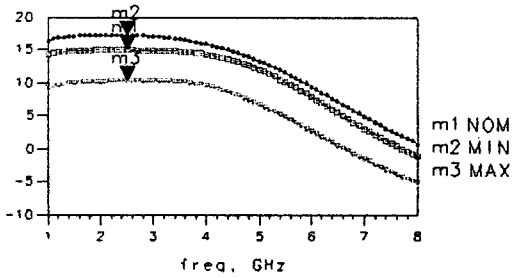


그림 8. 바이어스 보상 회로가 있을 때

3. 결론

본 논문에서는 잡음에 적합한 능동 정합 회로를 구성하여 제한 회로와 보상 정합 회로를 적용함으로써 L, S 밴드에서 균일한 이득 특성과 작은 반사 손실을 갖는 광대역 저잡음 증폭기를 설계하였다.

또한 설계한 바이어스 보상 회로에 의해 공정상의 변화와 전원 전압의 변화에 전체 회로가 안정성을 갖도록 하였다.

설계한 전체 회로의 동작 특성은 표1과 같다.

표 1. 설계된 전체 회로의 특성

Parameter	설계치	Unit	Condition
RF Frequency	1 - 4	GHz	
Gain	14.25 - 14.96	dB	
Noise Figure	3-4	dB	
Input VSWR	< 1.41		
Output VSWR	< 1.28		
Input P1dB	-12	dBm	3GHz ± 1GHz
Voltage	3	V	
Current Consumption	20.5	mA	
Chip Size	1.4 × 1.3	mm ²	

참고문헌

- [1] D. J. Mellor, J. G. Linvill, "Synthesis of Interstage Networks of Prescribed Gain Versus Frequency Slopes", IEEE Trans. Microwave Theory Tech. Vol. 23, No. 12, December, 1975.
- [2] Karl B. Niclas, Walter T. Wilser, "The Matched Feedback Amplifier: Ultrawide-Band Microwave Amplification with GaAs MESFET's", IEEE Trans. Microwave Theory Tech. Vol. 28, No. 4, April, 1980.
- [3] B. S. Yaman, H. J. Carlin, "A simplified real frequency technique applied to broad-band multistage microwave amplifiers", IEEE Trans. Microwave Theory Tech. Vol. 30, No. 12, December, 1982.
- [4] Karl B. Niclas, "Active Matching with Common-Gate MESFET's", IEEE Trans. Microwave Theory Tech. Vol. 33, No. 6, June, 1985.
- [5] Karl B. Niclas, "Noise in Broad-Band GaAs MESFET Amplifiers with Parallel Feedback", IEEE Trans. Microwave Theory Tech. Vol. 30, No. 1, January, 1982.
- [6] Guillermo Gonzalez, "Microwave Transistor Amplifier Analysis and Design", Prentice Hall, 1984.