

## Delay 특성을 고려한 광대역 선형 전력 증폭기에 관한 연구

° 김 영 훈 , 양 승 인

승실대학교 RF/MW 교육센터

승실대학교 정보통신전자공학부

E-mail : ° yhkim007@yahoo.com, siyang@ieee.org

### A Study On The Wideband Linear Power Amplifier Considering Delay Characteristics

° Young-Hoon Kim , Seung-In Yang

School of Electronics Eng., Soongsil Univ.

Education Center for RF/MW

#### 요 약

본 논문에서는 전력증폭기의 선형성을 광대역으로 개선하기 위하여 Delay 라인의 영향에 대하여 고려하였다. 사용된 전력 증폭기의 이득은 37dB이고, 3단의 1W급으로 설계되었다. Error 증폭기는 4단으로 설계되었으며 이득은 55dB이다. 그리고 크기와 위상을 조절하기 위한 장치로 Vector modulator를 사용하였으며, 또한 방향성 결합기 및 전력 분배기를 설계하였다. 각 모듈을 통합하여 주파수 2.11GHz에서 2.2GHz까지 Delay 특성을 고려한 광대역 선형 전력 증폭기를 설계하였으며 대역폭이 30MHz에 걸쳐 IMD성분의 제거 특성이 25dB이상의 개선 효과를 얻었다.

#### I. 서론

현재의 이동 통신 기지국에서 사용되고 있는 전력 증폭기는 다중채널 전력 증폭기로 대역폭이 10MHz 이상의 광대역 특성이 요구되고 있으며, 곧 상용화될 IMT-2000 시스템은 PCS대역보다 더 넓은 광대역을 요구하고 있다. 또한 선형 개선량이 가장 큰 Feedforward 방식에 부가적으로  $C/I_3$ 비를 개선하기 위하여 다른 선형방식과의 결합하여 사용되고 있다.<sup>[1][2]</sup>

Feedforward 방식은 크게 두 가지 루프로 나눌 수 있으며, 주 신호를 제거하기 위한 carrier 상쇄 루프와 IMD 신호를 제거하기 위한 error 상쇄 루프로 나뉜다. 각 루프에서 광 대역의 신호를 제거하기 위해서 크기와 위상이 balance되어야 하고 또한 delay 특성이 맞아야한다. 광대역의 신호 상쇄를 위해서는 선형전력증폭기 모듈의 선형 위상 특성이 보장되어야한다.<sup>[2]</sup>

#### II. 선형 증폭기의 모듈 설계

Feedforward 방식은 크게 Carrier 상쇄부와 Error 상쇄부로 나뉠수 있다. 각 상쇄부는 서로 독립적으로 분리하여 크기와 위상 및 Delay를 맞추어 주어야 하며, 특히 30dB의 신호 제거 특성을 얻기 위해서는 크기로차는 0.3dB, 위상오차는 2° 이내가 되어야 한다. 뿐만 아니라 광대역으로 30dB의 신호 상쇄량을 얻기 위해서 Delay의 오차가 500ps 이내가 되어야 한다. 그림 1은 임의의 두 신호가 크기로차는  $\delta A$ 이고 위상오차는  $\phi$ 일 때 30dB의 신호 감쇄량을 얻기위한 상쇄지수인 R의 값을 그림으로 보여주고 있으며, 상쇄지수 R은 식 1과 같이 표현된다. 크기와 위상을 제어하는 소자로는 보통 반사형 가변 감쇄기나 반사형 위상 변화기를 사용하는데, 특히 위상의 제어에 있어서 반사형 타입은 보통 40° 에서 180° 정도의 위상변화량을 얻을 수밖에 없다. 본 논문

에서는 이와 같은 점을 보완하기 위하여 360° 전 영역에 걸쳐 위상변화와 크기 변화를 줄 수 있는 Vector modulator를 이용하였다.<sup>[1][3]</sup>

$$R(dB) = 10 \cdot \log \left( \left| 10^{\frac{\Delta A(dB)}{10}} + 1 - 2 \cdot 10^{\frac{-\Delta A(dB)}{20}} \cdot \cos(\phi) \right| \right) \quad (1)$$

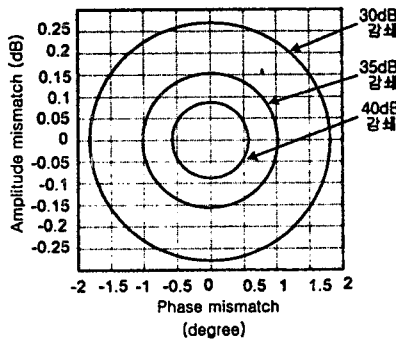
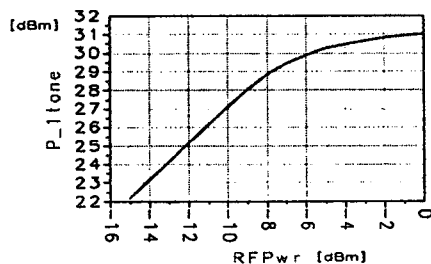


그림 1 입력 신호의 크기와 위상 오차에 따른 상쇄지수

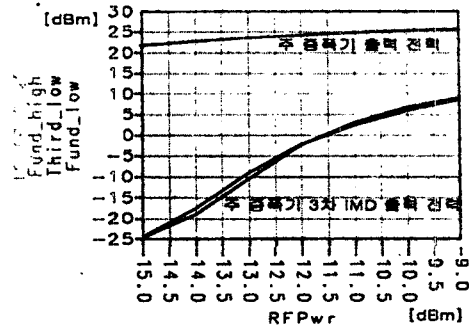
1. 주 증폭기 및 Error 증폭기

본 논문에서 사용된 주 증폭기는 P<sub>1dB</sub>가 1W급으로 설계되었으며 이득은 35dB이다 총 3단으로 구성된 증폭기에서 1, 2 단은 이득을 최대로 하기 위하여 이득 정합을 하였고, 마지막 단은 최대의 전력을 얻기 위하여 Load-Pull 방식으로 최적화 하였다.<sup>[4][5]</sup> 사용된 FET는 HP사의 ATF13284와 ATF33143 그리고 Excellics사의 EFA240D-SOT89를 이용하였다. 먼저 각 단의 안정도를 개선하고 각각 정합을 하였다. 그림 2는 설계된 전력증폭기의 1-tone 테스트 및 C/I<sub>3</sub>(Carrier to 3rd-Order Intermodulation Ratio) 테스트 특성을 보여 주고 있다.

그림 2에서와 같이 2-tone 테스트의 경우 3dB back-off시 C/I<sub>3</sub>가 -24.3dBc를 얻을 수 있었다.



(a) 1-tone 테스트



(b) C/I<sub>3</sub> 테스트

그림 2. 주 증폭기의 1-tone 테스트 및 C/I<sub>3</sub> 테스트

2. Vector modulator 및 Coupler

VM(Vector modulator)은 크기와 위상을 동시에 조절할 수 있는 소자로 위상은 360° 전 범위에 대하여 조절이 가능하다. 사용된 PIN 다이오드는 HP사의 HSMP3860을 사용하였으며, 먼저 반사형 타입의 가변감쇄기 설계 후, branch line coupler와 Wilkinson 결합기를 이용하여 설계되었다. 반사형 가변 감쇄기에 사용된 PIN 다이오드의 비선형 등가모델은 내부 소자 모델 및 외부 기생성분을 고려한 등가회로를 사용하였다.<sup>[8]</sup> 그림 3은 VM의 제어전압에 대한 위상 및 크기변화를 보여주고 있으며, 그림 4는 설계된 VM의 회로도를 나타낸다. 그림에서와 같이 위상은 360° 전 범위와 감쇄는 3dB이상 전 범위의 조절이 가능하다. VM의 설계시 가변 감쇄기의 설계가 선행되어야 하며 감쇄기 설계시 위상변화가 최소가 되도록 PIN 다이오드의 입력매칭을 하여야 한다. 즉, 다이오드의 S<sub>11</sub>이 바이어스 변화에 따라 스미스 차트에서 원점을 지나는 직선으로 표현되어야 한다.<sup>[5][6]</sup>

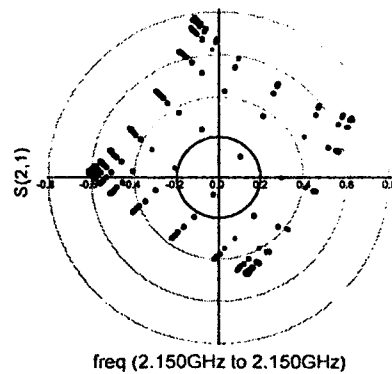


그림 3. VM의 제어전압에 대한 크기 및 위상 변화

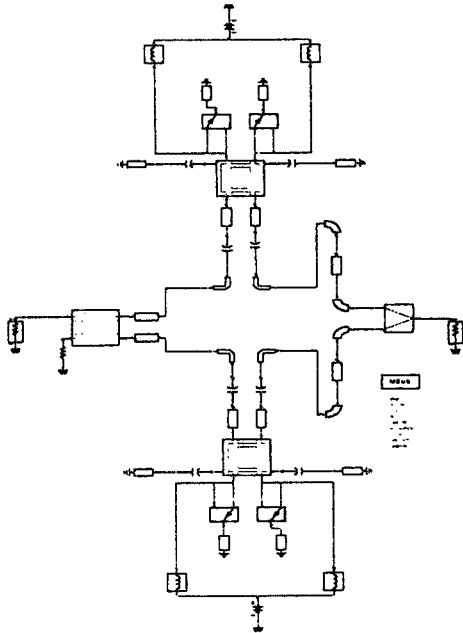


그림 4. VM의 회로도

또한 사용된 전력 분배기 및 결합기 그리고 방향성 결합기는 레이아웃을 고려한 시뮬레이션을 통해 설계되었다.<sup>[5][9]</sup>

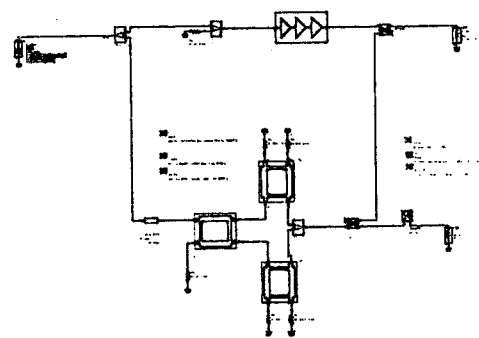
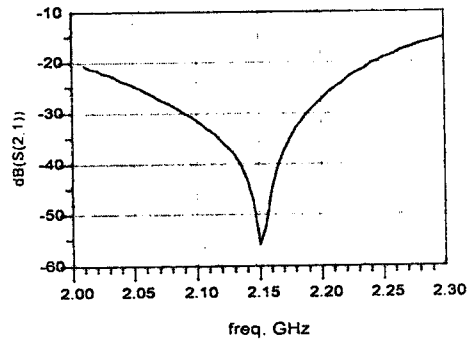


그림 5. Carrier 상쇄부

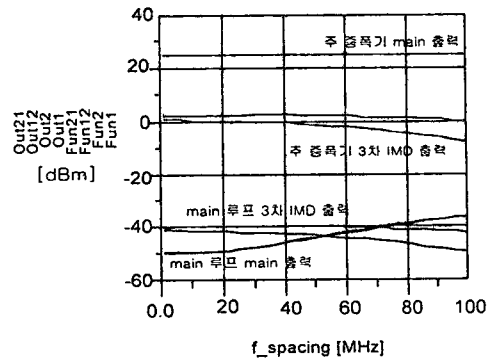


(a) Carrier 상쇄부의 S-parameter 시뮬레이션 결과

## II. 선형 증폭기의 통합 회로 설계

### 1. Carrier 상쇄부

Carrier 상쇄부는 주증폭기의 출력중 Carrier 성분만을 상쇄시키는 부분으로 최종출력의 이득저하를 초래하지 않기 위해서는 최소 30dB이상의 상쇄가 요구된다. 그림 5는 carrier 상쇄부의 회로도를 나타내며, 크기와 위상 및 Delay를 맞추기 위해서 각각 VM의 조절과 Delay 라인의 길이를 조절하여 설계하였다. 그림 6은 상쇄부의 이득 결과와 2-tone 테스트 결과를 보여주고 있다. 출력 결과에서와 같이 2-tone의 간격이 전 대역에 걸쳐 IMD레벨까지 상쇄되었으며, 간격이 30MHz이내에서는 30dB이상 상쇄됨을 알 수 있다.<sup>[11]</sup>



(b) Carrier 상쇄부의 2-tone 테스트 결과

그림 6. Carrier 상쇄부의 출력결과

### 2. Error 상쇄부

error 루프에서 delay 라인을 통과하는 경로1과 VM을 통과하는 경로2간의 크기와 위상 및 delay의 balance를 맞추기 위해서 VM과 delay 라인의 길이를 조절하였다. 그림 7은 error 상쇄부의 회로도들

나타내며, 그림 8은 출력결과를 나타낸다. 그림 8에서 루프의 이득결과는 error 루프 자체에 대한 결과이고, tone 테스트에서는 2-tone의 간격이 전 대역에 걸쳐 20dB이상 상쇄되었으며, 2-tone의 간격이 30MHz이내에서는 25dB가 개선되어  $C/I_3$ 비가 -50dBc이하임을 알 수 있다.<sup>[11]</sup>

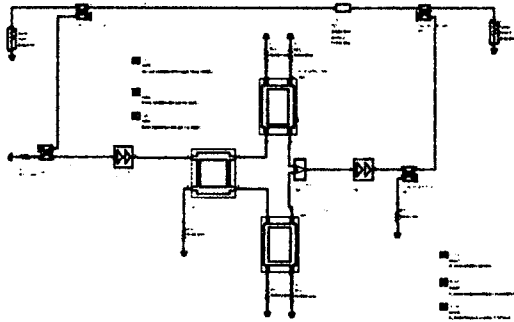
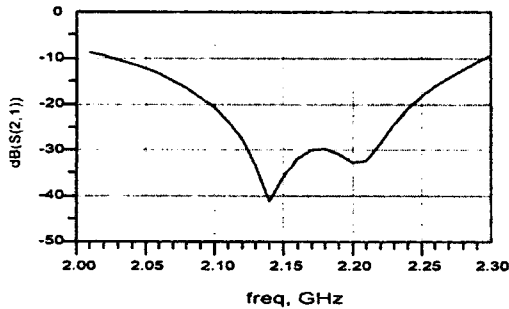
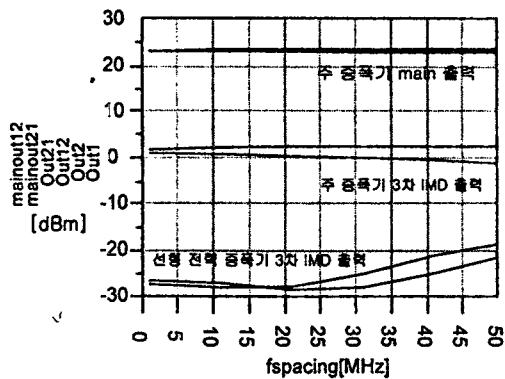


그림 7. Error 상쇄부



(a) Error 상쇄부의 S-parameter 시뮬레이션 결과



(b) 선형 전력 증폭기의 2-tone 테스트 결과

그림 8. Error 상쇄부 출력결과

### III. 선형 전력증폭기의 ACPR 테스트

실험된 CDMA 입력 신호는 BW가 5MHz( $f_c$ , -2.048MHz ~ 2.048MHz)이고, 총 전력은 0dBm, bit-rate는 4.096MHz, 중심주파수 2.15GHz이며 5MHz offset에서 -50dBc/30KHz, 10MHz offset에서 -78.9dBc/30KHz의 특성을 나타내며, 주 증폭기 자체의 경우 ACPR 테스트는 5MHz offset의 경우 -28.1dBc/30KHz, 10MHz offset의 경우 -48.1dBc/30KHz의 특성을 나타내며 그림 9에 나타내었다.<sup>[10][11]</sup>

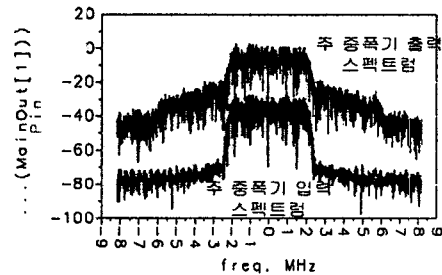


그림 9. 광대역 신호에 대한 주 증폭기 일출력 스펙트럼

다음으로 carrier 루프의 신호 제거 특성을 살펴 보기 위하여 광대역 확산신호를 인가 후 출력을 살펴 보았다. 그림 10은 carrier 루프의 출력신호를 나타내고 있다. 그림에서와 같이 carrier 성분이 완전히 제거됨을 알 수 있다.

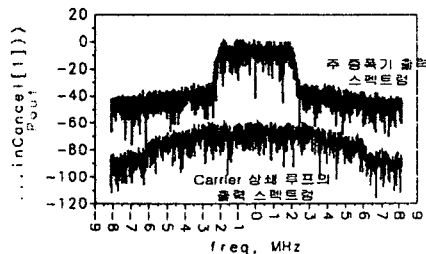


그림 10. Carrier 성분이 상쇄된 출력 스펙트럼

최종적으로 IMD성분의 제거를 보기 위하여 광대역 확산신호로 테스트하였고 그림 11은 이에 대한 출력을 도시하고 있으며 5MHz offset에서 ACPR이 -36.1dBc/30KHz, 10MHz에서 -60dBc/30KHz의 결과를 얻었다.

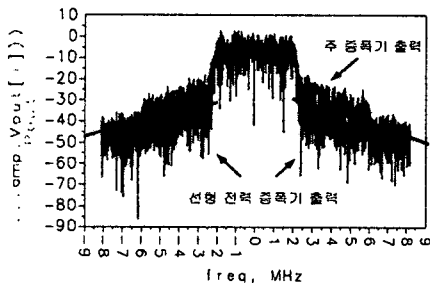


그림 11. 주증폭기의 출력 및 선형전력 증폭기의 출력 스펙트럼

### V. 결 론

본 논문에서는 선형 전력 증폭기 설계를 위한 부분별 모듈을 설계하고 특성을 살펴보았다. 설계된 주증폭기는 1W급으로 37dB의 이득을 갖으며, Error 증폭기는 55dB의 이득을 얻도록 설계하였다. 그리고 선형 전력증폭기 설계시 광대역의 선형성을 얻기 위하여 각 루프간의 delay 라인의 영향을 고려하였으며, 모든 회로는 각각 설계하여 부회로로 사용하였으며 30MHz 대역폭에 대하여 IMD가 2-tone 테스트의 경우 25dB가 개선됨을 확인하였다. 또한 실제 사용되는 WCDMA(5MHz) 신호를 인가하여 주 증폭기 main 출력이 8.372dBm/30KHz, 선형전력 증폭기 main 신호 출력이 7.738dBm/30KHz, 5MHz offset에서 ACPR이 -36.1dBc/30KHz, 10MHz에서 -60dBc/30KHz의 결과를 얻었다.

### 참 고 문 헌

[1] Nick Potheary, "Feedforward Linear Power Amplifier", Artech House, 1998.  
 [2] 김경태, 김영훈, 양승인, "새로운 형태의 IMD<sub>3</sub> Feedback-Feedforward 선형 전력 증폭기에 관한 연구", 춘계 마이크로파 및 전파 학술대회 논문집, pp. 93-96, 2000.

[3] G. Zhao, F. M. Ghannouchi, Beauregard and A. B. Kouki, "Digital Implementations of Adaptive Feedforward Amplifier Linearization Techniques", *IEEE MTT-S Digest*, pp. 543-546, 1996.

[4] Steve C. Cripps, "RF Power Amplifiers for Wireless Communications", Artech House, 1999.

[5] I. D. Robertson, "MMIC Design", *IEE Circuits and Systems Series 7*, 1995.

[6] Eid E. Eid, Fadhel M. Ghannouchi, "Adaptive Nulling Loop Control for 1.7-GHz Feedforward Linearization Systems", *IEEE Transactions on MTT*, Vol. 45, No. 1, pp. 83-86, Jan 1997.

[7] Steve C. Cripps, "A Theory for The Prediction of GaAs FET Load-Pull Power Contours", *IEEE MTT-S Digest*, pp. 221-223, 1983.

[8] 김영훈, 조동준, 최민수, 양승인, "바이어스에 따른 MESFET의 소신호 동작회로 파라미터 변화", 춘계 마이크로파 및 전파 학술대회 논문집, pp. 69-72, 2000.

[9] 정용채, 김철동, "자동적용 선형전력 증폭기용 주신호 제거회로 설계", 춘계 마이크로파 및 전파 학술대회 논문집, pp. 360-363, 1999.

[10] Nuno Borges de Carvalho and Jose Carlos Pedro, "Compact Formulas to Relate ACPR and NPR to Tow-tone IMR and IP3", *Microwave Journal*, Dec, 1999.

[11] Mark Slovick, "Measuring ACPR in CDMA Amplifiers", *Microwave Journal*, Dec, 1998.