

고속 고밀도 디지털 회로에서 사용되는 디커플링 캐패시터의 고주파 모델링과 영향

손경주, 김진양, 이해영, 최철승 *, 변정건 *
아주대학교 전자공학부, * 삼성전자
(E-mail:najjang@madang.ajou.ac.kr)

High-Frequency Modeling and the Influence of Decoupling Capacitors in High-Speed Digital Circuits

Kyung-Joo Son, Jin-Yang Kim, Hai-Young Lee,
Cheol-Seung Choi *, Jung-Gun Byun *
Department of Electronics Engineering, Ajou Univ.
* Samsung Electronics Co., Ltd

Abstract

Simultaneous Switching Noise (SSN) propagated through parallel power and ground planes in high-speed multilayer printed circuit boards (PCBs) causes malfunction of both digital and analog circuits. To reduce SSN, decoupling capacitors are generally used in the PCBs. In this paper, we improve the equivalent circuit model of decoupling capacitor in high-frequency range to analyze the effect of SSN reduction accurately. The analysis is performed by the microwave and RF design system (MDS) method and the finite difference time domain (FDTD) method. We compared the results by the ideal capacitor model with those by the proposed model.

1. 서론

지난 수년 전부터 계속되어온 디지털 정보화 사회로의 진행은 정보 처리 용량의 확대와 전송 시간의 획기적 단축을 요구하고 있다. 이

에 따라 통신기기, 컴퓨터 및 디지털 제품에 사용되는 인쇄 회로 기판 (Printed Circuit Board : PCB)도 고속, 고밀도, 다층화가 급속히 이루어지고 있다. 그러나, 고속 디지털 회로에서 클럭 주파수의 증가와 인가 전압의 감소는 인쇄 회로 기판의 전원 평면 (Power Plane)과 접지 평면 (Ground Plane)에서 과도 전류가 급속히 증가하는 원인이 된다[1]. 이러한 과도 전류는 고주파 잡음을 생성하게 되며 이 잡음은 한정된 크기의 전원 평면과 접지 평면 사이에서 공진을 일으키게 된다. 과도 전류에 의한 공진은 SSN의 특성을 더 열화시켜 인쇄 회로 기판 상의 다른 부품이나 회로에 전파되어 잘못된 동작을 일으키게 한다[2].

Decoupling capacitor의 사용은 이와 같은 SSN 감소 기법 중 가장 일반적인 방법으로 세라믹 칩 Capacitor가 사용되고 있다[1-4]. 그러나, Decoupling Capacitor는 공진에 의한 SSN을 감소시키는 것이 아니라 단지 높은 주파수 쪽으로 이동시킨다[3]. 또한, 실제 Capacitor는 기생 인덕턴스 (Parasitic inductance)성분으로 인하여 고주파에서 Capacitor로 동작하지 못한다[1,5].

본 논문에서는 Decoupling Capacitor의 고주파 특성을 통하여 회로 해석에서 유용한 고

주파 등가 회로 모델을 추출하였다. 또한 추출된 등가 회로 모델을 이용한 해석 결과와 이상적인 모델을 이용한 해석 결과를 비교함으로써 Decoupling Capacitor에 대한 고주파 등가 회로 모델이 필요함을 확인하였다. Capacitor 측정을 위하여 Vector Network Analyzer (HP 8510C)를 사용하였으며 인쇄 회로 기판의 해석을 위해서 고주파 회로 해석 툴인 MDS (Microwave and RF Design System)와 전자장 완전 해석법인 FDTD (Finite Difference Time Domain)를 사용하였다.

2. 구조 및 해석 방법

1. 구조

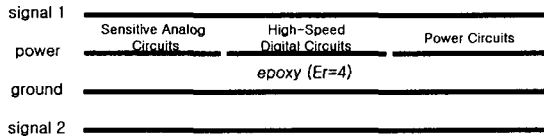


그림 1. 전형적인 4층 기판의 종단면

Fig 1. Typical cross section of 4-layer board

그림 1은 일반적인 4층 기판의 측면도이다. 신호층은 상단과 하단에 할당되어 있으며 전원 평면과 접지 평면이 내부에 평행하게 할당되어 있다. 이와 같은 구조는 평행판 도파관 (Parallel plate waveguide)과 같은 역할을 한다.

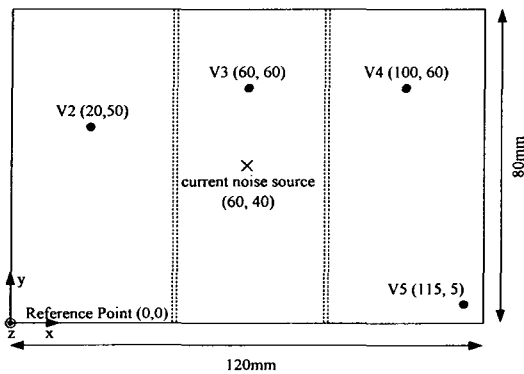


그림 2. 위에서 본 기판 그림

Fig 2. Top view of the PCB

그림 2는 본 논문에서 해석을 위해 사용된 인쇄 회로 기판의 평면도이다. 이때 사용된 기판은 크기가 12cm×8cm이며 비유전율(ϵ_r)이 4,

높이(h)가 200 μm 인 FR-4를 사용하였다. 그림 2에서 기판의 중앙에 전류 잡음원 (current noise source)을 인가하였으며, V2, V3, V4, V5는 기준점 (reference point)으로부터 각각 (20 mm, 50 mm), (60 mm, 60 mm), (100 mm, 60 mm), (115 mm, 5 mm) 떨어져 있는 기록점을 나타내고 있다. 점선 표시는 Capacitor가 위치할 영역을 나타낸다.

2. FDTD 해석

평행 도파관에서 첫 번째 고차 Mode (TE와 TM)가 나타나는 주파수는 식 (1)로부터 알 수 있다[3].

$$f_c = \frac{c}{2\sqrt{\epsilon_r}h} \quad (1)$$

여기서 c 는 공기 중 빛의 속도, ϵ_r 은 비유전율 그리고 h 는 기판 두께이다. 해석된 구조에서는 기판 두께가 200 μm 이므로 f_c 는 375 GHz이다. 따라서 전원 평면과 접지 평면 사이에는 단지 Transverse ElectroMagnetic Mode (TEM)만이 존재한다[2]. 이 모드 (mode)에 대한 전장과 자장은 z 값과는 무관하므로 해석 상에서 z 축으로의 gridstep을 기판 두께와 같게 하였고, Unit Cell은 1 mm×1 mm×0.2 mm의 크기를 갖도록 설정하였다. 또한 평면들의 가장자리에서의 반사 효과를 고려하기 위해 해석 영역을 기판 두께의 10배로 정하였다.

3. 회로 해석

다층 기판의 전원 평면과 접지 평면을 식 (2)-(5)를 이용하여 2차원 전송선 (2-dimensional transmission line)으로 모델링하였다[2].

$$Z_{0u} = 120\pi \frac{h}{w_u \sqrt{\epsilon_r}} \quad (2)$$

$$Z_{0e} = \frac{4}{\sqrt{2}} Z_{0u} \quad (3)$$

$$Z_{0g} = \frac{2}{\sqrt{2}} Z_{0u} \quad (4)$$

$$l = \frac{w_u}{\sqrt{2}} \quad (5)$$

위 식에서 w_u 는 unit cell의 길이, Z_{0u} 는 unit cell의 특성 임피던스, Z_{0e} 는 edge에서의 특성 임피던스, Z_{0g} 는 edge 내부에서의 특성

임피던스, 그리고 l 은 전송선의 길이를 나타낸다. 이렇게 계산된 Z_{0u} , Z_{0e} , 그리고 기판 두께(h)로부터 전송선의 선폭을 계산할 수 있게 된다.

4. Capacitor 측정 및 등가 회로 모델링

Capacitor 측정을 위해 SMA Connector와 HP사의 Vector Network Analyzer를 사용하였다. 또한 Capacitor만의 특성을 추출하기 위해 1-Port Calibration과 Port-Extension을 이용한 1-Port 측정을 수행하였다. 측정 범위는 50 MHz - 3 GHz로 이는 인쇄 회로 기판에서 SSN을 해석하기 위해 사용되는 주파수 범위와 같다.

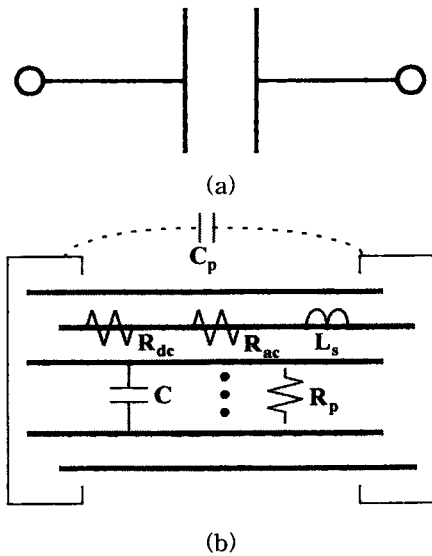


그림 3. (a) 이상적인 Capacitor 모델
(b) 물리적인 Capacitor 모델
Fig 3. (a) Ideal capacitor model
(b) Physical capacitor model

그림 4에서 (a)는 일반적인 가상 해석에서 사용되어지는 이상적인 Capacitor 모델이고 (b)는 내부 구조를 고려한 Capacitor의 물리적 구조를 나타낸다. R_{ac} 와 R_{dc} 는 내부 전극에서 발생하는 직렬 저항으로 R_{ac} 는 \sqrt{f} 에 비례한다. L_s 는 내부 전극에서 발생하는 직렬 인덕턴스 (Inductance) 성분이다. C_p 와 R_p 는 높은 주파수에서 나타나는 성분으로 각각 터미널간의 캐패시턴스 (Capacitance)와 유전

체 손실 (Dielectric loss)을 의미한다.

등가 회로 모델은 이와 같은 물리적 구조를 바탕으로 MDS를 사용하여 각각의 값들을 추출함으로써 완성되었다. 이와 같이 추출된 모델은 Decoupling Capacitor가 SSN 감소에 미치는 영향을 해석하기 위해 이용되었고 그 결과를 이상적인 Capacitor 모델을 이용한 해석 결과와 비교, 분석하였다.

3. 해석 결과

1. 회로 해석과 FDTD 해석의 비교

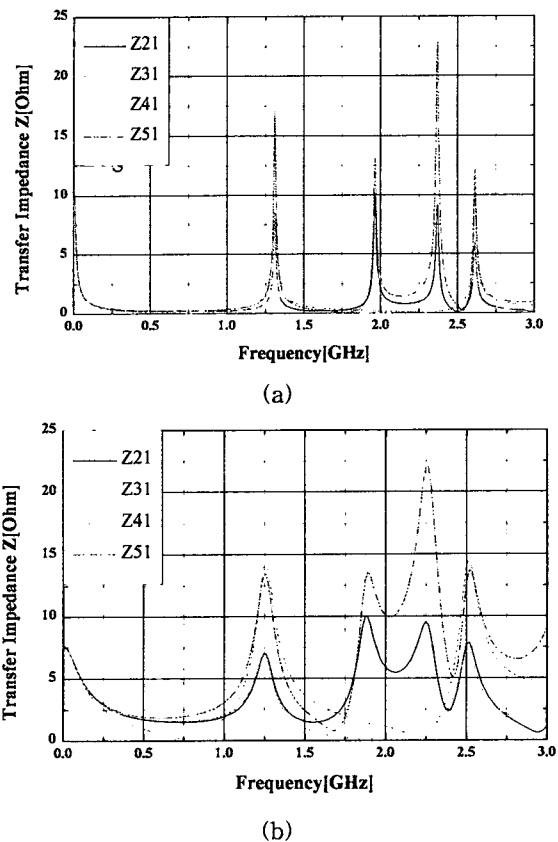


그림 4. (a) 회로 해석 ; (b) FDTD 해석
Fig 4. (a) MDS Simulation ; (b) FDTD Simulation

그림 4는 전원 평면과 접지 평면으로 이루어진 인쇄 회로 기판의 해석 결과로서 공진 현상을 보여준다. 이때 공진 주파수는 식 (6)에 의해서 결정된다[3].

$$f_r = \frac{c}{\sqrt{\epsilon_r}} \sqrt{\left(\frac{m}{2a}\right)^2 + \left(\frac{n}{2b}\right)^2} \quad (6)$$

a 와 b 는 기판 평면의 폭과 길이이고 m 과 n 은 mode number이다.

그림 4에서 (a)는 회로 해석 결과이고 (b)는 FDTD의 해석 결과이다. 두 결과를 비교해 보면 공진 주파수와 크기가 일치함을 볼 수 있으며 이 결과로 인쇄 회로 기판에 대한 가상 해석에 있어서 회로 해석 결과의 신뢰성을 확인하였다.

2. 이상적인 Capacitor 모델을 이용한 경우

그림 5는 이상적인 Capacitor 모델을 위치시켜 전자기적인 분리 효과를 해석한 것이다. 이는 470 pF의 콘덴서를 1 cm 간격으로 분포 시킴으로써 이루어졌다. 1 cm 간격은 해석 최대 주파수 파장의 1/4이 되는 거리이다[2]. 그림 5를 그림 4(a)와 비교해 보면, Source로부터 분리된 기록점(V2, V4, V5)들에서는 개선된 특성을 보였으나 Source에 의해 영향을 받는 기록점(V3)에서는 큰 공진이 발생하였다. 따라서 Decoupling Capacitor는 공진에 의한 SSN을 차단하는 효과는 있지만 그 내부에서의 공진에는 악영향을 미침을 알 수 있다.

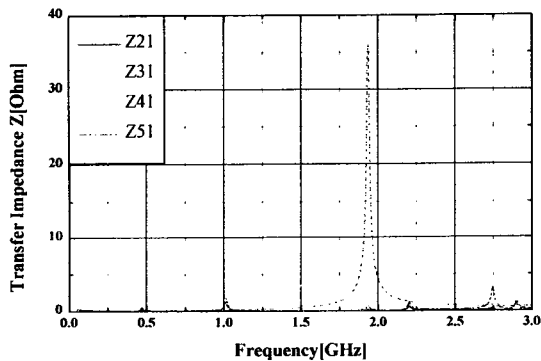


그림 5. 이상적인 Capacitor 모델을 이용한 경우
Fig 5. Results by the ideal capacitor model

3. 추출된 Capacitor 모델을 이용한 경우

이상적인 Capacitor 모델 대신 측정에 의해 추출된 등가 회로 모델을 이용하여 전원 평면과 접지 평면을 해석하였다. 나머지 해석 조건은 이상적인 Capacitor 모델을 이용한 경우와 동일하다. 그림 6을 그림 5와 비교해 보면 기록점 V3, 즉 Z31의 결과에서 큰 공진이 감소하는 반면 나머지 기록점들에서는 이상적인 모델을 이용한 경우보다 전달 임피던스가 커짐을 볼 수 있다. 이러한 상반된 결과는 추출된 모델에 첨가된 저항이 Capacitor Wall에서

의 반사로 인한 내부 공진의 최고치는 감소시키지만 Decoupling Capacitor를 배치함으로써 얻을 수 있는 전달 임피던스의 감소 효과는 왜곡시키기 때문이다. 이 결과로 회로 해석에 있어서 이상적인 Capacitor의 사용은 잘못된 결과를 가져올 수 있음을 알 수 있다.

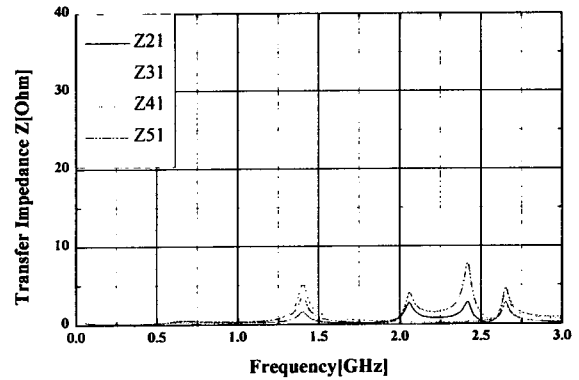


그림 6. 추출된 Capacitor 모델을 이용한 경우
Fig 6. Results by the extracted capacitor model

4. 결론

본 논문에서는 전원 평면과 접지 평면에서의 SSN을 감소시키기 위한 Decoupling Capacitor의 등가 회로 모델을 측정을 통하여 추출하였다. 또한 추출된 모델을 이용한 해석 결과를 이상적인 모델에 의한 해석 결과와 비교, 분석하였다.

회로 해석과 FDTD의 단일 평면에 대한 해석 결과의 일치로 인쇄 회로 기판을 해석하는데 있어서 회로 해석의 정확성을 입증하였다. 첨가된 저항 성분으로 추출된 등가 회로 모델을 이용한 해석은 이상적인 모델을 이용한 해석과 각 기록점들에서 상반된 결과가 나타남을 확인하였다.

본 논문의 결과를 통해 일반적인 회로 해석에서 이상적인 Capacitor 모델의 이용은 잘못된 결과를 가져올 수 있음을 확인하였고 정확한 회로 해석을 위해 Capacitor에 대한 고주파 등가 회로 모델이 필요함을 확인하였다.

참고 문헌

- [1] M. I. Montrose, Printed Circuit Board Design Techniques for EMC

Compliance, IEEE PRESS, pp. 118-126, 1996

- [2] Istvan Novak, "Reducing Simultaneous Switching Noise and EMI on Ground/Power Planes by Dissipative Edge Termination," *IEEE Trans. Advanced Packaging*, vol. 22, No. 3, Aug. 1999.
- [3] S. Van den Berghe, F. Olyslager, D. De Zutter, J. De Moerloose, W. Temmerman, "Study of the Ground Bounce Caused by Power Plane Resonances," *IEEE Trans. Electromagn. Compat.*, vol. 40, pp. 111-119, May 1998.
- [4] T. H. Hubing, J. L. Drewniak, T. P. Van Doren, and D. M. Hockanson, "Power Bus Decoupling on Multilayer Printed Circuit Boards," *IEEE Trans. Electromagn. Compat.*, vol. 37, pp.155-166, May 1995.
- [5] Howard W. Johnson, Martin Graham, *High-Speed Digital Design*, Prentice Hall, Inc., 1993.