

플래시메모리를 위한 scaled SONOSFET NVSM 의 프로그래밍 조건과 특성에 관한 연구.

(A study on characteristics of the scaled SONOSFET NVSM for Flash memory)

박희정, 박승진, 홍순혁, 남동우, 서광열*
(Hee-jeong Park, Seung-jin Park, Soon-hyuk Hong, Dong-woo Nam, kwang-yell Seo)

Abstract

When charge-trap type SONOS cells are used to flash memory, the tunneling program/erase condition to minimize the generation of interface traps was investigated. SONOSFET NVSM cells were fabricated using 0.35 μm standard memory cell embedded logic process including the ONO cell process, based on retrograde twin-well, single-poly, single metal CMOS process. The thickness of ONO triple-dielectric for memory cell is tunnel oxide of 24 Å, nitride of 74 Å, blocking oxide of 25 Å, respectively. The program mode(V_g : 7,8,9 V, V_s/V_d : -3 V, V_b : floating) and the erase mode(V_g : -4,-5,-6 V, V_s/V_d : floating, V_b : 3 V) by modified Fowler-Nordheim(MFN) tunneling were used. The proposed programming condition for the flash memory of SONOSFET NVSM cells showed less degradation(ΔV_{th} , S, Gm) characteristics than channel MFN tunneling operation. Also, the program inhibit conditions of unselected cell for separated source lines NOR-type flash memory application were investigated. we demonstrated that the program disturb phenomenon did not occur at source/drain voltage of 1 V~4 V and gate voltage of 0 V~4 V.

Key Words(중요용어) : 전하트랩형 SONOSFET, MFN 터널링, 계면 트랩, 플래시 메모리

1. 서론

비휘발성 반도체 메모리(NVSM)는 부유게이트와 SONOS(polysilicon-oxide-nitride-oxide-semiconductor) 구조로 분류된다. 두 형태의 기본적인 구조적 차이는 전하의 저장 물질과 터널산화막의 두께이다. 상대적으로 두꺼운 부유게이트의 경우 산화막 성장의 공정제어가 쉽기 때문에 반도체 산업에 인기를 얻고있지만 저장된 전하가 전도성 폴리실리콘으로부터 빠져나갈 수 있는 터널 산화막내 핀홀 결함에 영향을 받기 쉽다. 하지만 SONOS 구조의 경우 Si_3N_4 내에 많은 트랩이 존재하고 트랩은 각각 격리

되어있기 때문에 핀홀 결함에 대한 영향이 적다.¹ 따라서, SONOS 구조는 터널산화막의 두께가 10-30 Å 범위이고 저전압, 고집적 비휘발성반도체 메모리를 위한 가장 이상적인 차세대 반도체 메모리이다.² 하지만, SONOS 구조에서 채널 전면을 이용한 MFN 터널링 프로그램/소거 조건은 터널 산화막내 전반에 걸쳐 계면트랩(interface trap)이 증가되므로 문턱전압의 이동은 불가피하다.³ 이는 읽기 동작시 오류가 발생할 우려가 있다. 그러나 새롭게 제안된 조건에 의한 프로그램/소거 반복 동작 후 계면트랩생성은 최소화될 수 있고 메모리 창(memory window) 감소 및 문턱 전압 이동을 방지하여 플래시메모리 신뢰성을 향상시킬 수 있을 것으로 기대된다. 이를 규명하기 위해 각 사이클에서 열화 특성을 조사를 하였다.

* 광운대학교 전자재료공학과
(서울시 노원구 월계동 광운대학교,
Fax: 02-941-6008
E-mail : kyseo@daisy.gwu.ac.kr)

2. 소자제작

리트로그레이드 트윈웰, 일층폴리, 일층 금속배선의 표준로직공정을 기본으로 ONO 셀 공정을 추가시킨 0.35 μm CMOS공정을 사용하였다. 게이트 유전막은 실리콘기판 위에 터널산화막, 질화막, 그리고 블로킹산화막의 차례로 형성하여 ONO 적층 구조를 갖도록 하였다. 먼저 터널산화막은 900 $^{\circ}\text{C}$, 상압에서 질소로 희석시킨 산소(O_2 5%)를 사용해서 열산화시켰으며, 질화막은 770 $^{\circ}\text{C}$ 에서 SiH_2Cl_2 와 NH_3 의 혼합가스($\text{SiH}_2\text{Cl}_2:\text{NH}_3=30 \text{ sccm}:330 \text{ sccm}$)를 반응시켜 LPCVD방법으로 터널산화막 위에 증착하였다. 900 $^{\circ}\text{C}$ 에서 습식산화 방법으로 블로킹산화막을 성장시켰다. ONO막의 두께는 분광 엘립소미터(spectroscopic ellipsometer)와 XTEM(cross sectional transmission electron spectroscopy)을 이용하여 결정하였으며 이것으로부터 24 \AA 의 터널산화막, 74 \AA 의 질화막, 25 \AA 의 블로킹산화막이 형성되었음을 알 수 있었다. 소스와 드레인인 LDD 구조이고 펀치쓰루 현상을 방지하기 위하여 특히 n-채널 기억소자에 대하여 HALO이온주입공정을 적용하였다. 제작된 소자의 단면구조는 그림1과 같다.

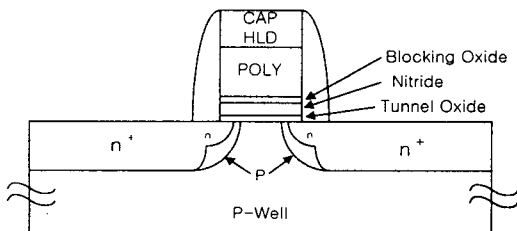


그림 1. W/L=20 $\mu\text{m}/0.375 \mu\text{m}$ 인 n-채널 SONOSFET 단면도

3. 결과 및 고찰

프로그램/소거 반복동작 후 계면트랩생성을 최소화시키기 위한 프로그래밍 조건을 조사하기 위해 실험한 세 가지의 다른 프로그램/소거 조건을 표 1에 나타내었으며 세 가지 조건 모두 전위차는 11 V로 동일하게 하였다.

	Vg	Vs	Vd	Vb	mode
조건1	11V	0V	0V	0V	program
	8V	0V	0V	0V	erase
조건2	3V	-8V	-8V	-8V	program
	-5V	3V	3V	3V	erase
조건3	8V	-3V	-3V	floating	program
	-5V	floating	floating	3V	erase

표 1 방법1.2.3의 프로그램/소거

조건 3에 의해 측정된 SONOS 기억소자의 스위칭

특성을 그림 2에 나타내었으며 조건 1과 2의 프로그램/소거에 의한 메모리 창도 같은 특성임을 확인하였다.

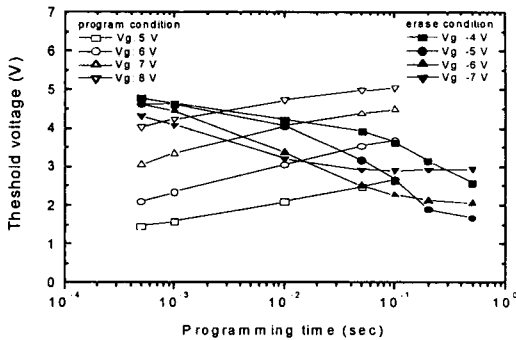


그림 2. W/L=20 $\mu\text{m}/0.375 \mu\text{m}$ 인 n-채널 SONOSFET의 스위칭특성(조건3): 프로그램 조건 $\rightarrow V_s/V_d=-3V$, V_b =floating; 소거 조건 $\rightarrow V_s/V_d$ =floating, $V_b=3V$

조건 3의 프로그램 모드는 소스/드레인에 -3 V를 인가하고 기판은 플로팅한 상태에서 게이트에 인가되는 전압을 7 V, 8 V, 9 V로 변화시켰다. 소거 모드는 소스/드레인을 플로팅하고 기판은 3 V를 인가한 상태에서 게이트에 -4 V, -5 V, -6 V를 변화시켜 인가하였다. 프로그램 모드는 게이트와 소스/드레인 간의 전계, 소거 모드는 게이트와 기판간의 전계에 의한 MFN 터널링 방식을 사용하였다. 프로그램과 소거를 위해 측정초기상태의 문턱전압은 1.2 V와 5 V로 설정하였다. 프로그램 전압 8 V, 500 μs 와 소거 전압 -5 V, 500 ms에서 2.33 V의 메모리 창을 얻을 수 있었다.

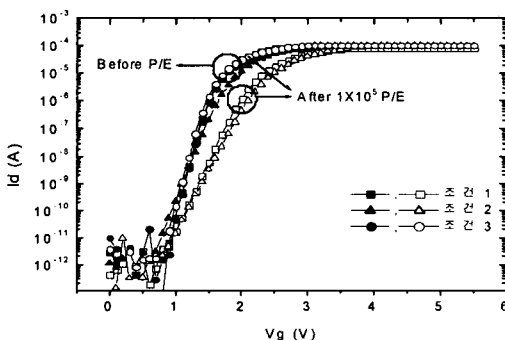


그림 3. 1×10^5 프로그램/소거 반복동작 전과 후에 소거상태에서 측정된 세 가지 프로그래밍 조건에 대한 Id-Vg 특성곡선

그림 3은 1×10^5 프로그램/소거 반복동작 전과 후

에 소거상태에서 측정된 세 가지 프로그래밍 조건에 대한 Id-Vg 특성곡선을 비교한 것이다. 그림 3으로부터 프로그래밍 조건 3이 프로그램/소거 반복 동작 전과 후 드레인 전류의 변화가 없음을 알 수 있었다. 프로그램/소거 반복 동작 후, 드레인 전류의 변화는 주로 터널산화막내의 전하 트래핑 때문이며 문턱전압 이동과 일치하게 되고 이것은 읽기 동작 시 오류가 발생할 우려가 있다.

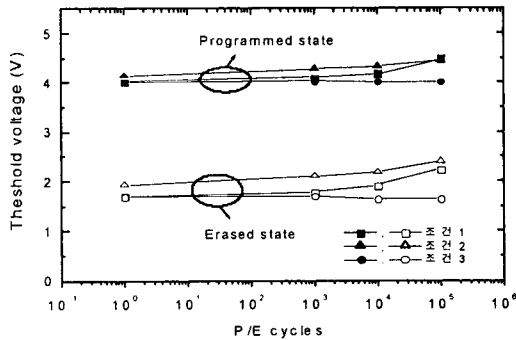


그림 4. 프로그램/소거 반복 동작에 따른 프로그램 상태와 소거 상태에서 각각 측정된 문턱전압

그림 4는 프로그램/소거 반복 동작에 따른 프로그램 상태와 소거 상태에서 각각 측정된 문턱전압을 나타내고 있다. 1×10^5 프로그램/소거 반복 동작 후 소거상태의 문턱전압 이동은 프로그래밍 조건 1은 546.9 mV, 조건 2는 556.2 mV 그리고 조건 3은 86.9 mV로 조건 3에 의한 프로그램/소거가 계면트랩 생성을 최소화시킬 수 있음을 확인하였다. 그림 5와 6은 각각 조건 2와 3에 의해 프로그램/소거 반복 동작 후 Gm(transconductance)의 변화를 측정된 결과이다. 선형 영역에서 Gm은 다음 식으로 정의된다.

$$G_m = \frac{\partial I_d}{\partial V_g} = \mu_{\text{eff}} C_{\text{ox}} \frac{W}{L} V_d \quad \text{for } V_d < V_{d,\text{sat}} \quad (1)$$

식(1)로부터 Gm은 μ_{eff} 에 비례하므로 Gm의 감소와 직접적인 관련이 있음을 알 수 있다. Gm의 감소는 터널산화막 내부와 Si/SiO₂ 계면에서의 전하 트래핑으로 인한 캐리어의 채널 이동도가 감소하기 때문이며, Gm 곡선의 이동은 주로 터널산화막내의 전하 트래핑의 결과로 인한 문턱전압의 이동과 일치한다. 그림 6에서 보듯이와 같이, 조건 3에 의한 프로그램/소거 반복 동작 후 Gm의 감소와 이동은 현저히 개선됨을 확인할 수 있다.

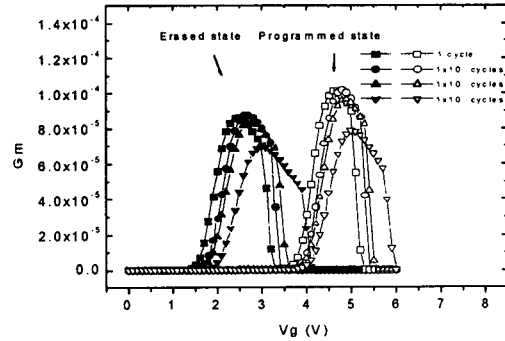


그림 5. 프로그램/소거 동작에 따른 Gm 변화 (조건2)

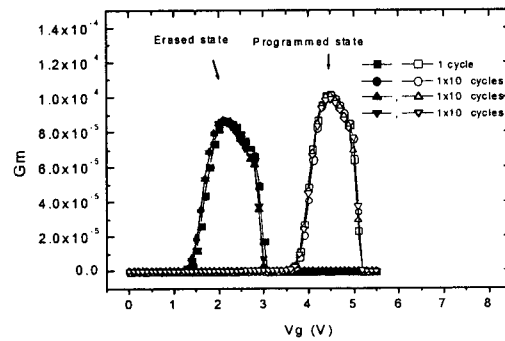


그림 6. 프로그램/소거 동작에 따른 Gm변화 (조건3)

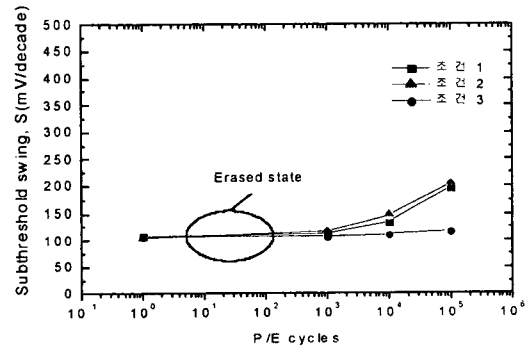


그림 7. 프로그램/소거 동작에 따른 Subthreshold swing factor 비교특성

그림 7은 세 가지의 다른 프로그래밍 조건으로 프로그램/소거 반복 동작에 따른 Id-Vg 특성곡선의 하위문턱 영역에서 Subthreshold swing factor(S)를 비교한 것이다. S는 다음과 같이 정의된다.

$$S = 2.3 \times (kT/q) \times \left[(1 + C_d/C_{\text{ox}} + C_{\text{it}}/C_{\text{ox}}) / (1 - (C_d/C_{\text{fb}})^2) \right] \quad (2)$$

여기서, C_d, C_{ox}, C_{it}, 그리고 C_{fb}는 각각 공핍층, 터

널산화막, 계면 트랩, 그리고 평탄 밴드 캐패시턴스 값을 나타낸다. $C_{it}=qD_{it}$,이며 D_{it} 는 계면 트랩 밀도 ($cm^{-2}eV^{-1}$)이다. 프로그램/소거 반복 동작에 따른 계면 트랩 생성을 고려하면 Subthreshold swing factor 변화(ΔS)는 다음 식과 같이 표현할 수 있다.

$$\Delta S = S(\text{after stress}) - S(\text{before stress}) = 2.3 \times (kT/q) \times [(\Delta C_{it}/C_{ox}) / (1 - (C_d/C_{fb})^2)] \quad (3)$$

여기서, 계면 트랩 변화(ΔD_{it})는 다음과 같은 관계로 표현할 수 있다.

$$\Delta D_{it} = C_{ox} \Delta S / 2.3kT \times [1 - (C_d/C_{fb})^2] \quad (4)$$

하위 문턱 영역의 I_d - V_g 곡선 이동과 그것의 기울기는 프로그램/소거 반복 동작에 따라 열화 되고 이것은 산화막내 전하 트래핑과 Si/SiO₂ 계면 전하 트래핑 때문이다. 그림 7로부터 1×10^5 프로그램/소거 반복 동작 후 ΔS 는 조건 1의 경우 88.6 mV/decade, 조건 2는 101 mV/decade, 조건 3은 6.3 mV/decade로 조건 3에 의한 프로그래밍 조건이 프로그램/소거 반복 동작 후 계면트랩생성이 최소화됨을 알 수 있다.

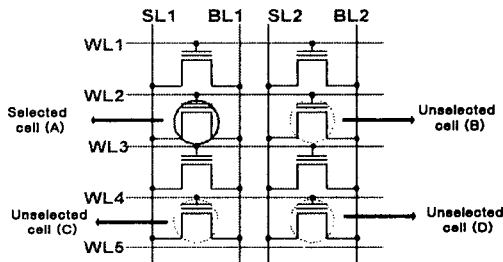


그림 8. SSL-NOR형 셀 어레이

그림 8은 플래시 메모리 소자 응용시 프로그램에 따른 프로그램 방해특성을 조사하기 위해 사용한 SSL-NOR형 셀 어레이를 나타내고 있다.

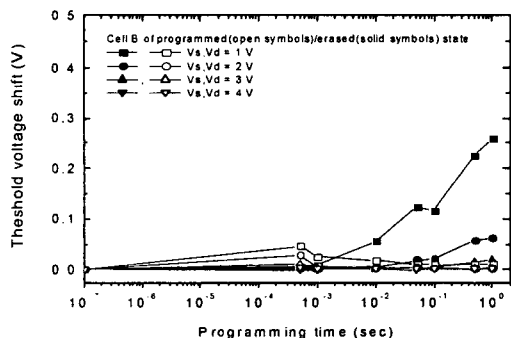


그림 9. $V_g = 8$ V 상태에서 V_s, V_d 의 프로그램 금지조건

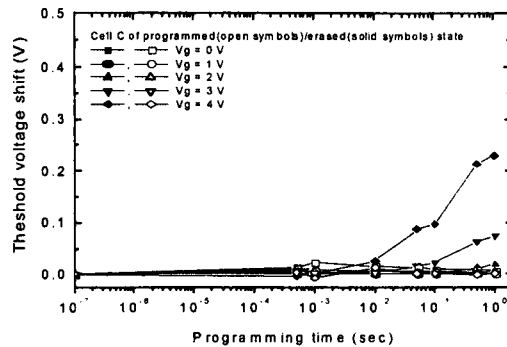


그림 10. $V_s, V_d = -3$ V 상태에서 V_g 의 프로그램 금지조건

그림 9는 비선택 셀 B의 소스/드레인 허용전압을 조사한 결과이고 그림 10은 비선택 셀 C의 게이트 허용전압을 조사한 결과이다. 프로그램시 비선택 셀의 문턱전압 이동이 0.2 V 이하로 변화하면 허용할 수 있는 프로그램 금지조건이라고 가정했을 때 셀 B와 C의 소스/드레인 전압은 1 V~4 V, 게이트 전압은 0 V~4 V의 프로그램 금지조건을 얻을 수 있다.

4. 결론

0.35 μm 트윈웰, 일층폴리, 일층금속배선의 CMOS 공정을 사용하여 제작된 n-채널 SONOSFET를 플래시메모리로 사용할 때 프로그램/소거 반복 동작 후 계면트랩생성을 최소화할 수 있는 프로그래밍 조건을 조사하였다. 조건 3에 의한 SONOS 기억소자의 스위칭특성을 조사한 결과 프로그램 전압 8 V, 500 μs 와 소거 전압 -5 V, 500 ms에서 2.33 V의 메모리 창을 얻었고 1×10^5 프로그램/소거 반복 동작 후 프로그래밍 조건 3이 문턱전압의 변화가 가장 작았고 Gm의 감소와 이동이 현저히 개선되었으며, ΔS 가 6.3 mV/decade로 계면트랩생성이 최소화됨을 알 수 있었다. 플래시메모리 소자 응용시 프로그램에 따른 프로그램 방해특성을 조사한 결과 비선택 셀 B와 C의 소스/드레인 전압은 1 V~4 V, 게이트 전압은 0 V~4 V의 프로그램 금지조건을 얻을 수 있다.

참고 문헌

1. Yang Yang, Solid-State Electronics, Vol.43, p.2025-2032, 1999
2. S. Habermehl, R. D. Nasby, and M. J. Rightley, Appl. Phys. Lett., Vol.75, No.8, p.1122-1124, 1999
3. Young-Bog ParK and Dieter K, IEEE. Trans. Elect., Vol.84 No.6, p.1361-1368, 1998