

## 구조적 변화에 따른 GaAs MESFET 제작 및 DC 특성

### DC Characteristics of GaAs MESFET with Different Physical Structures

김인호, 원창섭, 안형근, 한득영

Ih-Ho Kim\*, Chang-Sub Won, Hyung-Keun Ahn, Deuk-young Han

#### Abstract

The less sensitive structure to the surface effect has been presented utilizing an undoped GaAs layer on the n-GaAs channel. The undoped layer has been found to be effective to suppress the frequency dispersion phenomena caused by a surface trapping effect and to raise the MESFET's performance. The gate structure, with an undoped layer underneath the gate metal has been found to be effective to improve the breakdown voltage. GaAs MESFETs with different physical structures are fabricated and DC characteristics are measured. GaAs MESFET's are fabricated on epi-wafers which have an undoped GaAs layer in between n<sup>+</sup> and n GaAs layers grown by MBE.

**Key Words(중요용어) :** MESFET, undoped layer, breakdown voltage

#### 1. 서론

Si의 경우 SiO<sub>2</sub>라는 안정된 절연물이 존재했기 때문에 MOS 구조를 구현하는 것이 비교적 수월하였고, 결국 MOSFET의 발명으로 VLSI로 발전할 수가 있었다. 반면에 Si보다 뛰어난 특성을 가진 GaAs의 경우 안정된 절연물을 아직 구현하지 못했기 때문에 공기중에서 쉽게 산화되어 많은 표면준위를 발생한다. 이 표면 준위의 존재로 항복전압의 감소 등과 같이 소자의 특성이 악화되기 때문에 GaAs 소자로서 사용하는 데 어려움이 많다. 본 논문에서 제작하

는 GaAs MESFET 소자는 이러한 표면 준위에 의한 문제점을 개선할 수 있는 undoped 표면층을 갖는 에피층 구조로서 일반적인 에피층 구조를 약간 변형시켜 n<sup>+</sup> GaAs cap층과 n GaAs 채널층 사이에 undoped GaAs 표면층이 삽입된 형태를 가지고 있다[1]. 또한, 구조적 변화에 따른 소자의 DC 특성을 알아본다.

#### 2. GaAs MESFET 특성

GaAs MESFET의 기본 구조는 반절연성 GaAs substrate와 buffer 층 및 n-type 층으로 구성되어 있다. 전자 이동도는 3000~4500cm<sup>2</sup>/V·se를 가지며, 일반적으로 소오스(source)와 드레인(drain) 접촉은 Au-Ge등을 사용하며, 게이트 접촉은 Al을 사용하여 쇼키-장벽(schottky-barrier)를 이룬다. 동작 원리는

\* 건국대학교 전기공학과  
(서울시 화양동 건국대학교,  
Fax: 02-447-9186  
E-mail : gogs21@hanmail.net)

게이트와 소오스 사이에 역방향(reverse) 전압을 걸어서 공핍층(depletion region)을 조정하며, 드레인과 소오스 사이에 순방향(forward) 전압을 걸어서 전자를 흘려준다. 이때, 역방향 전압이 증가할수록, 채널층이 감소하고 드레인 전류는 감소하게 된다. 즉, 드레인 전류는 게이트 전압에 의해 조절되어 지는 것이며 역방향 전압이 핀치오프 전압( $V_p$ )까지 증가하게 되면, 채널이 완전히 닫히게 되어서 드레인 전류가 흐르지 않게 된다. MESFET의 I-V 특성이 그림 2에 나타나 있다[2,3].

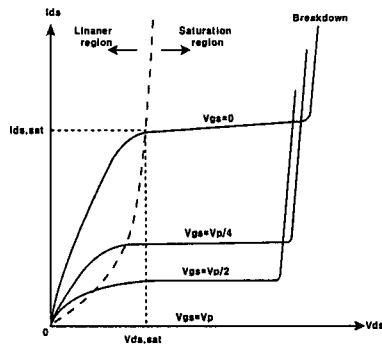


그림 1. MESFET의 I-V 특성 곡선

### 3. GaAs MESFET 제작

본 논문에서는 MBE(morecular beam epitaxy)법으로 성장시킨 에피층 웨이퍼를 사용하여 GaAs MESFET을 제작하였다.

#### 3.1 GaAs MESFET 설계

GaAs MESFET의 성능은 최대 채널 전류, 핀치오프 전압( $V_p$ ), 항복 전압( $V_{BR}$ ), 전달전도도( $g_m$ ), 기생 저항 및 접촉 저항에 의해 결정되며, 결과적으로 출력 전력, 이득 및 차단 주파수 등이 결정된다. 이들을 최적화하기 위한 물리적 변수들로는 도핑 밀도(N), 채널 두께(a), 게이트 길이( $L_g$ )와 폭(W), 소오스와 드레인 간격, 게이트와 드레인 간격, 게이트 금속의 종류 및 두께, 옴릭 접촉, 리세스 에칭 등의 물리적 변수가 존재한다. 따라서, 이러한 물리적 변수들을 결정하고 마스크는 E-beam lithography 장비를 사용하였으며 narrow recess 공정은 게이트 패턴을 사용하였다. 마스크에 있는 소자는 구조적 변화에 따라서 DC 및 테스트 소자들로 구성되어져 있다.

DC 소자는 게이트 길이가 각각  $1\mu\text{m}$ ,  $2\mu\text{m}$ ,  $3\mu\text{m}$ ,  $5\mu\text{m}$

로 변하며 게이트 폭은 각각  $50\mu\text{m}$ ,  $75\mu\text{m}$ ,  $100\mu\text{m}$ ,  $150\mu\text{m}$ ,  $200\mu\text{m}$ 로 변한다. 그리고, 게이트 소오스 간격은  $3\mu\text{m}$ 로 고정시켰으며, 게이트 드레인 간격은 각각  $3\mu\text{m}$ ,  $4\mu\text{m}$ ,  $5\mu\text{m}$ ,  $10\mu\text{m}$ 로 변하도록 설계하였다.

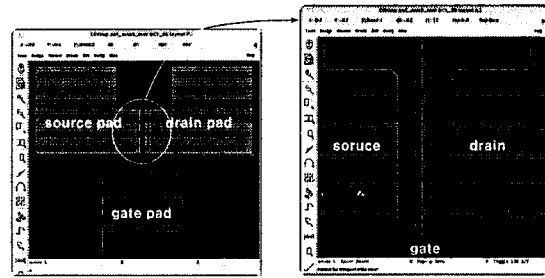


그림 2. DC pattern

#### 3.2 에피층 구조

$n^+$ GaAs	$3 \times 10^{18} \text{ cm}^{-3}$	400 Å
undoped GaAs		1000 Å
n GaAs	$1.5 \times 10^{17} \text{ cm}^{-3}$	1500 Å
undoped GaAs		1 $\mu\text{m}$
Superlattice Buffer		1200 Å
undoped GaAs		100 Å
(1 0 0) Semi-insulating GaAs substrate		

그림 3. MBE로 성장된 GaAs 웨이퍼 구조

일반적인 GaAs MESFET에서는 항복전압을 증가시키기 위해서 채널 리세스 에칭으로 채널 두께를 감소시키고, 공핍된 표면전하를 영향을 줄여서 과잉 표면전하에 의한 고전계를 방지하고 있다[4]. 그리고, GaAs 표면을 보호할 수 있는 passivation 기술이 부족하기 때문에, 표면 상태(surface states)에 의한 여러 가지 부적절한 현상들이 야기되고 있다. 일반적으로  $\text{Si}_3\text{N}_4$ (silicon nitride)가 표면층의 보호층으로 쓰이고 있으나, 아직까지 안정성이 충분하지 않다[2]. 그림 3에서처럼 본 논문에서는 undoped 표면층을 갖는 에피층 구조로서 일반적인 에피층 구조를 약간 변형시켜  $n^+$  GaAs cap층과 n GaAs 채널층 사이에 undoped GaAs 표면층이 삽입된 형태를 가지고 있다. 이러한 웨이퍼로 제작된 MESFET은 채널위의 undoped 표면층이 이상적인 passivation으로 작용하여 채널 표면에서 표면 발생하는 surface trapping effect에 의한 드레인 전류의 주파수 분산현상을 억

제하며, 항복전압을 향상시킬 수 있다[1].

### 3.2 GaAs MESFET 공정

GaAs MESFET 소자의 제작 공정은 그림 4와 5에 나타나 있는 단위공정의 순서로 이루어진다. 먼저, 소자들간의 전기적 분리를 위한 메사공정, 소오스와 드레인 금속을 위한 오믹 접촉 공정이 이루어지고, double recess를 위한 1단계 wide recess 공정과 2단계 narrow recess 공정 및 게이트와 패드 금속 증착 공정의 순서이다.

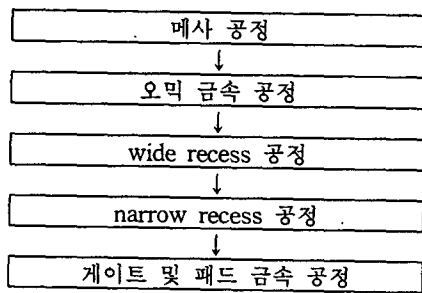


그림 4. MESFET 제작 공정 흐름도

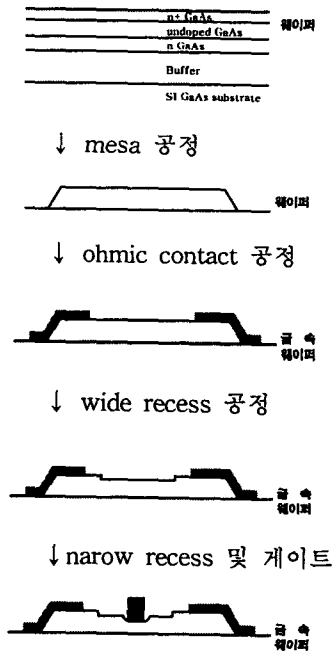


그림 5. 단위 공정

개별 소자들간에 전류가 흐르는 현상을 방지하기 위하여 소자들 사이를 전기적으로 분리시키는 작업이 필요하다. 이를 위해 본 소자 제작에서 사용한 방법은 메사 구조를 형성하는 방법이다. 메사형성 방법은 각 소자 사이에 존재하는 영역을 식각함으로써, 전류의 흐름을 차단시키는 공정이다.

사진식각 공정에 들어가기 전에 웨이퍼위의 불순물 제거를 위하여 TCE→아세톤→메탄올→IPA의 순서로 세척하였다. 그리고, 대류식 오븐에서 웨이퍼의 수분을 제거(prebake)하였다. 유기 화합물인 감광제는 웨이퍼위의 산화막에 잘 붙지 않는다. 따라서, 웨이퍼와 감광막(photo resistor)의 접착을 용이하게 하기 위해서 HMDS(hexamethyldisilane)를 도포하였다. 감광막은 AZ1512로써 양성(positive)감광막을 사용하며, spin coater에서 4300rpm으로 35sec동안 회전시켜 약 1.2 $\mu$ m를 도포하였다. 감광막에 남아 있는 용제(solvent)를 완전히 건조시키고, 웨이퍼와의 접착도를 높이기 위해서 90 $^{\circ}$ C에서 30min 동안 soft bake 공정을 하였다. 현상(develope) 공정은 웨이퍼에서 식각되어야 할 부분에 존재하는 감광막이 제거되는 공정으로 AZ300:H<sub>2</sub>O=6:1의 비율로 45sec 동안 현상한다. 남아 있는 용제를 제거하기 위해서 hard bake를 하였다. 식각 직전에 웨이퍼 표면의 자연산화막 제거를 위하여 HCl:H<sub>2</sub>O=1:1의 용액에 2분간 담그고 DI로 세척한 후 웨이퍼 식각에 들어간다. 식각은 습식 식각으로 행하여지며, 사용된 식각 용액은 H<sub>3</sub>PO<sub>4</sub>:H<sub>2</sub>O<sub>2</sub>:H<sub>2</sub>O=1:1:25의 용액이었다. 용액의 식각률은 1800A/min의 값을 나타내었다. 180초간 식각한 결과, 약 4800A 이 식각되었다.

오믹 금속 공정은 소자간에 전류간 원활히 흐를 수 있도록 저항성 접촉을 형성하는 공정이다. 일반적으로 n형 GaAs 오믹 금속으로는 NiGeAu 구조의 오믹 접촉이 널리 사용되고 있다. 그러나, 이 구조는 alloying시 GaAs와의 급부적인 반응으로 인하여 거친 표면을 갖고 접촉저항도 증가하며 열적안정성도 나빠진다. 이러한 점을 개선한 구조가 Ni(nickel)을 Pt(platinum)으로 대체한 얇은 두께의 오믹 구조이다. PtGeAu 오믹 접촉은 기존의 NiGeAu 오믹 접촉에 비하여 넓은 온도 범위에서 낮은 오믹 접촉 저항 값을 갖고, 뛰어난 표면 형상을 보이며, 그리고 보다 우수한 열적 안정성을 갖는다.

따라서, 본 소자 제작에 사용된 오믹 금속의 구조는 Pt/GeAu = 300/1500A 이다. 오믹 금속 증착을 하고 alloying후에 50 $\mu$ m TLM 패턴으로 contact 저항을 측정한 결과 0.178 $\Omega \cdot \text{mm}$ 였으며, 면저항은 339 $\Omega / \text{sq.}$  로 오믹특성이 비교적 우수하였다.

오믹 공정에 사용된 감광막은 메사 공정과는 달리 AZ5214라는 영상 반전(image reversal) 감광막으로서 현상 후 감광막의 다면 형태가 금속의 증착 후 lift-off를 수월하게 할 수 있는 확실한 overhang의 구조를 갖게 되어 금속 증착 공정에 유리하다. 패턴 노광 이전의 감광막의 가장자리 제거 단계인 edge remove 단계는 감광막의 도포 후, 웨이퍼 가장자리의 감광막 두께가 웨이퍼 중앙부분 보다 두꺼워서 마스크와의 접촉시 웨이퍼 전면에 걸친 균일한 접촉이 안되므로 반드시 필요한 단계이다.

Recess 식각의 목적은 좋은 저항성 접촉을 위하여 높게 도핑된 표면 영역을 제거함으로써 채널 표면의 전계 집중 현상을 감소시켜 항복전압을 높이는 것이다. 또한, 원하는  $I_{dss}$  값을 구현하는데 있다. 본 논문에서는 항복 전압을 높이기 위하여 double recess 공정을 사용하였다. double recess 공정을 사용할 경우 나타나는 문제점은 wide recess에 의해 노출된 부분에서의 표면 전하에 의하여 전자가 trap-detrap 됨으로 인하여 이 부분이 일종의 게이트처럼 동작하여 주파수가 저하되는 것이다. 식각에 사용된 용액은 구연산:H<sub>2</sub>O<sub>2</sub>:H<sub>2</sub>O=25:1:75의 혼합액으로 식각률은 3.5Å/sec이다. narrow recess 공정은 2단계 recess 공정으로서, wide recess 공정에 이어서 채널 표면의 전계집중 현상을 감소시키고, 최종적인 소자의 전류수준을 조절한다. Narrow recess를 위한 패턴형성은 게이트 패턴을 이용하였다. 이 공정역시 영상 반전 감광막을 사용하기 때문에 포토 공정은 wide recess에서 한 공정과 같다. 금속 증착에 사용하는 장비는 오믹 공정에서 이용된 E-gun evaporator를 이용하여 Ti/Au=500/3500Å의 금속을 증착하였다.

#### 4. 결 론

소자 제작이 끝난후, 구조적 변화에 따른 DC 특성을 측정하고자 한다. 본 논문에서 제작하는 GaAs MESFET 소자는 표면 준위에 의한 문제점을 개선할 수 있는 undoped 표면층을 갖는 에피층 구조로서 항복전압이 우수하며, 그 RF 특성도 우수할 것으로 보인다.

#### 참고 문헌

- [1]. H. Takahashi, K. Asano, "Step-recessed gate GaAs FETs with an undoped surface layer", IE EE IEDM, pp.259-262, Dec. 1991.
- [2]. S.M. Sze, "Physics of Semiconductor Devices"

- 2nd ed., John Wiley & Sons, 1981.
- [3]. Kai Chang, "Microwave Solid-State Circuits and Applications", John Wiley & Sons, 1994.
- [4]. Y. Wada and M. Tomizawa, "Drain Avalanche breakdown in gallium arsenide MESFET's," IEEE Trans. Elec. Devices, vol. ED-35, no.11, pp.1765-1770, Nov.1988.