

PT-IGBT의 온도에 따른 과도특성해석

Transient Analysis of PT-IGBT with Different Temperature

이호길, 류세환, 이용국, 안형근, 한득영

(Ho-kil Lee, Se-whan Ryu, Young-kuk Lee, Hyung-keun Ahn, Deuk-young Han)

Abstract

In this study, Transient Characteristics of the Punch-Through Insulated Gate Bipolar Transistor (PT-IGBT) has been studied. On the contrary to Non-Punch Through Insulated Gate Bipolar Transistor(NPT-IGBT), PT-IGBT has buffer layer. It has a simple drive circuit controlled by the gate voltage of the MOSFET and the low on-state resistance of the bipolar junction transistor. In this paper, the transient characteristics with temperature of the PT-IGBT has been analyzed analytically. PT-IGBT is made to reduce switching power loss. Excess Minority carrier distribution inactive base region and base charge, the rate of voltage with time is expressed analytically to include buffer layer.

Key Words(중요용어) : IGBT, Transient, Temperature, Modeling, High Level Injection

1. 서론

최근 전동기 등과 같은 inductive 부하를 제어하고 UPS등에 사용되고, 전력전자분야 기기 등에 스위칭 소자로 널리 쓰이고 있는 IGBT는 MOSFET의 High-impedance 장점과 BJT의 대 전류 특성을 갖추고 있다. IGBT는 power MOSFET과 GTO등의 중간레벨에서 사용되는 소자보다 큰 power 레벨에서 사용되지만 주파수 대역은 낮다. 그 이유는 넓은 베이스 층에 고준위 주입으로 인하여 남아있는 과잉 소수 캐리어를 없애는데 시간이 많이 걸리기 때문이다. 이 때문에 tail 전류가 발생하며 이것이 스위칭 손실의 원인이 된다. 따라서 이 tail 전류를 없애주기 위하여 구조적으로나 내부 파라미터를 변경하는 방법을 취한다. PT-IGBT는 이러한 스위칭손실을 줄이기 위하여 베이스 층에 buffer 층을 삽입하고 또한 내부 파라미터인 과잉 소수 캐리어 수명시간을 조절하여 손실을 줄일 수 있다. 또한 전력소자는 내부에 많은 열이 발생하고 이의 BJT적인 해석으로 베이스에 남아 있는 전하량에 영향을 끼친다. 앞서

NPT-IGBT에 대해서 연구[1][3][4][6]했고 또한 MOSFET이 문턱전압에 대한 온도항에 대해서도 제시[9][10]를 했었다. PT-IGBT는 식의 복잡성으로 인하여 수치적인 해석을 제시[2][5][8]하고 또한 이를 간단히 하기 위해 buffer층의 해석을 배제[7]하였다. 본 논문에서는 250K~400K에 대해서 온도의 변화에 대한 전하량의 변화를 제시하였다.

2. IGBT의 동작 및 물리적 특성

2.1 IGBT의 구조와 동작원리

그림 1에 PT-IGBT 내부 구조를 나타내고 있다. 그림에서 보면 IGBT는 컬렉터, 베이스, 에미터로 연결되는 pnp BJT 부분과 드레인, 소스, 게이트로 연결되는 MOSFET구조로 되어있다. IGBT는 forward bias 일 때 p+ substrate와 n+ buffer 층에는 정방향 bias가 n- drift층과 p+ collector와는 역방향 bias가 걸린다. On-state상태 시 MOSFET의 채널전류가 pnp 트랜지스터의 베이스에 전류를 주입하면서 소자가 도통하게 된다. 소자를 turn-off 상태로 하기 위해서는 gate에 인가된 신호를 zero로 해주면 된다.

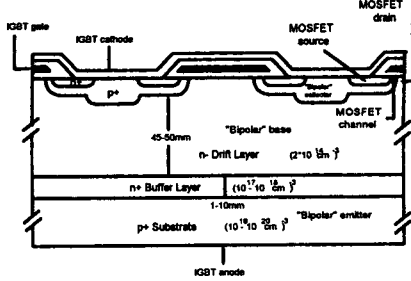


그림 1. PT-IGBT의 내부구조

이때 forward bias blocking 상태가 되면서 채널전류인 전자 전류가 제거된다. 그러면 컬렉터 베이스 접합에 공핍층은 늘어나면서 애노드-캐소드 전압이 증가하게 된다.

2.1 Ambipolar Transport Equation

IGBT는 베이스가 넓고 베이스의 농도가 낮게 도핑 되어있다. 이러한 구조에서 에미터에서 베이스로 의 과잉소수 캐리어의 주입 시 베이스의 도핑농도보다 더 커지게 된다. 이 때 전자의 이동과 홀의 이동은 전자-홀 전송방정식에서 drift 항에서 전계 성분에 의해서 결합된다. 또한 높은 이득 저준위 주입과 같은 전통적인 BJT 해석과는 달리 낮은 이득과 고준위 주입에서는 drift 성분과 diffusion 성분과의 차이가 중요하고 전계성분을 0으로 놓을 수 없다. 따라서 전자와 홀을 따로 생각할 수 없고 또한 고준위 주입에서 준중성성($\delta p = \delta n$)에 의하여 전류를 ambipolar 전송이론으로 생각하여야 한다.

이를 전자, 홀 전류로 buffer층에 대해서 표현하면

$$\frac{d\delta p}{dt} = -\frac{\delta p}{\tau_B} - \frac{1}{b} \frac{dJ_{pB}}{dx} \quad (1)$$

$$\frac{d^2 \delta p}{dx^2} = \frac{\delta p}{L_{pB}^2} + \frac{1}{D_{pB}} \frac{d\delta p}{dt} \quad (2)$$

와 같이 구할 수 있고 Drift 층에서는

$$\frac{d\delta p}{dt} = -\frac{\delta p}{\tau_D} - \frac{1}{b} \frac{dJ_{pD}}{dx} \quad (3)$$

$$\frac{d^2 \delta p}{dx^2} = \frac{\delta p}{L_{pD}^2} + \frac{1}{D_{pD}} \frac{d\delta p}{dt} \quad (4)$$

한다.

3. 온도에 따른 변수

IGBT는 내부의 높은 온도로 인하여 진성캐리어 농도, 유효질량, 이동도 등이 변하게 된다[11][12].

이를 식으로 표현하면

$$n_i = 4 \times 10^{15} \times \left(\frac{m_n^*}{m_0} \cdot \frac{m_p^*}{m_0} \right)^{3/4} \times \left(\frac{T}{300} \right)^{3/2} e^{-\frac{E_g}{2kT}} \quad (5)$$

$$\frac{m_n^*}{m_0} = 1.028 + (6.11 \times 10^{-4})T - (3.09 \times 10^{-7})T^2 \quad (6a)$$

$$\frac{m_p^*}{m_0} = 0.610 + (7.83 \times 10^{-4})T - (4.46 \times 10^{-7})T^2 \quad (6b)$$

$$E_g = 1.17 - \frac{4.73 \times 10^{-4} \cdot T^2}{T + 636} \quad (7)$$

이다 여기서 n_i 는 진성 캐리어 농도, m_n, m_p 는 각각 전자, 홀의 유효 질량, E_g 는 energy band gap을 나타낸다. 또한 이동도는

$$\mu = \mu_{\min} + \frac{\mu_0}{1 + (N/N_{ref})^a} \quad (8)$$

$$A = A_{300} \left(\frac{T}{300} \right)^n \quad (9)$$

와 같이 표현할 수 있다. 여기서 A 는 $\mu_{\min}, \mu_0, N_{ref}, a$ 를 나타내고 A_{300} 은 각 파라미터들의 300K일 때를 나타낸다

4. IGBT의 모델

4.1 정상상태에서의 모델

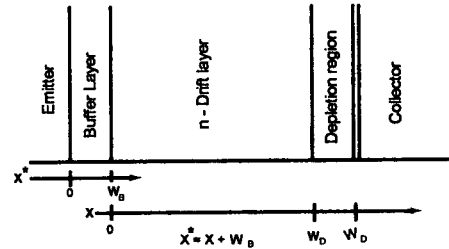


그림 2. 쌍극성 트랜지스터 모델을 전개하기 위한 좌표 시스템

그림1에서 공핍층의 길이는

$$w_{bcj} = \sqrt{\frac{2\epsilon_{si}(V_{bc} + V_{bi})}{qN_D}} \quad (10)$$

으로 나타낼 수 있고 총 베이스의 길이는

$$W = W_B + W_D \quad (11)$$

으로 나타낼 수 있다. 이때 drift층의 $x=0$ 인 곳에서의 과잉소수캐리어농도를 표현하면

$$\delta p(x) = P_{D0} \frac{\sinh\left(\frac{W-x}{L}\right)}{\sinh\left(\frac{W}{L}\right)} \quad (12)$$

로 나타낼 수 있다.

4.2 과도상태에서의 모델

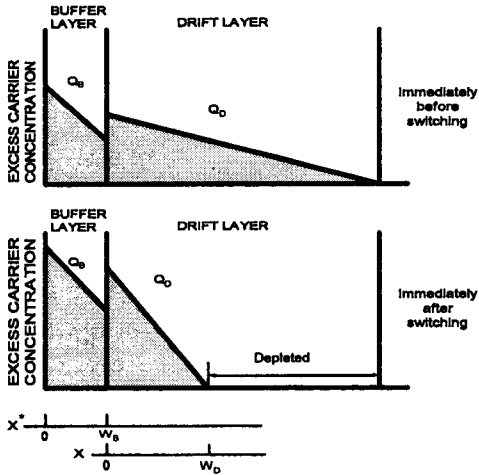


그림 3. 스위칭 전후의 buffer층과 drift층의 과잉 소수 캐리어 분포도

그림 3에 과도시의 공핍층의 변화를 나타내었다. 이때의 공핍층의 변화는

$$W_{bcf} \approx \sqrt{\frac{2\epsilon_{si} V_A(t)}{qN_D}} \quad (13)$$

로 표현할 수 있다. 시간에 따른 전하량의 변화량을 나타내면

$$\frac{dQ_T}{dt} = -\frac{Q_D}{\tau_L} - \frac{Q_H}{\tau_H} - \frac{P_{HD}N_H}{n_i^2} J_{sne} \quad (14)$$

로 표현할 수 있고 식(17)에서부터

$$Q_T = (Q_T(0) + \tau_L \alpha) e^{-\frac{t}{\tau_L}} - \tau_L \alpha \quad (15)$$

으로 얻을 수 있다. 여기서

$$\alpha = -\frac{Q_H}{\tau_L} + \frac{Q_H}{\tau_H} + \frac{P_{HD}N_H}{n_i^2} J_{sne} \quad (16)$$

$$Q_T(0^+) = q(P_{HD} + P_{HW})L_{pH} \tanh\left(\frac{W_H}{2L_{pH}}\right) + qP_{LD}L_L \tanh\left(\frac{W_L}{2L_L}\right) \quad (17)$$

5. 시뮬레이션

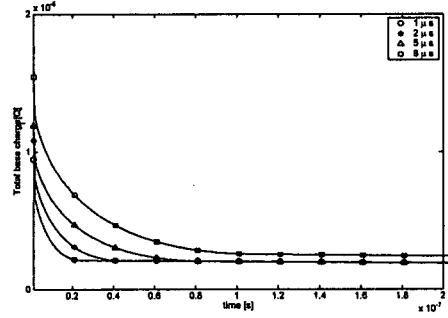


그림 5. 수명시간에 따른 베이스에 존재하는 총 전하의 분포

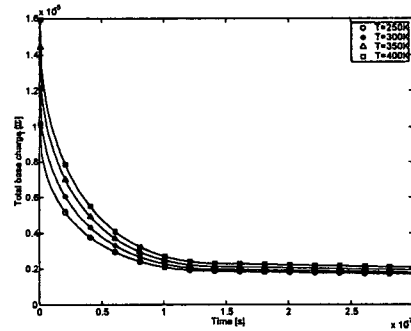


그림 6. 온도에 따른 베이스에 존재하는 총전하의 분포

6. 결론

본 논문에서는 IGBT의 BJT부분에서 전하량의 분포를 buffer를 포함하여 해석적으로 제시하였다. 또한 IGBT와 같은 power소자는 내부에서 많은 열이 발생하는 데 이는 전하량의 발생에 직접적인 영향을 끼친다. 이러한 부분을 기존논문에서는 MOSFET의 문턱전압에 관련해서만 해석을 하였는데 본 연구에서는 BJT부분에 대해서 해석을 하였다. 시뮬레이션 결과 300K일 때 맞는 것으로서 다른 온도에서도 이를 추정해 볼 수 있다. 이러한 buffer층을 포함한 해석으로 인하여 좀더 정확한 모델을 제

시하여 IGBT에 문제가 되는 과도시의 전력손실에 대한 연구에 기여할 것이다.

참고 문헌

- [1]. Allen R. Hefner, David L. Blackburn, "An Analytical Model for the Steady-State and Transient Characteristic of the Power Insulated-Gate Bipolar Transistor," *Solid-State Electronics*, Vol. 31, No. 10, pp.1513-1532, 1988
- [2]. Allen R. Hefner, Jr. "Performance Trade-off The Insulated Gate Bipolar Transistor: Buffer Layer Versus Base Lifetime Reduction" *IEEE Transaction Power Electron*, PE-2, p. 194, 1987; also in IEEE PESC Conf. Rec., p. 27, 1986
- [3]. Allen R. Hefner, JR, "Analytical Modeling of Device-Circuit Interaction for the Power Insulated Gate Bipolar Transistor(IGBT)," *IEEE Transaction on Industry Applications*, Vol. 26, No. 6, November/december 1990
- [4]. Allen R. Hefner, JR, "An Improved Understanding for the Transient Operation of the Power Insulated Gate Bipolar Transistor(IGBT)," *IEEE Transaction on Power Electronics*, Vol. 5, No. 4, October 1990
- [5]. Allen R. Hefner, Jr. "Modeling Buffer Layer IGBT's for Circuit Simulation", *IEEE Transactions on Power Electronics*, Vol. 10, No 2, March 1995
- [6]. A. R. Hefner, D. L. Blackburn, and K. F. Galloway, "The Effect of Neutrons on The Characteristics of The Insulated Gate Bipolar Transistor (IGBT)," *IEEE Transaction on Nuclear Science*, Vol. NS-33, No. 6, December 1986
- [7]. A. Ramamurthy, S. Sawant, and B, J, Baliga, " Modeling the [dV/dt] of the IGBT During Inductive Turn Off," *IEEE Transacions on power Electronics*, Vol. 14, No.4, July 1999
- [8]. Kuang Sheng, Stephen J. Finney, and Barry W. Williams "A New analytical IGBT Model with Improved Electrical Characteristics" *IEEE Transactions on Power Electronics*, Vol. 14, No 1, January 1999
- [9]. S. Azzopardi, C. Jamert, J. M. Vinassa, C. Zardini, "Switching Performances Comparison of 1200V Punch-Through and Non Punch-Through IGBTs under Hard-Switching at High Temperature", *Proceedings of the Record of the 29th Annual IEEE Power Electronics Specialists Conference - Vol. 2, No. 5, 1998*
- [10]. Anis Ammous, Bruno Allard, and Herve Morel, "Transient Temperature Measurements and Modeling of IGBT's Under Short Circuit," *IEEE Transaction on Power Electronics*, Vol. 13, No. 1, January 1998
- [11]. S. M. Sze, *Physics of Semiconductor Device 2nd Edition*, Wiley-Interscience, p16~p35
- [12]. Robert F. Pierret, *Semiconductor Device Fundamentals*, Addison-Wesley company, Inc, p53~p57,p79~p85,1996
- [13]. B.J. Baliga, *Power Semiconductor Device*, PWS Publishing Company, pp. 426-502 1996.