

SBT 강유전체 박막을 이용하여 제조한 MFIS 구조의 특성 (Characteristics of the MFIS Structure Processed Using SBT Ferroelectric Thin Films)

홍익대학교 김지윤, 박주동, 오태성

서론: 최근 분극피로에 의한 특성 열화가 없는 층상 페로브스카이트 구조의 $\text{SrBi}_2\text{Ta}_2\text{O}_9$ (SBT) 박막을 비휘발성 메모리 소자(FRAM)에 응용하기 위한 연구가 널리 진행되고 있다. SBT 박막은 분극피로가 없고 항전계가 작다는 장점이 있으나, 최적 강유전성을 위해서는 800°C 의 높은 공정온도가 요구되므로 SBT 박막을 FET형 FRAM 소자에 적용하기 위해서는 강유전체와 Si 사이에 buffer 층이 요구된다. 이와 같은 buffer 층은 낮은 게이트 전압을 위해 유전상수가 높아야 하며, 800°C 이상의 온도에서도 확산 방지층의 역할을 유지해야 하며 Si 기판과의 계면 안정성이 요구된다. 본 연구에서는 SBT 박막을 이용하여 MFIS-FET 구조를 형성하기 위해 TiO_2 박막을 buffer 층으로 사용하였다. TiO_2 박막은 900°C 까지 준 안정상인 anatase 상을 유지하여 고온의 열처리 공정 후에도 SBT 및 Si과 안정한 계면을 형성하며, 높은 유전상수를 지니고 있어 충분한 두께에서도 낮은 게이트 전압이 유지되어 buffer 층으로의 적용이 가능할 것으로 예상된다.

실험 방법: Pt/SBT/ TiO_2 /Si 구조를 제조하기 위해 반응성 스퍼터링법을 사용하여 상온에서 Si(100) 기판에 TiO_2 를 10, 20, 30, 40, 50 nm의 두께로 증착하였다. 박막증착시 스퍼터링 가스($\text{Ar}+\text{O}_2$) 내의 O_2 함량을 37.5%, 25%, 12.5%로 변화시켰다. TiO_2 /Si 기판에 LSMCD 공정으로 400 nm 두께의 SBT 박막을 성막 후, 결정화를 위하여 산소분위기 중에서 800°C 로 1시간 열처리하였다. 이와 같이 제조된 시편에 직경 200 μm , 두께 200nm의 Pt 전극을 스퍼터 증착 후, Pt/SBT 계면의 안정화를 위해 산소 분위기에서 600°C 로 10분간 후속 열처리를 실시하여 Pt(200nm)/SBT(400nm)/ TiO_2 (10~50 nm)/Si 구조의 시편을 제조하였다. X-선 회절분석으로 TiO_2 /Si 및 SBT/ TiO_2 /Si 구조의 결정상을 분석하였으며, Auger Electron Spectroscopy로 SBT/ TiO_2 /Si 간의 계면확산을 분석하였다. Pt/SBT/ TiO_2 /Si 구조의 C-V 특성을 HP4194A impedance/gain phase analyzer를 이용하여 분석하였다.

실험결과: 스퍼터 증착한 TiO_2 박막을 산소분위기에서 800°C 로 1시간 열처리시 스퍼터링 가스내 O_2/Ar 비가 12.5%인 조건에서는 TiO_2 와 안정상인 rutile이 관찰되며 O_2/Ar 비가 증가함에 따라 준 안정상인 anatase와 rutile이 혼재하였다. TiO_2 /Si 기판 상에 형성한 SBT 박막의 X-선 회절분석 결과, TiO_2 박막의 스퍼터링시 O_2/Ar 유량비에 관계없이 SBT 층상 페로브스카이트 구조의 결정상만이 관찰되어 Pt/SBT/ TiO_2 /Si 구조를 800°C 에서 1시간 산소분위기 열처리시 SBT/ TiO_2 및 TiO_2 /Si 계면에 소자의 특성을 저하시킬 수 있는 이차상이 생성되지 않았음을 확인할 수 있었다. 또한 10 nm 이상의 TiO_2 buffer 층을 사용시 Si 기판과 SBT 사이에 상호확산이 일어나지 않았음을 Auger depth profile로 확인하였다. MFIS 구조의 C-V 특성, 즉 게이트 전압에 따른 캐패시턴스는 SBT 박막의 강유전 특성에 기인하여 시계방향으로의 C-V 이력곡선이 관찰되었으며, buffer 층으로 사용된 TiO_2 박막의 유전상수가 스퍼터링 가스내 산소함량에 따라 증가하는데 기인하여 최대 캐패시턴스가 증가하였다. Buffer 층인 TiO_2 박막의 두께 변화에 따른 Pt/SBT/ TiO_2 /Si 구조의 C-V 특성은 TiO_2 박막의 두께가 감소할수록 memory window 값이 증가하는 경향을 나타내었으며, TiO_2 buffer 층의 두께가 10 nm일 때 $\pm 5\text{V}$ 게이트 전압인까지 1.6 V의 memory window를 나타내었다.