

Metal-Ferroelectric-Insulator-Semiconductor(MFIS)구조를 위한
 $(\text{Bi}_{3.25}, \text{La}_{0.75})\text{Ti}_3\text{O}_{12}$ 박막의 성장 및 전기적 특성
 (The growth and electrical properties of Ferroelectric
 $(\text{Bi}_{3.25}, \text{La}_{0.75})\text{Ti}_3\text{O}_{12}$ thin films for
 Metal-Ferroelectric-Insulator-Semiconductor(MFIS) structure)

최택집, 전성진, 김용성, 이재관
 성균관대학교 재료공학과

펄스레이저 증착법으로 강유전체 $(\text{Bi}_{3.25}, \text{La}_{0.75})\text{Ti}_3\text{O}_{12}$ (BLT) 박막을 열산화막이 입혀진 Si(100)과 완충막으로 YSZ(Yttria Stabilized Zirconia)가 증착된 Si(100) 기판 위에 증착하였다. BLT 박막의 결정성은 기판온도에 매우 민감하여, 530~550°C 사이 구간에서는 밀집구조에 가까운 (117) 면으로 성장하였고, 기판의 온도가 증가할수록 (117), (111), c축이 함께 나타나는 다결정형태를 보이다가, c축으로 우선 배향 되는 경향을 나타내며, 650°C 근처에서 가장 크게 우선 배향 성장하였다. 전기적 특성은 MF(I)S (Metal -Ferroelectric-Insulator-Semiconductor) 구조를 형성하여 기판온도변화와 완충막이 도입된 구조에 따른 Capacitance-Voltage(C-V)와 Current density-Voltage(I-V)를 측정하였다. C-V를 통하여 강유전체에 의한 memory window를 관찰하였고, memory window는 기판온도가 상대적으로 낮을 때는 인가 전압이 증가하면 전하주입 효과로 인해 감소하였고, 기판온도가 700°C 에서는 인가전압이 증가할수록 memory window는 증가하여 인가전압 5V에서 0.8V 정도이었으며, 누설전류는 인가전압이 0V~5V에서 $10^7 \sim 10^8 \text{A/cm}^2$ 정도를 보였고, YSZ 완충막이 도입된 구조는 상대적으로 낮은 누설전류특성을 나타냈다. MF(I)S구조에서 BLT와 Insulator 의 상호계면 분석과 증착된 박막구성원소의 계면에서의 상호확산을 알아보기 위해 HR-TEM(high resolution transmission electron microscope)과 AES(Auger electron spectroscopy)을 각각 이용하였다. 이 분석결과 계면상태는 평탄하였으며, 두 계면사이에 상호확산이 일어나지 않았음을 알 수 있었다. 본 연구를 통하여 $(\text{Bi}_{3.25}, \text{La}_{0.75})\text{Ti}_3\text{O}_{12}$ 가 강유전체 전계 효과 트랜지스터의 gate dielectric 물질의 응용에 매우 적합한 물질임을 알 수 있었다.