

Poly Si_{1-x}Ge_x의 산화 거동 분석

김성관, 고대홍, 이기철,* 양두영,* 안태항,** 주문식**
 연세대학교, *주성 엔지니어링(주), **현대 전자(주)

1. 서론

최근 ULSI 소자에서 design-rule의 감소에 따라 DRAM 소자에서의 buried channel 문제, logic소자에서의 gate poly depletion effect, boron penetration등의 문제가 나타나고 있으며, 이 문제를 해결하기 위하여 낮은 비저항과 Ge 함량 변화에 따른 일함수의 조절 가능성, 그리고 기존 Si 공정과의 호환성을 가진 poly Si_{1-x}Ge_x을 CMOS gate로 이용하려는 연구가 활발하게 진행되고 있다. 하지만 poly Si_{1-x}Ge_x을 게이트에 적용하는 경우, 기존의 poly Si 게이트 전극공정과 같이 산화막 신뢰성 향상을 위하여 게이트 식각 이후에 게이트 edge 부근에서의 재산화 공정이 요구되어지는데, poly Si_{1-x}Ge_x을 산화시키는 경우, Ge 함량에 따라 재산화 공정으로 형성되는 산화막 내부에 GeO₂를 형성하여 산화막의 신뢰도를 열화시킬 것으로 예상된다. 본 연구에서는 위와 같은 문제점을 해결하기 위하여 Ge 함량 및 열처리 온도와 시간을 변화시켜 poly Si_{1-x}Ge_x의 산화 특성을 연구하였다.

2. 실험 방법

본 연구에서는 0%, 20%, 42%의 Ge을 함유하고 있는 1200Å의 poly Si_xGe_x와 (100) Si을 furnace를 이용하여 700°C, 800°C, 900°C의 온도 범위에서 30분, 60분, 120분 동안 wet oxidation 시켰으며, 산화막의 두께 및 결합 상태, 조성비의 관찰을 위하여 SEM, TEM, XPS, RBS를 이용하였다.

3. 결과

15%의 Ge을 함유하는 poly Si_{1-x}Ge_x의 경우 700°C, 800°C 열처리에서 모두 표면에 얇게 SiO₂-GeO₂가 형성되고 대부분 순수한 SiO₂를 형성하였으며, oxide를 형성하지 않은 Ge의 확산으로 poly Si_{1-x}Ge_x내의 Ge 농도가 증가하였다. Poly Si_{0.58}Ge_{0.42}의 경우, 700°C의 열처리에서는 순수한 SiO₂가 아닌 SiO₂-GeO₂가 형성되었지만, 800°C의 열처리에서는 순수한 SiO₂가 형성된 것을 관찰할 수 있었다. 이러한 변화는 GeO₂+Si→SiO₂+Ge의 반응에 기인한 것으로 보인다. 또한 poly Si_{0.58}Ge_{0.42}을 산화시킨 경우에도 반응하지 않은 Ge의 확산으로 poly Si_{1-x}Ge_x내의 Ge 농도가 증가하였으며, 표면 쪽에는 SiO₂-GeO₂가 poly Si_{0.85}Ge_{0.15}에 비해 훨씬 더 두껍게 존재함을 관찰할 수 있었다

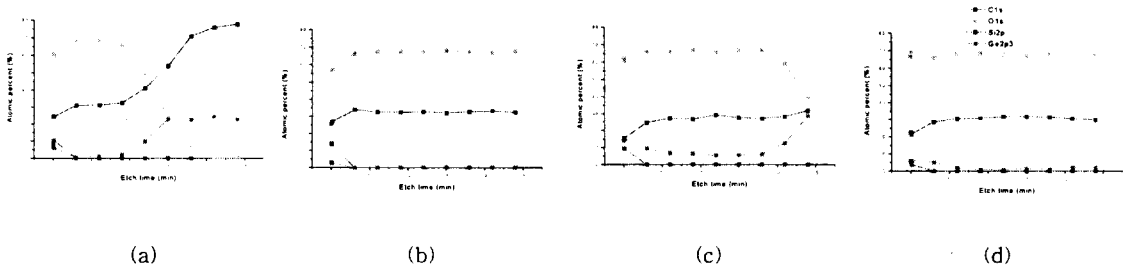


그림. 1 XPS spectra of poly Si_{0.85}Ge_{0.15} annealed at (a) 700°C, 60min, (b) 800°C, 60min, poly Si_{0.58}Ge_{0.42} at (c) 700°C, 60min, (d) 800°C, 60min in oxygen ambients.