

# 고성능 병렬 광 데이터처리 가속기

나종화  
한세대학교 컴퓨터정보통신공학부  
[jwna@hansei.ac.kr](mailto:jwna@hansei.ac.kr)

## Design of an Optoelectronic Database Filter Chip

Jong whoa Na  
Dept. of Computer Engineering & Telecommunication, Hansei University

### Abstract

An optoelectronic database filter chip for high performance database computers and applications is proposed. The proposed device is designed to perform the selection and projection operations of relational database operation on-the-fly in page-parallel manner to increase the overall performance of a database system. The device utilizes CMOS smart pixel array consists of detector and combinational logic circuit to perform the selection and projection operation.

### 1. 개요

나날이 발전하는 CPU 동작속도와 더불어 보조기억장치의 용량도 급격하게 발전하여 이제는 20기가바이트 이상의 용량을 가지는 하드디스크마저도 일반적인 PC의 선택사양의 범주에 들어오게 되었다. 더군다나 근접장 광기록장치 scanning probe microscope(SPM)-based 저장장치, 홀로그래픽 저장장치, 홀 버닝 광저장장치 등이 차세대 대용량저장장치로서 활발하게 연구되고있는 상황에서, 더 빠르고 더 큰 용량의 저장장치를 원하는 사용자들에게 가까운 미래에 테라바이트급의 용량의 광저장장치가 출현할 것으로 예상된다[1,2]. 이들 중에서 홀로그래픽 저장장치의 경우를 살펴보면, 3차원 공간에 2차원의 페이지 단위의 데이터를 저장함으로써 빠른 속도의 구현이 가능하게 되어 조만간 10Gb/s의 data rate도 가능하게 될 것으로 예상된다[3].

이런 현상을 컴퓨터 구조적인 관점에서 보면 이제까지는 가장 느린 장치로만 간주되었던 보조기

억장치가 빠른 속도의 장치로 바뀌게 되고 따라서 광저장장치의 등장은 이제까지 쓰고있던 memory hierarchy를 재해석 또는 재 구성해야 하는 상황에 놓이게 되었다. 또한 일반적인 컴퓨터는 바이트 혹은 워드 단위(32비트 혹은 64비트)로 데이터가 입출력 되도록 설계되어있으나, 광저장장치는 2차원 공간에 페이지당 수천 혹은 수만 비트의 데이터를 읽고 쓸 수 있어서 광저장장치와 프로세서(혹은 프로세서 보드) 사이의 데이터전송속도 정합문제 등을 해결해야 한다.

이러한 광저장장치가 금융, 무역 등의 산업분야에서 필수적으로 사용되는 데이터베이스 관련 응용분야에서 쓰이게 되는 경우에 많은 양의 데이터를 짧은 시간에 처리하는 것이 시스템 디자인의 목표가 된다. 이런 경우에 데이터베이스 필터(database filter)라는 연산을 저장장치에서 프로세서로 전송하는 데이터들에 대하여 수행할 수 있다[4]. 이 데이터베이스 필터의 목적은 저장장치에서 프로세서로 보내지 않고, 미리 사용자의 질의에 필요한 연산들 중에서 일정한 연산을 전송되는 데이터에 대하여 on-the-fly로 처리함으로써 전송되어야 할 데이터의 양을 줄임으로써 필요한 데이터의 전송시간을 줄이고 동시에 전체적인 시스템의 성능향상을 도모하고자 하는데 있다.

---

이 논문은 1999년도 한국학술진흥재단의 연구비에 의하여 지원되었음. (KRF-99-003-200369-E2307)

본 고에서는 광저장장치가 컴퓨터시스템에서 사용될 경우에 memory hierarchy의 재 구성문제 및 정합문제, 그리고 데이터베이스 필터에서 요구하는 연산을 수행할 수 있는 광데이터처리가속기(Optical Database Filter, ODF)를 제안한다. 광데이터처리 가속기는 스마트픽셀어레이와 spatial light modulator, 제어회로로 구성된다.(그림1)

## 2. 광데이터처리가속기의 구조

광저장장치와 컴퓨터사이에 위치하는 광데이터처리 가속기는 다음의 세가지 동작을 수행한다. 첫째로 2차원 공간에 표현된 광 데이터의 크기를 포토다이오우드 등을 이용하여 전자신호로 변환시키는 역할을 수행한다. 두 번째는 읽은 데이터에 대해서 데이터베이스 필터연산을 수행한다. 본 고에서는 관계형 데이터베이스 연산들 중에서 가장 기본적인 선택(selection)과 투사(projection) 필터에서 수행하는 연산으로 정하였다. 따라서 선택 또는 투사 연산을 필요로 하는 질의어와 데이터에 대하여 이 두 연산을 기억장치에서 컴퓨터로 전송할 때 미리 정합장치에서 처리하여 해당되지 않는 데이터는 폐기함으로써 실제로 컴퓨터까지 전달되는 데이터의 양을 최소화하여 주어진 질의에 대한 전체적인 응답시간을 최소화 하는 것을 목적으로 한다. 세 번째는 전송된 데이터가 양 단간의 처리 및 전송속도 차이로 인하여 데이터를 잃어버리는 경우를 방지할 수 있도록 버퍼의 역할을 수행한다.

본 고에서는 제한된 지면 관계상 데이터베이스 필터가 수행할 수 있는 여러 관계 연산들 중에서 광메모리와 컴퓨터에서 입력되는 두 입력 데이터 간의 상등관계(equality)를 선택(selection)하는 연산을 이용하여 제안된 시스템을 설명한다.

제안된 광데이터처리 가속기는 다이내믹 픽셀 마스크(dynamic pixel mask)와 스마트픽셀어레이로 구성된다. (그림 1) 먼저 투사(projection) 연산은 먼저 픽셀 마스크를 이용하여 수행할 수 있다. 픽셀 마스크는 입력된 2차원 광데이터들중에서 선택된 행(혹은 열)의 데이터는 투과시키고, 선택되지 않은 데이터는 차단하는 역할을 한다. 이때 각 행의 선택 제어신호는 스마트픽셀어레이의 제어부에서 사용자의 질의어에 기초하여 만들어진 제어신호를 이용한다. 각 픽셀의 투과/차단기능은 liquid crystal display 혹은

deformable mirror array (DMD)와 같이 각 픽셀의 투과율(transmittance)을 제어할 수 있는 디바이스를 이용하여 픽셀마스크를 구현할 수 있다.[3] 따라서 주어진 2차원 데이터의 각각의 행에 대하여 그 행의 데이터를 차단하던지 혹은 통과시키던지 하여 투사(projection) 연산을 수행할 수 있다.

스마트픽셀어레이는 2차원으로 구성된 스마트픽셀, 필터제어부, 그리고 버퍼로 구성된다. 스마트픽셀어레이의 각 픽셀은 포토디텍터 한 개와 픽셀단위의 관계연산(>,<=)을 수행하는 논리 회로인 MCL(Magnitude Comparison Logic)부로 구성된다. MCL은 사용자 또는 프로세서로부터 입력되는 1bit 데이터를 저장하는 1bit latch (*k latch*) 와 광메모리에서 입력되는 1bit 데이터를 저장하는 1bit latch (*i latch*), 이 두 데이터를 이용하여 수행하는 비교연산에 사용되는 논리 회로, 마지막으로 비교결과를 저장할 때 사용되는 한 개의 1bit latch (*r latch*)로 구성된다. 본 고에서는 등가관계만을 확인하는 것을 목표로 하였으므로 비교에 사용되는 논리회로는 1개의 2입력 XOR 논리연산을 수행하는 게이트 들로 구성할 수 있다.

필터제어부는 selection 연산에 필요한 데이터를 프로세서로부터 받은 후, 두개의 제어신호를 발생한다. 즉, 해당 스마트픽셀이 비교연산을 수행해야 하는지의 여부를 결정하는 제어신호와 비교연산의 종류를 결정하는 제어신호(여기서는 상등관계 체크신호)를 만든다. 그 다음에는 각 스마트픽셀의 *k latch*에 저장될 데이터를 만들어서 각 스마트픽셀에 저장한다.

입력 데이터는 포토디텍터를 통해서 각 스마트 픽셀의 *i latch*에 들어오게 되며, 동시에 *i latch*로 입력된 데이터는 버퍼로 전송된다. 어레이의 각 스마트픽셀은 *i latch*와 *k latch*의 두 데이터를 비교하여 그 비교연산의 결과를 각 스마트픽셀의 *r latch*에 저장한다. 필터제어부는 각 행의 모든 픽셀의 *r latch*값을 word 단위로 모두 입력 받아서 해당되는 word가 모두 같은지의 여부를 판단하여 같으면 그 행의 데이터를 버퍼메모리에서 컴퓨터의 주기억장치로 전송하고, 비교한 결과가 같지 않으면 그 행의 데이터는 폐기한다.

## 3. 구현 및 결론

광데이터처리 가속기는 스마트픽셀어레이의 어레이 당 픽셀수와 동작속도가 그의 성능을 결정한다. 최근  $10^3 \times 10^3$  개의 CMOS 디텍터로 구성된 디텍터어레이와 100MHz로 동작하는 디텍터어레이가 발표되었다.[5,6]

또한 0.35- $\mu\text{m}$  CMOS 프로세스를 사용해서 128픽셀 (픽셀 당 두개의 포토다이오드와 30개의 gate들로 구성), 46mW의 dynamic 칩 소비전력, 245Mb/s의 output data rate의 스마트 포토디텍터어레이가 발표되었다.[7] 제안된 광데이터처리속속기가 입력된 데이터를 연산을 하지 않고 그대로 프로세서로 전송하는 경우의 성능을 계산해보면, 0.35- $\mu\text{m}$  CMOS 프로세서로 power-limited 최대 픽셀 수를 계산하면  $2.67 \times 10^4$  픽셀이 한 칩에 가능하게 되고, 이 시스템이 1초 당 5M frame의 속도로 동작하면,  $1.33 \times 10^{11}$  bps, 즉 133Gbps의 aggregate data rate가 지게 된다. 기존 Fibre Channel이나 Gigabit Ethernet 보다 월등한 성능을 가진 것으로 알려진 HIPPI-6400 (High Performance Parallel Interface)의 성능이 채널당 data rate가 800Mbps인 것을 고려하면[8], 제안된 광데이터처리속속기는 기존의 시스템들이나 방법보다 월등하게 우월한 성능을 낼 수 있을 것으로 예측된다.

**Reference**

[1] P. A. Mitkas and L. J. Krakliotis, "Three dimensional optical storage for database processing",

Optical Memory and Neural Networks, Vol. 3, No. 2, pp.217-229, 1994.  
 [2] D. A. Patterson and J.L. Hennessy, "Computer Organization and Design, The hardware/ software approach", Ch. 7, Morgan Kaufmann Pub., 1998.  
 [3] A. Louri and Jongwhoa Na, "Design of an optical content-addressable parallel processor for expert systems," Applied Optics, Vol. 34, No. 23, pp.5053-5063, August 1995.  
 [4] S. Su, "Database Computer", McGraw Hill, 1989.  
 [5] R. D. Snyder, et al., "Database filter: optoelectronic design and implementation", Applied Optics, Vol. 36, No. 20, pp.4881-4889, 1997.  
 [6] W. Fang, et al., "A compact VLSI neural computer integrated with active pixel sensor for real-time machine vision applications," SPIE Vol.3077, Orlando, FL, April 1997.  
 [7] M. Schaffer and P. Mitkas, "Smart Photodetector Array for Page-Oriented Optical Memory in 0.35- $\mu\text{m}$  CMOS", IEEE Photonics Technology Letters, Vol 10, No. 6, pp.866-868, June 1998.  
 [8] B. Bihari, et al., "High-throughput optoelectronic interconnect for holographic memory devices", SPIE Vol. 3632, pp.297-308, Jan. 1999.

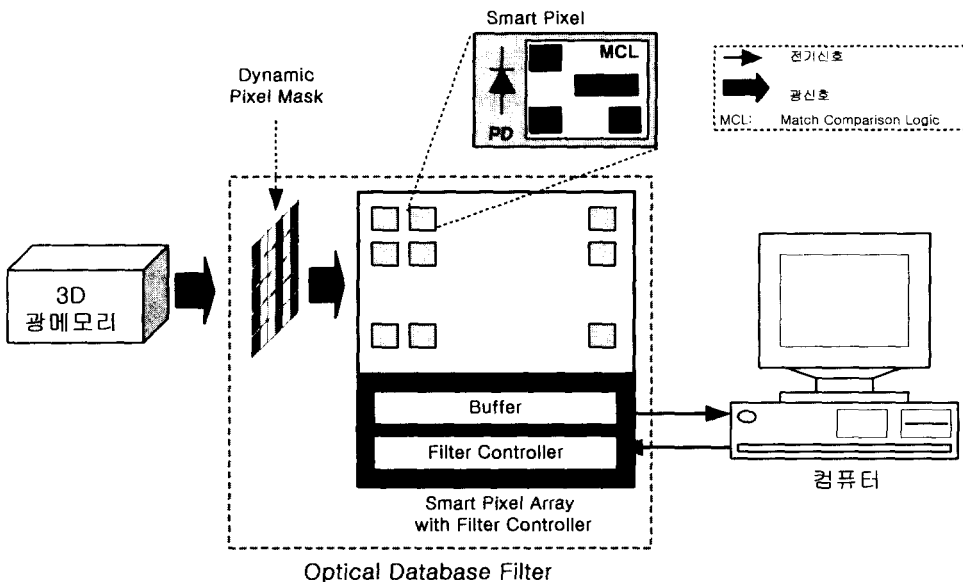


그림 1. 광데이터처리속속기의 블록도