

군소 성능요인을 고려한 분산공유메모리 시스템 성능의 정밀분석

박준석^U
LG전자 핵심망연구소
ds2fcy@lgic.co.kr

전창호⁺
한양대학교 전자컴퓨터공학부
chjeon@para1.hanyang.ac.kr

Performance Analysis of A Distributed Shared Memory System Including Minor Performance Factors

Joon Seok Park^U

Chang Ho Jeon[†]

oCore Network Department, LG Electronics Inc.

† School of Electrical Engineering and Computer Science, Hanyang University

요 약

본 논문에서는 분산공유메모리 다중프로세서 시스템에서 하드웨어 구성요소와 실행환경이 시스템의 전체 성능에 미치는 영향을 시뮬레이션을 통하여 분석한다. PARSEC[1,2]을 이용하여 분산공유메모리 다중프로세서 시스템을 실제 실행환경에 근접하게 모델링하고 그 모델링된 시스템상에 2D FFT를 가상 실행하는 방식의 시뮬레이션 결과, 일반적으로 성능분석을 할 때 성능요소로 고려하지 않는 군소 하드웨어 요소들이 시스템 구성에 따라 시스템의 전체 성능에 상당한 영향을 미침을 밝힌다. 또한 반복순환 구문의 오버헤드, 코드최적화 등 실행조건에 따른 성능의 변화도 정량적으로 분석한다.

1. 서론

현재 대부분의 병렬시스템은 최대 수백 MFLOPS 이상의 성능을 가진 마이크로프로세서 또는 DSP칩을 연산소자로 사용하고 있다[3-5]. 그러나 프로세서 자체의 속도가 빨라짐에도 불구하고 시스템의 전체 성능은 프로세서의 속도에 비례하여 증가하지 못하고 있다. 이것은 프로세서 이외의 다른 하드웨어 구성요소 및 실행환경에서 성능저하 요인이 있음을 의미한다. 이러한 성능저하 요인의 비중은 프로세서의 속도가 빨라지면 빨라질수록, 그리고 많은 수의 프로세서를 사용하면 할수록 점점 커지게 될 것이다. 시스템의 전체 성능에 미치는 이들의 영향이 커짐에 따라 다중프로세서 시스템의 성능분석에서 이들을 성능인자로 사용함은 보다 정확하고 현실적인 결과를 얻기 위한 필수조건이라고 할 수 있다. 그러므로 시스템의 성능에 미치는 하드웨어 구성요소와 실행환경의 영향을 정량적으로 분석하여 성능분석에서 반드시 포함되어야할 성능인자의 선택기준을 마련할 필요가 있다.

이에 본 논문에서는 TMS320C67x와 PCI 버스 등 상용 하드웨어 소자를 사용하여 병렬 디지털 신호처리용으로 개발 중에 있는 분산공유메모리 다중프로세서 구조[6,7]를 대상으로 2D FFT를 이용하여 시스템의 전

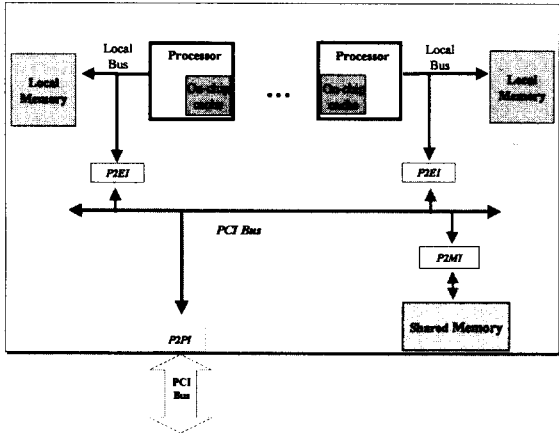
체 성능에 미치는 하드웨어 구성요소와 실행환경의 영향을 시뮬레이션을 통하여 분석한다. 시뮬레이션에서는 PARSEC[1,2]을 이용하여 시스템의 실제 실행환경을 모델링하고 그 모델링된 시스템상에 2D FFT를 구현하여 실행시킴으로써 프로세서의 연산시간과 지역메모리 및 공유메모리의 사용시간 등 시스템의 전체 성능에 지배적인 영향을 미치는 성능요소 뿐만 아니라 버스 인터페이스와 프로세서의 지역버스와 같은 군소 하드웨어 구성요소들의 영향과 반복순환 구문의 오버헤드, 버스 중재시간, 그리고 코드 최적화 등과 같은 실제 실행환경에서의 성능요인들이 어떤 영향을 미치는지 정밀 분석한다.

2. 성능분석의 대상

2.1 분산공유메모리 다중프로세서 시스템

(그림 1)은 본 논문에서 성능분석의 대상으로 하는 분산공유메모리 다중프로세서 시스템의 구성도로서 보드에는 프로세서인 TMS320C67x가 최대 네 개까지 탑재될 수 있으며 각각의 프로세서는 자신의 지역메모리를 가지고 있다.

TMS320C67x 프로세서는 내부에 캐쉬 메모리를 가지고 있으며 지역메모리와 연결에는 EMIF라는 지역버스를 사용한다. 또 보드에는 보드내의 프로세서들 뿐만 아니라 시스템의 모든 프로세서들에서 접근이 가능한 공유메모리가 있으며, 공유메모리와 보드 내의 프로세서 또는 지역메모리와의 연결은 PCI 버스를 통해서 이루어진다. 그리고 보드 내의 PCI 버스와 프로세서의 지역버스와의 연결은 PCI-to-EMIF 인터페이스(P2EI)를 통해서, PCI 버스와 공유메모리 사이에는 PCI-to-메모리 인터페이스(P2MI)가 있다. 이 구조는 보드 단위로 성능확장이 가능한데 다중보드일 경우, 보드와 보드간의 연결은 또 다른 PCI 버스를 통해서 이루어지며 보드내의 PCI 버스와 보드간 연결을 위한 PCI 버스 사이에는 PCI-to-PCI 인터페이스(P2PI)가 있다.



(그림 1) 분산공유메모리 다중프로세서 모델

2.2 2D FFT

본 논문에서는 성능분석을 위한 어플리케이션으로 2D FFT를 사용한다. 많은 산술 연산을 필요로 하며 신호처리 응용분야의 대표적인 알고리즘인 2D FFT는 2차원 입력데이터에 대해서 1D FFT 연산을 반복적으로 수행한다[8]. 분산공유메모리 다중프로세서 시스템에서 2D FFT가 효과적으로 병렬처리될 수 있도록 데이터를 행 단위로 분할하여 연산 도중에 프로세서간 통신이나 보드간 통신이 발생하지 않도록 한다. 그리고 이렇게 행 단위로 분할된 데이터는 시스템의 모든 프로세서에게 균등하게 분배함으로써 프로세서간 부하균형이 이루어지도록 한다. 이와 같은 방식으로 데이터를 분할하여 프로세서의 지역메모리로 데이터를 할당한 경우, 각각의 프로세서가 계산을 위해서는 자신의 지역메모리를 사용하고 매트릭스 변환을 위해서는 공유메모리를 사용한다.

3. PARSEC을 이용한 시뮬레이션

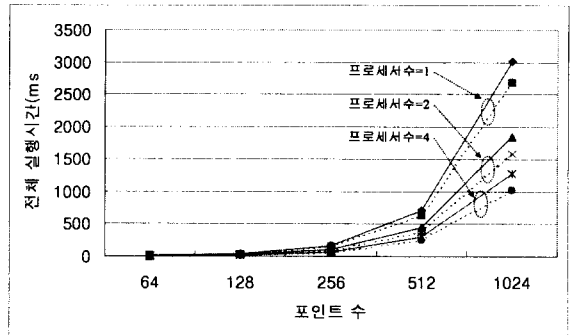
3.1 시스템 모델링

PARSEC(PARallel Simulation Environment for Complex systems)은 ULCA에서 개발한 C언어 기반의 이산사건 방식의 시뮬레이션 환경이다[1,2]. PARSEC에서는 실제 시스템의 하드웨어 구성요소를 entity라는 논리 프로세스로, 하드웨어 구성요소간의 상호작용인 이벤트는 message로 정의한다. 전체적으로 PARSEC을 이용한 시뮬레이션의 흐름은 시간적인 순서로 실행되어야 하는 연속적인 이벤트들로 구성되며 PARSEC 프로그램은 논리 프로세스인 entity와 C 함수로 이루어진다.

분산공유메모리 다중프로세서 시스템을 모델링하기 위해서는 먼저 (그림 1)의 각 하드웨어 요소들을 entity로 구현한다. 하드웨어 구성요소들이 entity로 구현되면 다음으로는 이들 entity사이의 상호작용을 정의한 message가 필요하다. 본 논문에서 구현한 message의 종류는 통신경로의 형성에 관련된 message, 데이터 전송에 관련된 message, 자원의 요청과 할당에 관련된 message 등 크게 세 가지이다.

3.2 시뮬레이션 결과 및 고찰

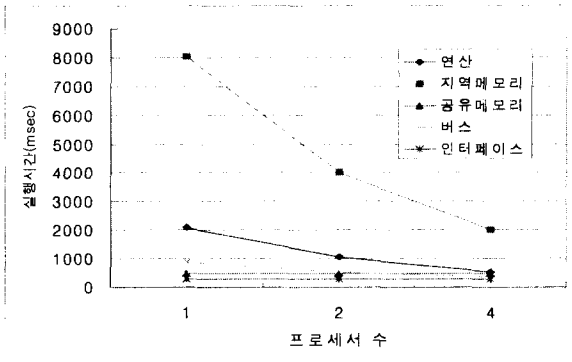
(그림 2)는 버스 인터페이스와 EMIF 버스의 영향을 포함한 전체 실행시간과 포함하지 않은 전체 실행시간을 비교하여 보인 그래프이다. 실선으로 표시한 것이 이들의 영향을 포함한 전체 실행시간이며 점선으로 표시한 것이 이들의 영향을 포함하지 않은 전체 실행시간이다. 프로세서의 수가 하나일 경우, 전체 실행시간에 대한 이들의 영향은 약 10% 정도이지만 프로세서의 수가 네 개일 경우, 이들의 영향은 20% 까지 증가함을 알 수 있다.



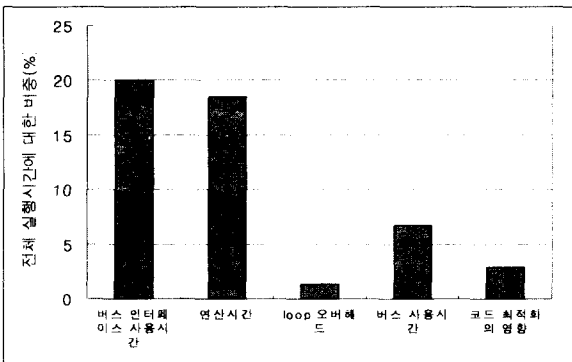
(그림 2) 전체 실행시간에 미치는 버스 인터페이스와 EMIF 버스의 영향

(그림 3)은 1024*1024 포인트 2D FFT를 실행할 경우, 전체 실행시간에서 연산 및 하드웨어의 구성요소들에 의해 지연되는 시간을 나타낸 것이다. (그림 3)에서 지역메모리가 전체 시스템의 성능에 가장 큰 영향을 미치는 요인임을 알 수 있다. 이것은 프로세서가 지역메모리로 할당된 데이터를 대상으로 FFT 연산을 수행하기 때문에 지역메모리를 빈번하게 접근하게 되고, 또 지역메모리의

접근시간이 다른 구성요소들에 비해 상대적으로 길기 때문이다. 공유메모리의 사용으로 인한 지연시간과 버스 인터페이스의 사용시간은 프로세서의 수에 상관없이 일정하게 나타나는데 이것은 매트릭스 변환을 위해 공유메모리를 사용하는 빈도는 프로세서 수가 아닌 데이터의 크기에 영향을 받기 때문이다. 그리고 프로세서에서의 연산시간과 버스의 지연시간은 프로세서의 수가 증가하면 증가한 만큼 병렬 수행되기 때문에 적은 비율로 감소한다.



(그림 3) 하드웨어 구성요소에 의한 지연시간



(그림 4) 실행환경에 따른 성능요소들의 비중

(그림 4)는 전체 실행시간 중에서 버스 인터페이스의 지연시간과 실제 실행환경의 성능요소들이 차지하는 비중을 비교하여 보인 그래프이다. 프로세서의 수가 네 개 일 경우, 전체 실행시간에서 프로세서의 연산시간이 약 18.5%, 반복순환 구문에서의 지연시간이 1.4%, 버스 중재시간을 포함한 PCI 버스의 사용시간이 6.7%, 그리고 코드 최적화의 효과가 대략 2.9% 정도인 것과 비교하면 버스 인터페이스와 지역버스의 영향이 결코 무시할 수 있는 것이 아님을 알 수 있다.

4. 결론

본 논문에서는 분산공유메모리 다중프로세서시스템 구조를 대상으로 2D FFT를 이용하여 시스템의 전체 성능에 미치는 하드웨어 구성요소들과 실행환경의 영향을 시뮬레이션을 통하여 정량적으로 분석하였다.

PARSEC을 이용한 본 논문의 시뮬레이션은 TI의 벤치마크[9]와 동일한 조건에서 92.4%의 신뢰도를 보였으며 시뮬레이션 결과, 시스템의 프로세서 수가 많아지면 많아질수록 일반적으로 성능분석을 할 때 성능요소로 고려하지 않는 버스 인터페이스와 프로세서의 지역버스가 시스템의 성능에 미치는 영향이 점점 커지게 됨을 알 수 있었다. 이것은 특히 최근 마이크로프로세서의 개별 속도가 점점 빨라지고 있는 추세임을 감안할 때 이러한 하드웨어 구성요소들이 성능분석에서 무시할 수 있는 성능요소가 아니라 오히려 시스템의 정확한 성능분석을 위해서는 반드시 포함해야 할 성능인자라는 것을 말해준다.

참고문헌

- [1] R. Bagrodia, R. Meyer, M. Takai, Y. Chen, X. Zeng, J. Martin, and H. Y. Song, "Parsec: A Parallel Simulation Environment for Complex Systems," *IEEE Computer*, pp. 77-85, Oct. 1998.
- [2] *PARSEC User Manual*, UCLA Parallel Computing Lab., Jan. 1999
- [3] A. J. Anderson, "Selection Criteria in the Development of a Multiple Processor Based DSP System", *Journal of Microcomputer Application*, pp. 327-345, 1992.
- [4] P. V R Raja and S. Ganesan, "An SIMD Multiple DSP Microprocessor System for Image Processing," *Microprocessors and Microsystems*, pp. 493-501, Nov. 1991.
- [5] T. Sawabe, T. Fujii, H. Nakada, N. Ohta, and S. Ono, "A 15GFLOPS Parallel DSP System for Super High Definition Image Processing," *IEICE Trans. Fundamentals*, Vol.39, No.7, pp. 786-792, Jul. 1992.
- [6] 박준석, 전창호, 박성주, 이동호, 오원천, 한기택, "병렬 디지털 신호처리시스템의 성능분석," *한국음향학회논문지*, 제18권 1호, pp. 3-9, Jan. 1999.
- [7] 문병표, 박준석, 전창호, 박성주, 이동호, 한기택, "TMS320C67x 기반 병렬신호처리시스템의 설계와 성능분석," *한국정보처리학회논문지*, 제 7권 1호, pp. 65-73, Jan. 2000.
- [8] *Parallel Processing With the TMS320C4x*, Texas Instruments, 1994.
- [9] <http://www.ti.com/sc/docs/products/dsp/c6000/62bench.htm#fft>