STI 구조에서 발생하는 MOSFET Hump 특성에 관한 연구

이용희*, 정상범**, 이천희**
(LG 반도체*, 청주대학교**)

(A Study On MOSFET Hump Characteristics with STI Structures)

Lee Yong-Hui* Jeong Sang-Bum** Yi Cheon-Hee**
(LG Semicon Ltd.* Chongju University**)

요 약

소자가 sub-quarter um급으로 축소됨에 따라 STI(Shallow Trench Isolation) 기술은 고 집적도의 ULSI 구현에 있어서 중요한 격리 방법으로 많이 사용되고 있다 현재의 STI 기술은 주로 실리콘 기판을 식각 후 절연물질로 빈 공백이 없이 채우는 (void-free gap filling) 방법[1,2]과 절연물질을 다시 표면 근처까지 CMP(Chemical Mechnical Polishing)로 etchback하여 평탄화를 하는 방법이 주요한 기술이 되고 있다 또한 STI 구조로된 격리구조에서 만들어진 MOSFET의 전기적인 특성은 트랜치 격리의 상부 부분의 형태와 gap-filling 물질에 따라 큰 영향을 받게된다 따라서 본 논문에서는 STI 구조로 만들어진 격리 구조에서 MOSFET의 hump 특성에 관해 연구하였다 그 결과 hump는 STI 모서리에서 필드 옥시이드의 recess에 의한 모서리 부분에서의 전계 집중과 boron의 segration에 기인한 농도 감소로 인해 hump가 발생하는것으로 나타났다.

I. 서론

현재 사용되는 반도체 소자가 sub-micron 급으로 축소됨에 따라 소자의 격리 구조에 사용하던 기존의 필드 산화(Field Oxidation) 방법은 필드 모서리에서 발생하는 새부리 현상과 boron의 쉬운 segration, 그리고 평탄화 측면에서 한계에 다달았다 따라서 최근에는 64MSD DRAM 급 이상에서는 거의 실리콘 기판을 300~350nm 정도 식각후 여러가지 절연막 물질을 채운후 이를 다시 실리콘 표면과 거의 동일하게 etchback하여 평탄화를 하는 CMP 공정이 많이 사용되고 있다 이러한 소자 격리 기술은 평탄화, 새부리 현상 개선, 소규모 공간에서의 우수한 격리 특성을 지니고 있지만 넓은 영역에서의 dishing 효과, 상부 모서리에서의 게이트 얇아짐 현상, 필드에서의 절연물질의 recess등 여러가지 문제점이 있지만 현재는 공정기술의 발달로 대부분 개선이 되었다 그러나 필드에서의 절연물질의 recess량을 조정하지 못하거나 게이트 옥사이드 영역에서의 변화가 일어나면 MOSFET의 특성을 변형 시키게 된다 그 결과 MOSFET의 게이트 전압에 따른 문턱 전압의 제어가 힘하게 되고 결국에는 소자가 게이트 전압에 따라 제어되지 않아 회로 동작에 큰 장애가 생기게 된다 따라서 본 논문에서는 STI 구조[3,4]를 사용한 격리 구조에서 발생하는 MOSFET의 hump 특성을 조사하기 위해 STI를 채택한 MOSFET를 제작하여 hump가 주로 일어나는 이유와 결과에 대해서 연구 하였다

II. 본론

1 협폭효과

소자의 크기가 축소됨에 따라 채널이 좁아져 문턱전압 특성이 저하되어 소자의 특성을 저하 시키는 단 채널(Short Channel) 효과 이외에도 채널의 폭이 작아짐에따라 생기는 협폭(Narrow Width) 효과는 채널폭이 공핍층 영역의 깊이와 거의 동일한 크기의 상태일때 필드 산화막 아래에서 축적된 전하에 의해 문턱전압이 증가하기나 감소하는 현상이[5, 6] 존재한다

일반적으로 채널폭이 감소함에 따라 게이트 영역의 총 전하는 줄어들게되나 필드 산화막 영역의 전하는 일정한 값을 유지하게되어 고정된 전하의 영향은 채널폭이 더욱 감소함에 따라 현저하게 나타나게 되어 문턱전압을 증가 시키게 된다.

게이트가 바이어스 되었을때 공핍된 영역에서의 필드 분포는 채널의 모서리 부분에 집중이 되게된다 따라서 채널의 모서리 부분에서는 채널의 중앙부분보다 더 낮은 전압에서도 반전층이 형성이 된다 그 결과 채널의 모서리 부분에서 기생소자가 먼저 turn-on이 되며 드레인 전류와 게이트 전압의 상관관계를 분석하면 그림 2-1과 같은 hump 현상이 발생하게 된다 따라서 기생 소자는 실제 소자의 subthreshold leakage를 증가 시키게 된다. 이 결과 MOSFET의 게이트에 가해준 전압이 반도체 표면을 약반전 상태로 만들면 드레인 전류가 미소하게 흐르게 된다 이러한 현상은 소자의 전위 φ_s가 게이트 전압의 함수로 전위가 감소함에 따라 빈간이 일어나기 전에 미소 전류가 증가되므로 digital logic이나 메모리 기억 소자에서 소자의 on 과 off 상태의 오동작을 일으키게 되어 결국에는 회로 전체의 동작에 문제가 발생하게 된다

2 제조공정

STI 구조를 형성하기 위한 공정은 다음과 같다. 1) 실리콘 표면과 Si3N4의 직접 접촉을 방지 하기 위해 실리콘 표면에 산화물 100Å정도 성장 시킨다

2) Si3N4 를 1700Å 정도 증착후 STI 노광 / 현상을 통해 활성 영역과 필드 지역을 형성 시킨다 3) 필드 지역을 300~350nm 정도 실리콘 기판 아래로 식각한다 4) STI 측벽 식각을 한후 HDP(High Density Plasma) 옥사이드를 증착한다 5) 증착된 HDP 옥사이드의 신뢰성을 향상 시키기 위해 STI HDP 어닐링을 실시한다. 6) STI HDP 옥사이드를

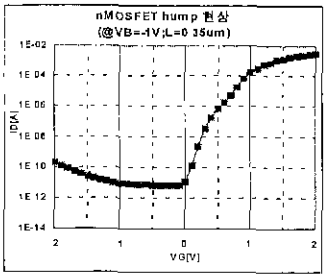

그림 2-1 MOSFET에서 발생하는
hump 특성 곡선

etchback하여 평탄화를 한다. 7) Si3N4 및 옥사이드 막을 제거한 후 우물(Well)을 형성하고 게이트 산화막을 성장 시킨다 8) 이후 게이트를 형성하는 공정을 진행하여 MOSFET를 측정할 수 있도록 한다.

3 실험결과 및 고찰

1) 실험결과

Hump의 원인을 검증하기위해 MOSFET의 전기적인 특성을 측정하고 모서리 부분의 recess로 해석한 hump의 원인을 조사하였다 먼저 그림 2-2, 2-3에서는 측정에 사용된 등가회로와 단면을 나타 내었다. Hump가 발생하는 원인으로는 ①필드 옥사이드 recess의 구조적측면 ②트렌치 측벽에서의 boron segregation의 전기적 측면 즉, 트렌치 상부 모서리에서의 필드집중, 게이트 wrap-around와, 트렌치 측벽근처에서의 boron segregation으로 인한 도핑 농도 감소로 모서리 Tr이 낮은 Vg에서 먼저 turn-on되어 hump를 발생시키므로 필드 옥사이드의 recess량 조정이 중요하다

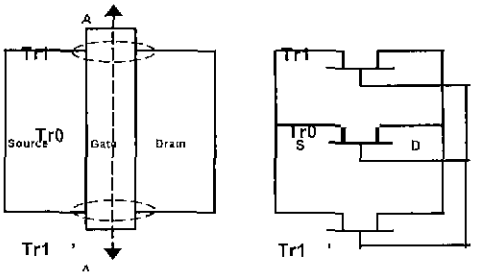

Fig 2-2 측정 Tr & Its Equivalent Circuit'
Tr1=Corner Tr. Tr0=Main Tr

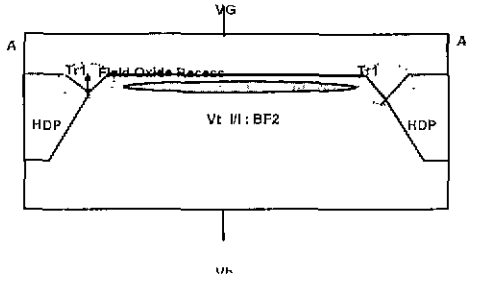

Fig 2-3 Width 방향 Tr 단면그림

STI 모서리 recess로 해석한 hump 현상을 전기적으로 측정한 결과 그림 2-4에서는 중간 크기의 Lg에서는 hump 현상은 심화되며, short Lg에서는 Tr1, Tr1 ' 의 Id가 Tr0의 Id에 비해 상대적으로 너무 낮아 hump 현상이 잘 보이지 않고, long Lg에서는 Tr1,Tr1 ' 의 Id가 Tr0의 Id에 묻히버려 hump 현상이 잘 나타나지 않았다. 그림 2-5를 보면 Vbb가 증가할 수록 hump현상 심화되는데 Vbb가 증가할수록 Vt 증가율이 Tr1,Tr1 ' 와 Tr0간에 차이가 생기므로, hump 현상이 더욱 뚜렷하게 나타난다 그림 2-6은 Left > (Top, Right) > (Center, Bottom) 순으로 hump 현상이 심화되는데 이는 CMP 균일도에 의한 필드 옥사이드 recess의 量에 의해 변동이 존재한다. 그림 2-7 에서는 LVTNMOS의 경우 Vbb가 증가하면, Left chip에서만 hump 현상이 발생 하는데 이는 LVTNMOS의 경우 active 표면의 도핑 농도가 상대적으로 낮아 boron segregation이 NMOS에 비해 적기 때문에 hump 현상이 나타나지 않은 것으로 추정되며, Left chip의 경우 필드 옥사이드 recess量이 아주 많아 hump 현상이 나타난것으로 본다.

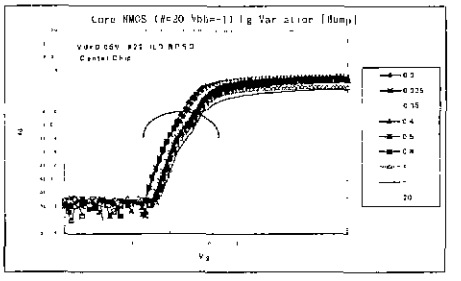

그림 2-5. Vbb가 증가할수록 Hump 현상 심화

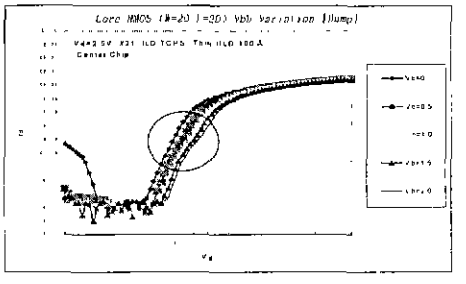

그림 2-4. Middle Lg에서 Hump 현상 심화

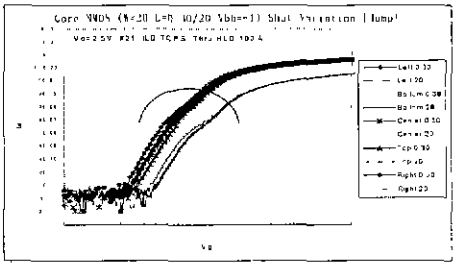

그림 2-6 Left>(Top,Right)>(Center,Bottom)
순으로 Hump 현상 심화

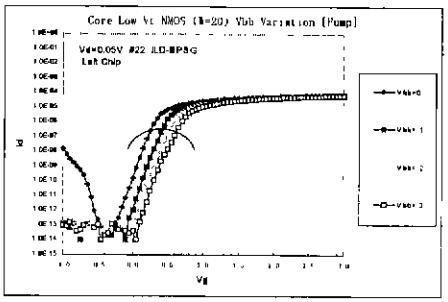

그림 2-7. LVTNMOS의 경우 Vbb가 증가하면, Left Chip 에서만 Hump 현상 발생

그림 2-8은 필드 옥사이드의 잔여량에 따른 문턱전압의 특성 곡선을 나타낸 것인데 그림에서도 보듯이 잔여량이 낮을 수록 문턱전압의 저하를 가져와 hump 현상을 심화 시키는 것을 알 수가 있다. 필드 옥사이드 recess 개선대책으로는 ① CMP 균일도 개선과, ② WET습식각 시간을 줄임으로써 필드 옥사이드 높이를 전체적으로 active표면보다 높게 가져가며 (W/F 내의 균일도를 고려), ③ Pre산화전세, 게이트 산화전세 시간을 줄임으로써 필드 옥사이드 recess를 감소시키는 것이 hump현상의 개선에 유리할 것으로 판단된다.

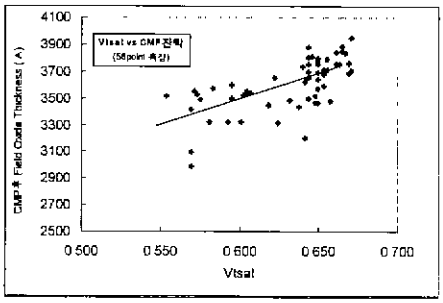

그림 2-8 잔여 옥사이드 량에 따른 문턱전압의 특성 곡선

III. 결론

본 논문에서는 STI 구조를 채택한 MOS- FET 구조에서 발생하는 hump 특성을 분석하기 위해 실리콘 기판을 300~350nm 심도 식각후 HDP 절연막 물질을 채운고 이를 다시 실리콘 표면과 거의 동일하게 etchback하여 평탄화를 하는 CMP 공정을 사용하여 시료를 제작하였다. 실험결과 옥시이드의 recess량이 많은 시료가 hump 현상이 많았으며 문턱전압도 상대적으로 낮았다 이렇게 hump가 발생한 원인으로는 STI 상부 모서리 부분에서의 전계 집중과 boron의 segration에 기인한 농도의 감소로 문턱전압이 모서리 부분에서 일찍 turn-on되어 hump를 발생 시키는 것으로 나왔다. 따라서 이를 해결하기 위해서는 W/F내에서의 균일도를 개선하고 필드 옥사이드의 높이를 높히기 위하여 wet 습식각 시간을 조정하며 필드 옥사이드 recess를 최소화 하기 위하여 pre 산화 전세, 게이트 산화 전세 시간을 최적화 하는것이 필요하다

참고문헌

[1] H S Lee et al., An Optimized Densifica- tion of the Filled Oxide for Quarter Micron Shallow Trench Isolation Symp. On VLSI Tech., pp 158-159, 1996

[2] A.Bryant et al, Characteristics of CMOS Device Isolation for the ULSI Age IEDM Technical Digest pp 61, 1994

[3] Asanga H.Perera et al, Trench Isolation for 0.45um Active Pitch and Below IEDM-95. pp 679-681 1995

[4] C.Chen, J W Chou., A Novel 0.25um Shallow Trench Isolation Technology. IEDM-96 pp 837-839 1996

[5] L A Akers., The Inverse Narrow Width Effect IEEE Electron Dev Letts, EDL-7(7), pp 419 July 1986.

[6] E H.Li et al, The Narrow Channel Effect in MOSFETs with Semirece- ssed Oxide Structures IEEE Trans Electron Dev, ED-37(3) pp 692. March 1990