

단일 정현파 신호를 이용한 CMOS 연산 증폭기의 새로운 테스트 기법

한석봉, 윤원호*, 김윤도, 송근호, 이효상
경상대학교 전자공학과

Novel Testing Technique of CMOS Operation Amplifier using Single Sinusoidal Wave

Han S.B., Yun W.H.*, Kim Y.D., Song G.H., Lee H.S.
Dept. of Electronic Eng. Gyeongsang National Univ.

요 약

본 논문에서는 CMOS 2단 연산 증폭기에 존재하는 강고장을 검출하기 위한 새로운 아날로그 테스트 방법을 제안한다. 테스트 대상 회로는 테스트를 용이하도록 케빈 루프를 삽입하고 정현파 테스트 입력을 인가하여 출력단에 고장 효과를 발생시켜 고장을 검출하는 테스트 방법이다. 테스트 대상 회로에 고장이 존재할 경우 출력단에서 정현파가 아닌 DC 전압이나 왜곡 신호가 나타나 고장 검출이 용이하다. 제안된 테스트 방법은 테스트 입력 신호를 생성하기 위한 복잡한 알고리즘을 요구하지 않으므로 테스트 패턴 시간이 짧고, 비용이 절감된다. 또한 테스트를 위한 추가적인 하드웨어의 오버헤드가 적다. 본 논문에서 제안된 테스트 방법의 정당성과 효율성은 HSPICE 모의실험을 통하여 검증하였다.

1. 서 론

VLSI 기술의 눈부신 발전으로 단일 칩 상에 수많은 디바이스들을 집적할 수 있게 되었다. 오늘날 전자 산업에서는 오디오, 통신, 전자 계산 및 그래픽 등을 포함한 혼성 모드 집적 회로 설계가 증가함에 따라서 IC에 대한 높은 신뢰성이 요구되므로 디지털 회로뿐만 아니라 아날로그 회로의 테스트가 중요시 대두 되고있다. 특히 테스트 패턴으로 논리값의 조합을 사용하는 디지털 회로와는 달리 아날로그 회로에서는 정해진 패턴값이 존재하지 않고 출력단에서의 관측도 용이하지 않다. 현재 일반적인 아날로그 회로의 테스트 방법인 설계서 테스트(specification test)는 매우 광범위하므로 테스트 시간이 길고, 고장 검출율이 낮으며 적절한 테스트 상비가 필요하다. 따라서 효과적인 아날로그 회로의 테스트를 위한 테스트 패턴 생성과 테스트를 용이하도록 DFT(design for testability)가 요구된다.

아날로그 회로에 대한 고장 모델링은 일반적으로 강고장(hard 또는 catastrophic fault)과 약고장(soft 또는 parametric fault)으로 분류한다. 강고장은 제조 공정상의 오류로 노드의 단락(short)이나 개방(open)이 발생하여 회로의 오동작을 일으킨다. 약고장은 제조 과정에서 환경에 따른 공정의 통계적 변동으로 발생하며 회로의 오동작보다는 성능(performance)에 영향을 미친다. 트랜지스터의 문턱전압(V_{th})이 변동하거나 채널 폭과 길이 비(W/L ratio)의 변동 등이 이에

속한다. 아날로그 회로에서 거의 80~90%가 강고장이므로[1][2] 본 논문에서는 강고장을 검출하기 위한 테스트 방법을 제안한다.

기존의 테스트 방법으로 논문 [3],[4]에서는 Op-Amp 전력 공급 제어(power-supply control)를 제안하였는데 CUT(circuit under test)의 전력 공급 전압을 변동해야 하며 회로를 구현하는 문제점이 있다. 논문 [5]에서는 전류 감지기를 통하여 흐르는 전류를 측정하는 I_{DDQ} 테스트 방법을 제안하였는데 전류 감지기가 포함되므로 수행 능력이 저하되고 고장 검출율이 낮다. 논문 [6],[7],[8]에서 제안한 DC 전압 테스트(DC voltage test) 방법은 출력에서 정상 상태 출력값과 고장 상태 출력값의 차를 최대로 하는 DC 입력 신호를 인가하여 DC 출력 전압을 관찰하는 테스트하는 방법이다. 그러나 출력에서 DC 전압으로 검출되는 고장들이 약 80%정도이며 DC 전압 테스트 방법으로 할 수 없는 콘텐츠 고장이 존재하게 된다. 논문 [9]에서 제안한 발진 테스트(oscillation test) 방법은 CUT를 발진 회로로 변환하여 테스트하는 방법으로 테스트 신호를 인가하지 않고 발진 주파수를 테스트하는 방법이다. 하지만 테스트를 위해 CUT를 발진 회로로 구현해야 하므로 이에 따른 하드웨어가 매우 증가하게 된다. 이러한 테스트 방법들은 적절한 테스트 패턴을 구하는 데 복잡한 알고리즘을 사용하므로 많은 시간을 필요로 하고 테스트를 위한 추가적인 하드웨어를

추가해야 하는 단점이 있다

본 논문에서는 CMOS 2단 연산 증폭기내에 발생 가능한 강고장을 검출하는 새로운 테스트 방법을 제안한다. 출력에서 최적의 고장 효과가 발생하도록 궤환 루프를 가지는 연산 증폭기로 테스트 대상 회로를 구현하여 정현파 입력 신호를 인가한다. 테스트 대상 회로에 고장이 없을 경우 출력 신호는 증폭된 정현파 신호가 나타나고, 고장이 있을 경우 DC 전압이나 정현파가 아닌 왜곡된 출력 신호로 나타난다. 본 논문에서 제안한 테스트 방법은 부가적인 하드웨어가 적고 테스트 입력 신호를 얻기 위한 많은 시간이 소요되지 않는 장점이 있다. 제안된 방법은 HSPICE 모의실험을 통하여 검증하였다. 모의실험 결과 테스트 대상 회로내에 존재하는 모든 강고장을 검출하였다. 본 논문의 2장에서는 단일 정현파 신호를 이용한 테스트 기법과 모의실험 및 결과를 기술하고, 3장에서는 결론을 기술한다.

2. 단일 정현파 신호를 이용한 테스트 기법

1) 회로 구현 및 테스트 패턴

일반적으로 아날로그와 혼성 모드 집적 회로에서는 CMOS 연산 증폭기(Op-Amp)가 가장 널리 사용되고 있으므로 본 논문의 테스트 대상 회로는 그림 1에서 보는 바와 같이 CMOS 2단 연산 증폭기를 사용하였다

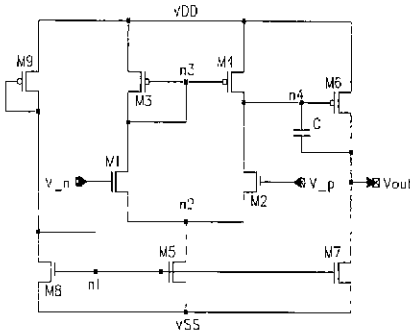


그림 1. CMOS 2단 연산 증폭기의 회로도

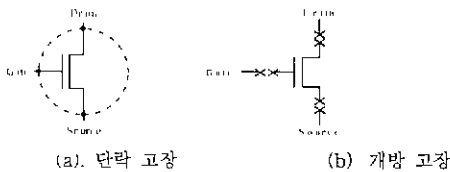


그림 2. 트랜지스터에 존재하는 강고장

그림 2는 CMOS 공장에서 하나의 트랜지스터에서 발생 가능한 강고장을 나타내는 데 (a)는 트랜지스터 각 단자 사이의 단락 고장이고, (b)는 트랜지스터 각 단자의 개방 고장이다. 단락 고장에는 게이트-드레인, 게이트-소스, 드레인-소스 단락 고장이 있으며 개방 고장에는 게이트, 드레인, 소스 개방 고장이 있다. 본 논문에서는 테스트 대상 회로내의 모든 트랜지스터 단자들에서 발생 가능한 28개의 단락 고장과 27개의 개방 고장을 고려하였다.

본 논문에서는 그림 3과 같이 테스트 대상 회로에 테스트를 위한 궤환 루프를 가지는 연산 증폭기를 구현한다. 이상적인 증폭기라고 가정할 때 비반전 연산 증폭기의 출력은 식 (1)로 표현된다. 식에서 보는 바와 같이 출력 신호는 전압 이득과 테스트 입력 신호에 영향을 받는다. 연산 증폭기내에 고장이 존재할 경우 저항 R_1 과 R_2 의 비로 결정되는 전압 이득만큼 고장 효과가 증폭되어 나타난다. 출력단에서 고장 효과를 용이하게 관측하기 위해서 전압 이득을 크게 해주면 좋다. 그러나 전압 이득이 너무 클 경우 인가되는 입력 신호에 따라 출력이 포화되어 왜곡이 발생되므로 정상 상태의 출력값과 고장 상태의 출력값의 관별이 용이하지 않다. 그러므로 출력단에서 왜곡된 출력이 나타나지 않는 범위에서 입력 신호와 전압 이득을 결정해야 한다

고장 검출을 위한 입력 신호는 정현파로서 최대치 전압과 주파수로 표현되는데 전압 이득을 크게 하기 위해서 최대치 전압은 작아야 하고 DC 이득 주파수대역 내에 있는 주파수를 사용하여야 한다 DC 이득 주파수대역을 벗어나는 주파수를 사용할 경우 정상 출력에 왜곡이 발생하여 고장 출력과의 관별이 용이하지 않다

이러한 조건을 만족하는 정현파 입력 신호를 고장이 존재하는 테스트 대상 회로에 인가할 경우 출력에서 DC 전압이나 정현파가 아닌 왜곡된 신호가 나타난다. 이러한 정현파 입력 신호에 의한 고장 검출은 특정한 DC 레벨의 전압이 거의 모든 고장에서 나타나므로 회로내에 존재하는 고장을 용이하게 검출할 수 있다.

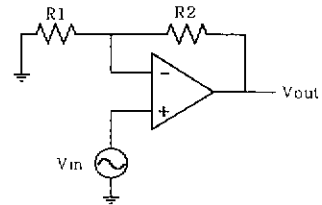


그림 3. 비반전 연산 증폭기

$$V_{out} = A_v V_{in} = \left(1 + \frac{R_2}{R_1}\right) V_{in} \quad (1)$$

2) 모의실험 및 결과

회로내에 존재하는 단락 고장은 10Ω의 저항으로 모델링 하였고, 드레인파 소스 단자의 개방 고장은 10GΩ의 저항으로 모델링 하였다 그리고 게이트 단자의 개방 고장은 MOS 트랜지스터를 직렬로 연결하고 OFF 시켜 모델링 하였다.

그림 4는 게이트-소스 단자 사이의 단락 고장에 대한 모의실험 결과를 나타낸다 각 트랜지스터의 게이트와 소스 단자 사이에 저항을 삽입하고 입력 신호의 최대치가 1V이고 주파수가 1kHz인 정현파 신호를 인가하였다. 그리고 R_1 과 R_2 의 저항비는 1:1로 입력신호를 두 배 증폭한 출력이 나타나도록 하였다 그림에서와 같이 정상 출력은 최대치가 두 배 증폭되어 2V를 나타내었다 그러나 고장이 존재할 경우 출력이 거의 DC 전압으로 나타나 쉽게 고장을 판별할 수 있다.

그림 5는 전압 이득이 1일 때 소스 단자의 개방 고장에 대한 모의 실험 결과이고, 그림 6은 전압 이득이 4일 때의 모의실험 결과이다. 개방 고장의 모의실험에서 입력 패턴은 단락 고장에서 인가한 같은 입력 패턴을 사용하였고 이득이 다른 모의실험 결과를 비교하였다.

그림 5에서 M3의 소스 단자 개방 고장은 이득이 1인 경우 정상 출력과 같은 형태의 출력 신호가 나타나지만 이득이 4인 경우는 그림 6과 같이 특정한 DC 레벨로 수렴하게 됨을 볼 수 있다. M7 출력 파형은 반파 형태의 출력이 나타나고, 그 외의 출력은 DC 전압으로 나타남을 볼 수 있다. M3 출력 파형뿐만 아니라 다른 출력 신호도 이득이 증가할수록 관측이 더욱 용이하게 됨을 알 수 있다.

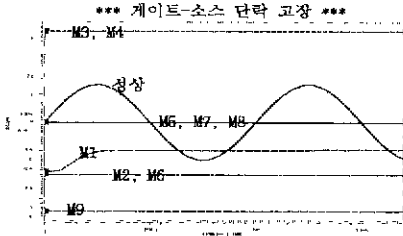


그림 4 게이트-소스 단락 고장에 대한 모의실험 결과

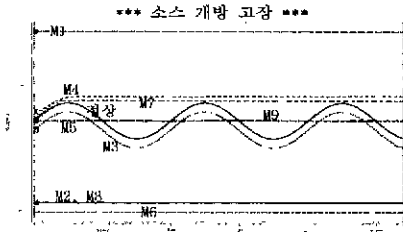


그림 5. 이득이 1인 소스 개방 고장에 대한 모의실험 결과

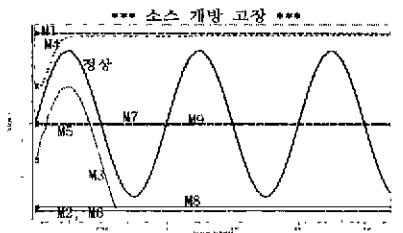


그림 6 이득이 4인 소스 개방 고장에 대한 모의실험 결과

표 1은 강고장에 대한 고장 검출 결과를 나타낸다. 단락 고장에 나타나는 고장 효과는 모든 트랜지스터에서 DC 전압으로 나타나므로 고장을 용이하게 검출할 수 있다 개방 고장에 나타나는 고장 효과는 DC 전압이나 정현파가 아닌 왜곡된 신호가 나타나므로 모든 고장을 검출할 수 있다.

이와 같이 본 논문에서 제안한 테스트 방법은 CMOS 2단 연산 증폭기에 존재하는 모든 강고장들을 효과적으로 검출하였고, 전압 이득이 증가할수록 고장 효과가 증가함을 모의실험을 통하여 검증하였다.

3. 결론

본 논문에서는 2단 연산 증폭기에 존재하는 강고장을 검출하기 위한 효과적인 테스트 방법을 제안하였다. 테스트를 위한 개환 무프를 형성하고 단일 정현파 신호를 인가함으로써 테스트 대상으로 내에 존

표 1. 강고장에 대한 고장 검출 결과

고 장		M1	M2	M3	M4	M5	M6	M7	M8
단락	게이트-드레인	DC	DC	DC	DC	DC	DC	DC	DC
	게이트-소스	DC	DC	DC	DC	DC	DC	DC	DC
	드레인-소스	DC	DC	DC	DC	DC	DC	DC	DC
개방	게이트	DC	DC	DC	DC	DC	DC	왜곡	DC
	소스	DC	DC	왜곡	DC	DC	DC	왜곡	DC
	드레인	DC	DC	왜곡	DC	DC	DC	왜곡	DC

재하는 모든 강고장들을 효과적으로 검출하였다. 다른 논문들에 비하여 테스트 패턴의 생성이 쉬우며, 부가적인 하드웨어의 삽입이 적다 HSPICE 모의실험 결과 본 논문에서 제안하는 테스트 방법이 고장을 효과적으로 검출함을 알 수 있었다.

앞으로 시스템 수준의 아날로그 회로에 대한 적용과 약고장에 대한 검출 방법에 관해 연구가 수행되어야 할 것이며 현재 연구가 진행 중에 있다.

참고 문헌

- [1] Stapper, C., F. Armstrong, and K. Saji, "Integrated Circuit Yield statistics," *Proc. IEEE*, vol 71, 1983, pp. 453-470.
- [2] Wilson, Q.F., and D.B. Day, "Practical Automatic Test Program Generation Constraints," *Proc. Automatic Test Conf. and Workshop*, 1987.
- [3] A'ain, A.K.B., A.H. Bratt, and A.P. Dorey, "Testing Analog Circuits by Power Supply Voltage Control," *Electronic Letters*, vol. 30, no. 3, 1994, pp. 214-215.
- [4] Dorey, A.P., and J.B. Hibbert, "Simplified Test Strategies for Analog ICs," *Proc. IEEE European Test Conf.*, 1991, p 494
- [5] Roca, M., and A. Rubio, "Selftesting CMOS Operational Amplifier," *Electronic Letters*, vol. 28, no 15, 1992, pp. 1452-1454.
- [6] Milor, L., and V. Visvanathan, "Detection of Catastrophic Faults in Analog Integrated Circuits," *IEEE Trans on Computer Aided design*, vol. 8, no. 2, 1989, pp. 114-130
- [7] Soma, M. "Fault Coverage of DC Parametric Tests for Embedded Analog Amplifiers," *Proc. IEEE Int Test Conf.*, 1993, pp 566-573.
- [8] Renovell, M., F. Azais, and Y. Bertrand, "A Design for Test Technique for Multi-Stage Analog Circuits," *Proc IEEE Asian Test Symposium*, 1995, pp. 113-119.
- [9] Arabi, K., and B. Kaminska, "Oscillation-Test Strategy for Analog and Mixed-Signal Integrated Circuits," *Proc. IEEE VLSI Test Symp.*, 1996, pp. 476-482.
- [10] Chang, S. J., C. L. Lee, and J. E. Chen, "Functional Test Pattern Generation for CMOS Operational Amplifier," *Proc. VLSI Test Symposium*, 1997, pp 267-272.