

지연고장 점검을 위한 IEEE 1149.1 Boundary Scan 설계 및 패턴 생성

김태형, 박성주
한양대학교 전자계산학과

Design and Pattern Generation for the Detection of Delay Faults In IEEE 1149.1 Boundary Scan

taehyung Kim, Sungju Park
Dept. of Computer Science & Engineering, Hanyang University

요 약

IEEE 1149.1 바운다리스캔은 보드 수준에서 고장점검 및 진단을 위한 테스트 설계기술이다. 그러나, 바운다리스캔 제어기의 특성상 테스트 패턴의 주입에서 관측까지 2.5 TCK가 소요되므로, 연결선상의 지연고장을 점검할 수 없다. 본 논문에서는 Update_DR 신호를 변경하여, 테스트 패턴 주입에서 관측까지 1 TCK가 소요되게 함으로써, 지연고장 점검을 가능하게 하는 기술을 소개한다. 나아가서, 심각한 고장점검을 위한 테스트 패턴을 개선해 지연고장 점검까지 가능하게 하는, N개의 net에 대한 $2\log(N+2)$ 의 새로운 테스트패턴도 제안한다. 설계와 시뮬레이션을 통해 지연고장 점검이 가능함을 확인하였다.

1. 개 요

바운다리스캔 설계는 패키지(칩, 보드 모듈 등) 수준에서 고장 점검 및 진단을 위한 테스트패턴의 주입을 쉽게하기 위하여 개발된 테스트설계 기술이다. 별도의 테스트 프로토콜에 의한 IEEE 1149.1 바운다리스캔이 업계의 표준으로 선택되어 현재 제작되는 비메모리 칩에 널리 내장 설계되고 있다[1, 2].

보드의 칩간 연결선상에서 발생할 수 있는 결함은 AND, OR, stuck-at, dominating 등의 정적인 고장과 지연, 간헐등의 동적인 고장으로 모델링된다. 정적인 연결선 고장을 위한 테스트패턴 생성에 관한 연구는 활발히 진행되어 왔다[3, 4, 5]. 동적인 고장점검에 관하여는 최근에 논문이 발표되고 있지만[6, 7] 각 칩의 내부스캔 구조에 관한 정보를 필요로 하며, IEEE 바운다리스캔의 표준화된 설계는 근본적인 문제점 때문에 테스트패턴을 관측하는데 어려움이 있다. 일반적으로는 칩의 내부 스캔구조는 알려주지 않고 바운다리스캔 정보만 BSDL(Boundary Scan Description Language)로 제공한다. 본 논문에서는 IEEE 1149.1 바운다리스캔 정보만 BSDL로 제공되는 칩들로 구성된 보드에서 칩과 칩간의 연결선상에서 발생가능한 지연고장의 점검을 위한 새로운 설계기술과 정적고장 점검은 물론 지연고장 점검까지 가능한 $2\log(N+2)$ 의 테스트 패턴을 소개한다.

본 논문의 2장에서는 IEEE1149.1 바운다리스캔 구조와 연결선 점검에 대해 기술하고, 3장에서는 표준 IEEE 1149.1 바운다리스캔이 가지고 있는 지연고장 점검에 대한 문제점을 기술한다. 4장에서는 update_DR신호 변경에 의한 지연고장 점검법을 5장에서는 지연고장 점검을 위한 새로운 $2\log(N+2)$ 테스트패턴을 제안한다. 결론 및 향후 연구계획은 6장에서 기술한다.

2. 1149.1 바운다리스캔 과 연결선 점검

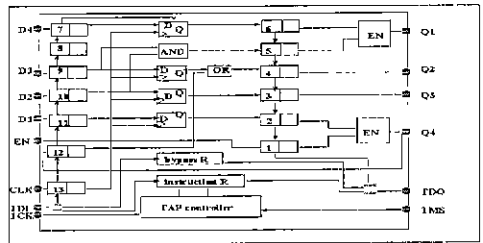


그림 1 IEEE 1149.1 바운다리스캔 설계된 칩

IEEE 1149.1 바운다리스캔 구조는 TAP(Test Access Port), TAP 제어기 명령어 및 각종 데이터 레지스터로 구성되어 있다. TAP은

* 본 과제는 교육부 반도체분야 학술연구조성비(과제번호97 E-2041) 지원으로 수행하였습니다.

TDI, TDO, TCK 및 TMS 핀으로 구성되어 있으며 TRST 핀은 선택적으로 사용될 수 있다

그림 1의 바운다리스캔 레지스터 가운데 cell 1 - cell 6은 출력 BSC(Boundary Scan Cell)이며 cell 7 - cell 13은 입력 BSC를 나타낸다. 칩의 각 입력 핀은 연계된 BSC를 통하여 칩 내부로 신호를 주입하고, 회로 내부에서 생성된 신호는 BSC를 통하여 칩 외부로 출력하게 되어있다.

보드내 칩간의 연결선상에서 발생 가능한 고장의 종류를 살펴보면 다음과 같다

- 1) Stuck-at-0 및 stuck-at-1 접지 혹은 전원예 고착된 고장
- 2) Stuck-open . CMOS 트랜지스터 수준에서 선이 끊긴 상태
- 3) Bridging 고장

· AND 형태 . 두 선중 하나가 논리적으로 "0" 이면 두 선 모두 "0"으로 됨

· OR 형태 . 두 선중 하나가 논리적으로 "1" 이면 두 선 모두 "1"로 됨

· Dominator 형태 . 지배적인 선의 입력 값이 두 선 모두로 출력됨

4) 지연고장 "0->1" 혹은 "1->0"으로 천이되는 시간이 일정치를 초과하여 변환된 값이 일정 시간대에 목적지에 있는 플립플롭에서 인지되지 못할 경우.

표 1 2log(N) 알고리즘

111	000	_____	111	000	
110	001	_____	110	001	
101	010	_____	101	010	
100	011	_____	111	111	
011	100	_____	111	111	
010	101	_____	001	110	
001	110	_____	001	110	
000	111	_____	000	111	

OR

1), 2), 3)과 같은 정적인 고장의 완전검점 및 부분진단을 위하여 사용되는 테스트패턴[3] 살펴보면 표 1과 같다. 표 1은 7개의 연결선에 대한 6개의 테스트패턴(각 열에 해당)을 보여주며, 각 행은 각 연결선에 대한 테스트패턴을 나타낸다. 바운다리스캔 레지스터를 통하여 이러한 패턴을 주입 및 관측함으로써 연결선상의 고장을 점검할 수 있다. 표 1의 2log(N) 테스트패턴은 정적인 고장을 완전검점할 수 있지만 지연고장은 완전히 점검할 수 없다는 단점이 있다.

3. IEEE 바운다리스캔의 지연고장 점검에 대한 문제점

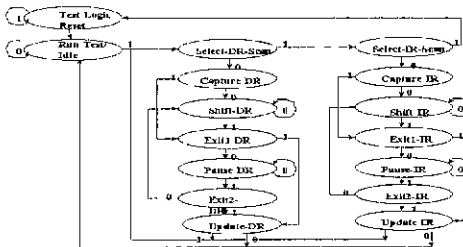


그림 2 IEEE 1149.1 바운다리스캔 상태천이도

정적인 고장의 점검을 위하여는 몇 TCK가 소요되어도 문제가 되지 않지만, 지연고장의 점검을 위하여는 1 TCK만에 주입된 패턴을 관측할 수 있어야 한다. 그림 2는 바운다리스캔 상태천이도를 나타

내며 Update_DR과 Update_IR을 제외한 모든 다른 상태는 TCK가 0->1로 비활성 때 활성화된다. 상태천이도 상으로는 Update_DR에서 Capture_DR까지 15 TCK가 소요된다.

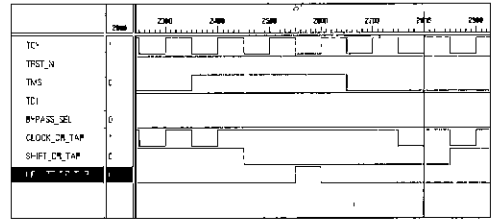


그림 3 시뮬레이션을 통해본 타이밍 다이어그램

그러나 실질적으로 시뮬레이션을 통하여 살펴보면 이 보다 더 소요된다. 그림 3의 시뮬레이션 결과를 살펴보면 검선에서는 Update_DR이 활성화되고, 굵은 실선에서는 Capture_DR이 활성화되어서, 테스트패턴의 주입에서 관측까지 25 TCK가 소요됨을 알 수 있다. 그러므로 표준 IEEE1149.1 바운다리스캔 설계는 지연고장검점에 적당하지 않다.

4. Update_DR 신호 변경에 의한 지연고장 점검

[8]에서는 모든 입력 BSC에 capture 래치를 추가 하였는데, 본 논문에서는 Update_DR신호를 변경하여 Update_DR부터 Capture_DR까지 1 TCK가 되게 변경하므로써 지연고장 점검이 가능하게 하였다.

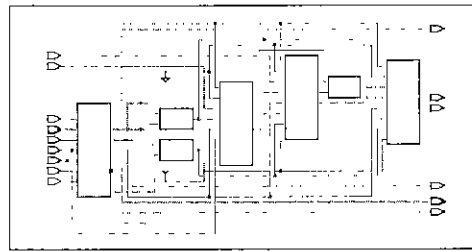


그림 4 바운다리스캔 설계된 회로

그림 4는 바운다리스캔 설계된 회로를 보여준다. 시뮬레이션을 위하여 Synopsys를 사용하였고, Design Ware에 있는 바운다리스캔 컴포넌트를 이용해 VHDL로 회로를 기술하고, testbench를 만들었다.

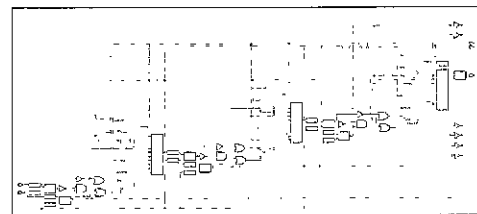


그림 5 지연된 Update_DR 신호 추가

그림 5는 15 TCK 지연된 Update_DR를 생성하기 위한 합성된 회로를 보여준다.

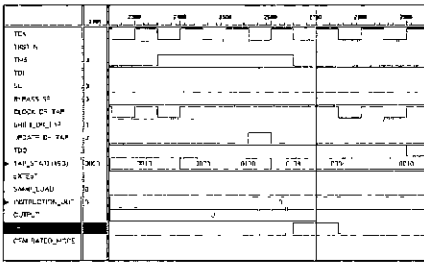


그림 6 동기회로에서의 지연된 Update_DR신호를 보여주는 시간 파형도.

그림 6은 동기회로에서 15TCK 지연된 Update_DR 신호를 보여 준다 TAP으로부터 Update_DR신호가 점선으로 표시된 곳에서 발생되고, 1 TCK가 지난 곳에서 지연된 Update_DR신호가 발생된다. 그렇지만 실제로는, 그 뒤 0.5 TCK 후(실선으로 표시된 곳)에 TCK의 0->1천이가 일어나는 곳에서 update가 일어나서 output이 바뀐다. 동기회로에서 실제 update가 일어나는 곳은 Update_DR신호가 1이고, TCK의 0->1 천이가 일어나는 곳이 되며, output이 바뀌는 시점에서 Capture_DR까지 1TCK가 되어 지연고장 점검이 가능하게 된다.

지금까지의 동기모드에 대한 설명이었으며, 비동기모드에서도 유사한 방법으로 지연고장점검이 가능하도록 설계하였다 동기화 비동기 회로 모두, EXTEST 명령에 대하여 update 동작이 TAP의 Update_DR 신호로부터 15 TCK후에 일어남을 확인할 수 있었다. 즉 EXTEST 명령어일 경우 테스트데이터 주입(Update_DR)에서부터 판측(Capture_DR)까지 1 TCK가 소요됨으로써, 연결선에서 지연고장 점검이 가능하게 하였다.

5. 지연고장 점검을 위한 패턴 생성

지연고장 점검을 위한 테스트패턴과 정적인 고장을 위한 테스트패턴을 별도로 주입하는 방법보다 하나의 테스트패턴에 의하여 Stuck-at, Shorted Nets 및 0->1(1->0) 지연고장을 모두 한꺼번에 점검할 수 있으면 좋을 것이다 본 논문에서는 정적고장의 완전점검 및 부분진단용으로 사용되는 2log(n) 테스트패턴을 개선하여 지연고장도 점검할 수 있도록 하는 2log(n+2) 테스트패턴을 제안한다. 지연고장 점검을 위한 테스트벡터는 0->1 및 1->0 천이를 꼭 포함하고 있어야 한다

정리 1. 2log(n-2) 테스트패턴은 n개의 net 각각에 대한 테스트벡터 내에 0->1 및 1->0 천이를 포함하고 있다 (증명은 생략)

예 표 2에서와 같이 net이 6개인 경우를 살펴보자. 먼저 n=6이므로 테스트패턴의 개수는 6이 되며, 테스트벡터는 2log(6+2) = 6의 결과와 같이 6bit가 된다 2log(n+2) 테스트패턴으로부터 생성된 8개의 독립적인 테스트벡터 가운데 맨 위와 맨 아래를 제외한 나머지가 6개의 net에 해당된다 정리2에서 증명한 바와 같이 6개의 테스트벡터 각각은 0->1 및 1->0 천이를 모두 포함하고 있음을 알 수 있다

표 2 6개의 연결선에 대한 2log(n+2) 테스트패턴

Nets	Input Vector
	000 111
n1	001 110
n2	010 101
n3	011 100
n4	100 011
n5	101 010
n6	110 001
	111 000

따라서, 이 패턴은 연결선간의 정적고장의 완전점검과 부분진단 및 지연고장 점검용으로 사용할 수 있다

6. 결론 및 향후 연구계획

본 논문에서는 EXTEST 명령어일 때 Update_DR가 15TCK 늦게 발생할 수 있도록 수정하여 정적고장은 물론 지연고장도 점검이 가능하도록 하였다 나아가서, 기존의 연결선의 완전점검 및 부분진단용 2log(n) 패턴을 2log(n+2)로 개선하여 지연고장도 점검할 수 있도록 하였다 VHDL설계 및 시뮬레이션을 통하여 동작여부를 검증하였다

향후에는 합성을 통해 얻어진 지연된 Update_DR을 위해 추가된 회로를 논리 수준에서 최적화하고, 자연시뮬리치본 개발해서 실제회로에 적용해 볼 계획이다

참고문헌

- [1] R. W Bassett, M E Turner, J H Panner, P S Gills, S F Oakland and D W Stout, "Boundary Scan Design Principles for Efficient LSSD ASIC Testing," IBM Journal of Research and Development, Vol 34, pp 339-354, 1990
- [2] IEEE Standard 11491-1990, "IEEE Standard Test Access Port and Boundary-Scan Architecture," IEEE, June 1989
- [3] P T Wagner, "Interconnect Testing with Boundary Scan," Proceedings of IEEE International Test Conference, pp 52-57, 1987
- [4] S Park, "A New Complete Diagnosis Patterns for Wiring Interconnects," ACM/IEEE Design Automation, pp. 203-208, 1996.
- [5] W T Cheng, J L Lewandowski and E Wu, "Optimal Diagnostic Methods for Wiring Interconnects." IEEE Transactions on Computer-Aided Design, Vol 11, No 9, pp 1161-1166, Sept. 1992
- [6] W Ke, "Hybrid Pin Control Using Boundary Scan and Its Applications". Proceedings of IEEE International Asian Test Symposium, Taiwan, 1996
- [7] K Lofstrom, "Early Capture For Boundary Scan Timing Measurements", Proceedings of IEEE International Test Conference, pp 417-422, 1996
- [8] K Lofstrom, "Early Capture For Boundary Scan Timing Measurements", Proceedings of IEEE International Test Conference, pp 417-422, 1996