전력전자학술대회 논문집 2000. 7.19-22

AC Plasma Display Panel용 에너지 회수 회로의 동작과 구동 특성 비교

곽종운*, 최병조
*경북대학교 대학원 전자공학과, 경북대학교 전자전기 공학부

Comparison of Operation and Driving Characteristics of Energy Recovery Circuit for an AC Plasma Display Panel

Jongwoon Kwak, Byungcho Choi
Dept. of Electronic Engineering, Kyungpook National Univ.
School of Electronic and Electrical Engineering, Kyungpook National Univ.

ABSTRACT

Operational principles and driving characteristics of two well-known energy recovery circuits for ac plasma display panels, Weber and Sakai circuits, are investigated. Efficiency of two circuits is analyzed by comparing the input current of the circuits with different operating conditions. Driving characteristics of the Weber circuit are studied when the magnitude and pulse width of the driving voltage vary.

1. 서 론

평판 표시소자로써의 AC PDP(Plasma Display Panel)은 대화면, 초박형, 경량화, 고화질 등의 우수한 특성이 있다. 이런 의미에서 차세대 멀티미디어 표시소자로 급부상하고 있다. AC PDP를 실용화하기 위해서 가장 시급한 과제는 소비전력을 감소시키는 것이다. 이를 위해서 전력 회수 회로가 필요하다. 지금까지 개발된 전력회수 회로는 패널 방전시 에는 그 특성상 빛으로 대부분의 전력이 소모되기 때문에 회수율이 그다지 높지 않다. 하지만 패널의 크기가 커질수록 소비 전력의 증가는 PDP의 실용화에 큰 문제가 되므로 전력 회수 회로는 반드시 필요하다. 소비 전력을 최대한 감소시키면서 패널 자체의 방전 특성에 나쁜 영향을 주지 않도록 전력 회수 회로를 설계해야 한다. 이 논문에서는 기존에 널리 알려진 Weber형과 Sakai형 유지 회로의 구조와 동작 원리, 그리고 방전 특성을 비교하였다. 또한 패널 구동 펄스폭을 변화시키면서 입력 전류 개선율을 측정하고, 방전 특성을 관찰 비교하였다.

2. 전력 회수 회로

전력 회수 회로란 PDP 패널의 구동에 필요한 세 가지 모드(Scan, Addressing, Sustain mode) 중 유지 모드(Sustain mode) 에서 발생하는 변위 전류를 부가적인 스위칭 회로를 이용하여 에너지 저장 소자에 저장해 두었다가 구동 전압 펄스를 발생시킬 때 이곳에 저장된 전력을 다시 회생(Regeneration)시키는 회로이다. 이런 뜻에서 패널에 저장된 에너지를 회수하는 가장 쉬운 방법은 LC공진을 이용하는 것이다. 공진을 이용한 대표적인 전력 회수 회로에는 Weber형과 Sakai형 회로가 있다. 공진형 회로는 회로내의 선로 저항 성분은 최대한 작아야하고 공진에 사용되는 인덕턴스는 회로 선로 인덕턴스 보다 매우 커야 한다.

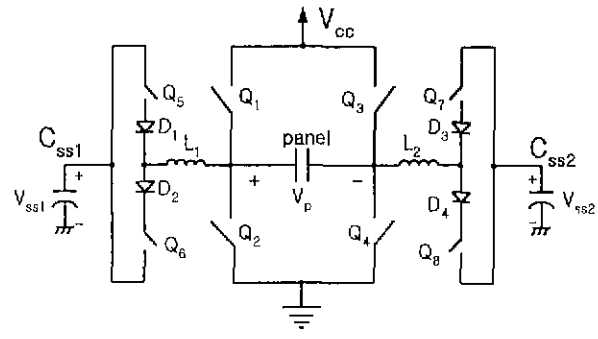


그림 1 Weber형 AC PDP 전력 회수 회로

2.1 Weber형 전력 회수 회로

그림1은 Weber형 유지회로를 보여준다. 이 회로는 패널에 유지방전 펄스를 인가해주는 기본적인 풀브릿지(Full Bridge)회로에 전력 회수를 위해 외부적으로 인덕터와 커패시터를 부가한 형태이다. 회로를 동작시킨 후 몇 주기가 지나면 에너지 저장 커패시터 C_{ss}의 전압 V_{ss}는 자연적으로 전원 전압 V_{cc}의 절반이 된다. 따라서 V_{ss}의 초기값을 V_{cc}의 절반으로 가정한다.

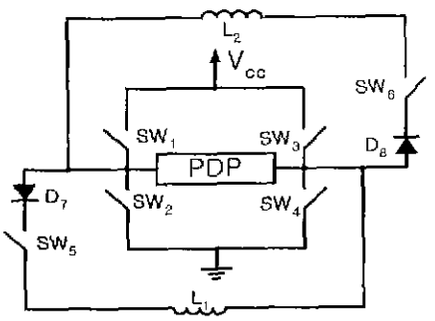


그림 2 Sakai형 AC PDP 전력 회수 회로

i) Q_5 ON : C_{ss}에 충전 되어있던 전하들이 패널로 이동한다. 이때 패널 전압은 V_{cc}까지 상승한다. 전류 경로는 GND-C_{ss1}-$Q_{5Rds(on)}$-D_1-L_1-panel-$Q_{4Rds(on)}$-GND와 같다.

ii) Q_1 ON : 유지방전을 위해서 패널에 전원 전압 V_{cc}를 인가한다. 전류 경로는 V_{cc}-Q_1-panel-Q_4-GND와 같다.

iii) Q_6 ON : 패널에 저장된 에너지를 C_{ss1}에 다시 저장한다. 전력 회수가 이루어지는 구간이다. 전류 경로는 GND-Q_4 parallel diode-panel-L_1-D_2-$Q_{6Rds(on)}$-C_{ss1}-GND와 같다.

iv) Q_2 ON : 패널 양단 전압을 0V로 유지한다.

위의 동작 설명은 패널 양단에 +펄스 파형을 인가하는 과정을 설명한 것이다. 이때 Q_4는 항상 ON이 되어야 한다. -펄스 파형을 인가하는 과정은 회로가 패널을 중심으로 대칭이므로 같은 방법으로 생각해 볼 수 있다.

2.2 Sakai형 전력 회수 회로

그림2는 Sakai형 유지 회로를 보여준다. 이 회로는 기본적인 풀 브릿지 회로에 Weber형과는 달리 단순히 인덕터를 회로에 첨가함으로써 전력 회수의 효과를 얻는다.

i) SW_1, SW_4 ON : 패널에 전원전압 V_{cc}를 공급하여 패널 양단 전압 V_p를 V_{cc}까지 상승시킨다.

ii) SW_5 ON : 패널에 충전된 에너지를 LC공진을 이용하여 인덕터 L_1에 저장한다. 이상적인 경우 V_{L1}=V_p가 된다. 전력 회수가 일어나는 구간이다.

iii) SW_2, SW_3 ON : 전원 전압 V_{cc}를 패널에 인가한다. 이전 단계에서 전력 회수에 의해 L_1에 V_{cc}에 가까운 전압(V_r)이 걸려 있으므로 전원에서는 V_{cc}-V_r 만큼의 전위 차에 해당하는 전류만 공급해주면 된다.

iv) SW_6 ON : 패널에 저장된 에너지를 LC공진을 이용해서 인덕터 L_2로 다시 되돌려 준다. 에너지 회수가 일어나는 구간이다.

표 1 전력 회수 회로에 사용된 소자 비교

	Weber형	Sakai형
MOSFET 스위치	8	6
전력용 다이오드	4	2
커패시터	2	사용 안함
인덕터	2	2
비고	데드 타임이 있는 교번의 펄스	데드 타임이 없는 교번의 펄스

3. 전력 회수 회로의 비교

3.1 회로의 복잡성(Complexity)

Weber형과 Sakai형 유지회로에 사용된 소자에 대한 비교를 위의 표1에 보였다. 각각의 회로에 사용된 소자들의 역할을 설명하면 다음과 같다. 먼저 Weber형 유지회로에서 MOSFET 스위치 8개중 4개는 데드 타임이 있는 교번의 고전압 펄스를 만들어 내고, 4개는 반주기 동안에 1번씩 발생하는 에너지 투입과 회수에 사용된다. 전력용 다이오드는 에너지 투입과 회수 신호가 인가되었을 때 에너지의 역류를 막는다. 커패시터는 PDP 패널에 충전된 에너지를 저장했다가 다시 투입 신호가 인가되면 패널로 되돌려 준다. 인덕터는 패널과의 공진을 통해 에너지를 소통시킨다. Sakai형 유지 회로에서 MOSFET 스위치 6개중 4개는 데드 타임이 없는 교번의 고전압 펄스를 만들어 내고 2개는 에너지 회수를 위해 필요하다. 전력용 다이오드는 패널로부터 회수한 에너지가 인덕터에 저장될 수 있는 경로를 만들어준다. 인덕터는 패널과 공진을 일으켜서 패널에 충전된 에너지를 회수하고 저장한다.

3.2 전력 회수율

PDP 패널을 구동하기 위한 전압 파형을 그림3에 나타내었다. 구동 전압이 방전 개시 전압에 도달하기 전까지 패널에서 빛이 나오지 않는다. 하지만 그림에서처럼 무효전력에 해당하는 변위 전류(Displacement Current)가 흐른다. 방전 개시 전압을 넘어서면 패널에는 변위 전류와 함께 방전 전류(Discharging Current)가 흐른다. 방전 전류는 패널의 발광에 관여하므로 회수가 거의 불가능하다. 반면에 변위 전류는 발광에 관여하지 않으므로 회수가 가능하다.

만약 패널이 에너지 저장 소자에서 전압을 V_r까지 상승시키고 난 뒤 유지 전압 전원 V_s에 연결 된다면 회수율은 다음의 식으로 표현된다.

$$\text{전력회수율} = \frac{V_r}{V_s} \times 100 \ [\%] \qquad (1)$$

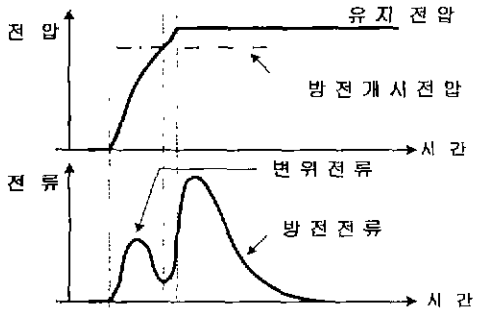


그림 3 패널 유지 전압 펄스와 전류 파형

전력 회수 회로가 있을 때와 없을 때의 전력소비 비율 P_1은 다음과 같다.

$$W = QV_P = C_P V_S^2 \text{(회수없을때)} \quad (2)$$

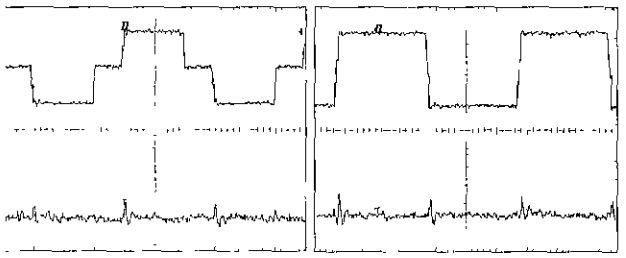
$$W = QV_P = C_P (V_S - V_r) V_S \quad \text{(회수있을때)} \quad (3)$$

$$P_1 = \frac{V_S - V_r}{V_S} \times 100\ [\%] \quad (4)$$

하지만 위에서 제시한 전압에 의한 회수율 측정이 아닌 전원단 에서 공급되는 입력 전류의 감소 유무에 따른 회수율 측정이 더 의미가 있다. 왜냐하면 회수 회로에 의해 감소된 입력 전류에 유지 전압을 곱하면 소비전력 감소분이 되기 때문이다.

Weber형과 Sakai형 회로의 회수율 비교

두 전력 회수 유지 회로의 실험 조건은 다음과 같다. 스위칭 주파수는 33 kHz(주기 30 μs)이고 Weber형은 10 μs, Sakai형은 14 μs의 펄스폭을 갖는다. 방전 개입이 없을 때의 유지 전압은 120 V, 방전이 개입되었을 때의 유지전압은 180 V로 하여 실험하였다. 인덕터는 토로이달 코어를 사용하여 40 μH로 설계하였다. 그림 4, 5, 와 표2는 방전이 없을 때(유지 전압 120 V), 방전이 일어났을 때(유지 전압 180 V)의 Weber형과 Sakai형의 패널 양단 전압, 입력 전류와 입력 전류 개선율을 보여주고 있다. 이와 같은 조건에서 실험을 했을 때 회수율 자체는 Weber형이 약간 앞섰으나 오차를 고려했을 때 비슷한 것으로 결론을 내릴 수 있다. 회로 구조상에서도 어느 한 회로가 다른 회로보다 회수율이 월등히 앞설 수 있는 구조를 보이고 있지는 않다. 그러나, 같은 조건에서 실험을 했을 때 Weber형과 Sakai형 유지 회로에서의 패널 구동 전압의 근본적인 차이 때문에 Sakai형 유지 회로의 입력 전류가 Weber형의 2배가 된다. 이것은 방전 개시전의 입력 전류에서만 이론과 실험이 일치하였다. 실험에서 방전이 개입되었을 때 180 V 유지 전압에서 Weber형이 Sakai형에 비해 안정된 유지 방전 현상을 보였다. AC PDP는 벽전하 메모리 효과를 이용하여 방전을 형성하는데 Sakai형에서는 패널 전체가


Weber형 Sakai형
그림 4 방전 없을 때 (유지전압 120 V)

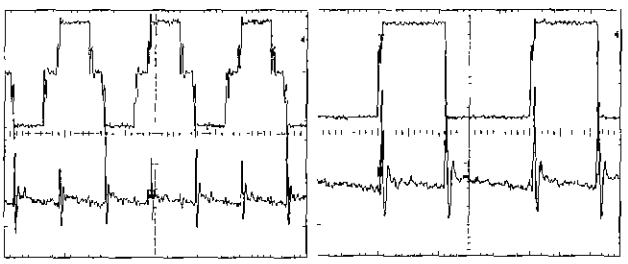

Weber형 Sakai형
그림 5 방전이 있을 때 (유지전압 180 V)

표 2 Weber형과 Sakai형 전력회수 회로 입력전류 비교

		Weber형	Sakai형
방전 없을 때 (120 V)	회수 없을때	8.2 mA	14.75 mA
	회수 있을때	5.5 mA	10.85 mA
	개선율	33 %	26.4 %
방전 있을 때 (180 V)	회수 없을때	49 mA	56 mA
	회수 있을때	44.5 mA	50.9 mA
	개선율	9.2 %	9.1 %

고르게 켜지는 전압(약 215 V)까지 도달한 이후에 바로 180 V로 패널 방전을 유지 시켰을 때 패널 전체에 빛이 고르게 나타나지 않았다. 이 때 전압을 약 240 V까지 인가했다가 180 V로 유지 방전시킨 경우 패널 전체에 빛이 고르게 나왔다. Sakai형은 패널에 인가되는 구동 전압 파형의 특성 때문에 벽전하가 고르게 쌓이는데 단점이 있는 것으로 알려져 있다.

Weber형 회로 패널에 인가되는 구동 전압 펄스폭 변화에 따른 회수율 및 방전현상 관찰

이 실험의 목적은 Weber형 유지 회로에서 패널에 인가되는 교번 고전압 펄스의 펄스폭이 변화함에 따라 패널의 입력 전류 개선율 및 방전 특성이 어떠한지를 관찰하는 것이다. 실험 조건은 스위칭 주파수는 33 kHz(주기 30 μs), 인덕터는 40 μH로 설계하였다. 이 때 반주기 최대 펄스폭은 15 μs이나 회수와 투입 신호에 최대 1 μs씩 신호 펄스가 필요하므로 최대

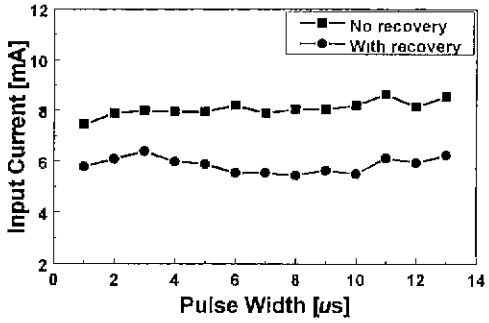


그림 6 방전 없을 때 펄스폭 변화에 따른 입력전류

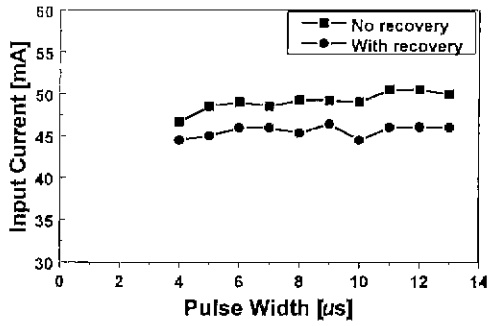


그림 8 방전 있을 때 펄스폭 변화에 따른 입력전류

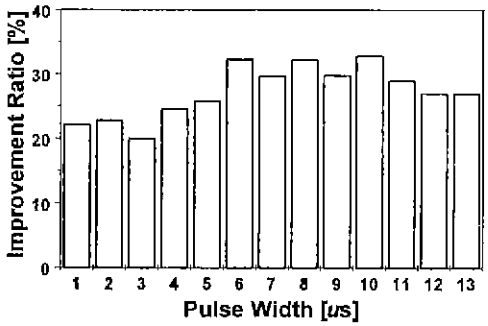


그림 7 방전 없을 때 입력 전류 개선율

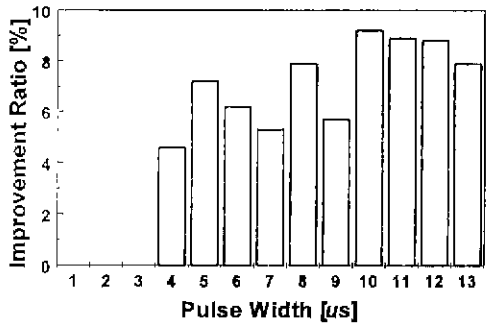


그림 9 방전 있을 때 입력 전류 개선율

펄스폭은 13μs로 하였다. 입력 전류는 패널에 방전이 없을 때 120 V, 방전이 개입되었을 때 180 V에서 각각 측정하였다. 입력 전류 개선율은 다음의 식으로 표현된다.

$$Improvement\ Ratio = \frac{I_{NO} - I_r}{I_{NO}} \times 100\ [\%] \quad (5)$$

I_{NO} : 회수회로 동작하지 않을 때의 입력 전류
I_r : 회수 회로 동작할 때의 입력 전류

그림 6, 7, 8, 9에 나타낸 실험 결과를 분석해 보면 다음과 같다. 패널을 방전 개시 전압 이하에서 구동시킨 경우에는 패널에 변위 전류만 흐르고 있으므로 입력 전류가 평균 30 %정도 개선되었다. 방전이 일어난 후에는 발광으로 대부분의 전력이 소비되므로 입력 전류 개선율이 방전 이전에 비해 훨씬 낮아진다. 방전 특성은 다음과 같다. 펄스폭 1μs에서 3μs까지는 180 V에서 패널 전체에 방전 유지가 되지 않아 방전시의 입력전류 개선율을 고려하지 않았다. 방전 유지 전압은 4μs 이상의 펄스폭 에서 140 V 근처까지 패널 전체를 고르게 방전시켰다. 하지만 140 V 유지 전압에서는 휘도가 상당히 떨어지는 것을 관찰했다. 140 V에서 전압을 약간 낮추면 패널에서 방전이 소멸되는 Cell이 나타났다. 이 실험과 같은 조건에서는 8μs 이상의 펄스폭 에서 비교적 안정적인 방전 유지를 관찰할 수 있었다. 또한 패널의 휘도가 유지 전압과 관계 있다는 사실을 실험을 통해 확인했다.

4. 결 론

AC PDP 전력 회수 회로 중에서 Weber형과 Sakai형 유지 회로에 대한 구조와 동작을 비교했다. 기본구조는 Sakai형이 간단하지만 Weber형이 다른 특성에서는 장점이 있다. Weber형이 입력 전류 개선율은 약간 높았고 방전 유지 특성도 33 kHz 스위칭 주파수, 180 V 유지 전압에서 Sakai형 보다 우수했다. 그리고 패널 구동 펄스폭을 변화시키면서 입력 전류 개선율과 방전특성을 비교하였다. 입력 전류 개선율은 펄스폭에 큰 영향을 받지 않는 것으로 나타났다. 하지만 방전 특성은 8μs 이상의 펄스폭에서 안정적인 PDP 유지방전 현상을 보였다. 이 실험에는 4인치, 3전극, 면방전, 반사형 패널을 사용하였다.

참 고 문 헌

[1] Larry F. Weber and Mark B. Wood, "Energy Recovery Sustain Circuit for the AC Plasma Display," SID87 DIGEST, pp. 92-95, 1987.

[2] Larry F. Weber, Kelvin W. Warren and Mark B. Wood, "Power Efficient Sustain Drivers And Address Drivers For Plasma Panel," U.S. Patent, Number 4,866,349, Sep.12, 1989.

[3] Chern-Lin Chen, "Study on the second-order sustaining Driver for Plasma Display Panel," ASID99, pp. 141-145, 1999.