

# 3-level inverter를 위한 새로운 Carrier-Based DPWM 기법

김동현, 강대욱, 이요한, 현동석  
 한양대학교 전기공학과

## The Novel Carrier-Based DPWM Method for 3-level Inverter

Dong-Hyun Kim, Dae-Wook Kang, Yo-Han Lee, Dong-Seok Hyun  
 Dept. of Electrical Engineering, Hanyang University

### ABSTRACT

This paper deals with the novel DPWM( discontinuous PWM) for 3-level inverter. Although DPWM methods generate higher harmonics than SVPWM , they are of special interest because of their lower switching losses And in the high modulation region, the harmonic characteristics of DPWM is superior to the that of CPWM. However, when DPWM applies to the 3-level inverter, there is the problem that the output state is varied suddenly in the low modulation region (m<sub>a</sub>=0~0.5). The novel DPWM that this problem improves will be introduced

interface 응용에서는 부하의 중성점이 분리되어 있기 때문에 부하의 중성점에 전류가 흐르지 않는다. 그러므로 triangle intersection 구현에서는 임의의 제로 시퀀스 전압을 기준 전압에 인가할 수 있다. Modulator의 제로 시퀀스 전압은 출력 선간 전압에는 영향을 주지 않고, 파형의 스위칭 주파수 특성에 영향을 미친다. 캐리어 주파수가 기본파 주파수보다 충분히 크고 modulation wave는 cosine함수라고 가정한다.

$$\begin{aligned} v_a^* &= v_a + v_0 = V_m \cos(\omega t) + v_0 \\ v_b^* &= v_b + v_0 = V_m \cos(\omega t - 2\pi/3) + v_0 \\ v_c^* &= v_c + v_0 = V_m \cos(\omega t + 2\pi/3) + v_0 \end{aligned} \quad (1)$$

### 1. 서론

인버터 출력 전압과 주파수는 펄스 폭 변조된 출력 전압에 의해 제어된다. 여러 가지 modulator가 PWM을 만들기 위해 사용되고 있다. 각각의 modulator는 같은 출력전압을 발생하지만 각각 다른 고조파와 스위칭 손실과 같은 특성을 가지게 된다. 2-level 인버터에서 DPWM은 스위칭손실이 CPWM에 비해 우수하고 높은 변조지수에서 고조파 특성이 우수한 잇점을 가지고 있다. 2-level에서 사용된 DPWM을 3-level에 그대로 적용을 하면, 낮은 변조지수( $V_{dif}(=V_{max}-V_{min}) \leq V_{dc}/2$ )에서는 P상에서 N상태, 또는 N상에서 P상태로 급격하게 변화하는 문제점이 나타난다. 그림 문제점을 제거하기 위해서 새로운 DPWM을 소개한다. 기존의 DPWM기법은  $V_{dc}/2$ 와  $-V_{dc}/2$ 로 클램핑되지만, 새로운 DPWM기법은 낮은 변조지수에서는 0로 클램핑되고 높은 변조지수에서는  $V_{dc}/2$ 와  $-V_{dc}/2$ 로 클램핑하게 된다. 새로운 DPWM은 낮은 변조지수에서 0으로 클램핑시킴으로써 변화를 줄일 수 있다. 이 DPWM을 기존의 DPWM과 고조파 특성, 그리고 스위칭 특성에 대해 비교해 보고 simulation을 통하여 PWM파형을 구현 하겠다.

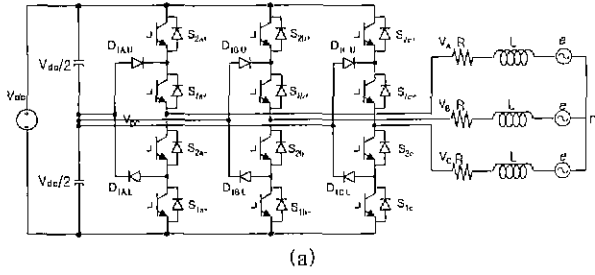
제로 시퀀스 전압( $v_0$ )을 인가하면 세 개의 기준 파형은 동일하게 이동하게 되고 출력 선간 전압의 펄스 위치도 변화하게 되지만 펄스 폭의 크기는 제로 시퀀스 전압( $v_0$ ) 인가하기 전과 동일하게 된다. 따라서 제로 시퀀스 전압을 인가해도 선간 전압에는 영향을 주지 않는다. 그림 3은 기존에 많이 연구되어 지고있는 carrier-based PWM 기법들의 modulation 파형과 제로 시퀀스 전압을 나타낸다. Modulation 파형은 CPWM(Continuous Pulse Width modulation: SPWM, SVPWM, THIPWM)과 DPWM (Discontinuous Pulse Width modulation)으로 나뉘질 수 있다. CPWM은 선형 영역에서 항상 삼각파의 꼭대기 아래에 위치하기 때문에 스위칭이 항상 일어난다. 그러나 DPWM은 항상 세 기준 삼전압 중에 하나의 기준 삼전압은  $V_{dc}/2$ ,  $-V_{dc}/2$ 로 클램핑되어 스위칭 일이나지 않는다. Modulator의 구현 방법은 다음과 같다

- SPWM: 제로 시퀀스 신호가 영이다
- SVPWM:  $v_a \geq v_b \geq v_c$  라고 가정했을 때, 제로 시퀀스 전압은  $v_0 = -1/2(v_a + v_c)$ 가 된다.
- THIPWM: 제로 시퀀스 전압은  $v_0 = -1/6V_m \cos(3\omega t)$ 가 된다.
- DPWM0, DPWM1, DPWM2: 먼저 기준 전압을  $\psi - \pi/6$  만큼 이동한 기준 전압( $v(\theta - \psi + \pi/6)$ )중에서 가장 큰 크기를 갖는 기준 전압을 찾는다. 만약  $v_a(\theta - \psi + \pi/6) \geq v_b(\theta - \psi + \pi/6) \geq v_c(\theta - \psi + \pi/6)$ 라면 제로 시퀀스 전압은  $v_0(\theta) = \text{sign}(v_a(\theta))V_{dc}/2 - v_a$ 가 된다 (DPWM0:  $\psi = 0$ , DPWM1:  $\psi = \pi/6$ , DPWM2:  $\psi = \pi/3$ )

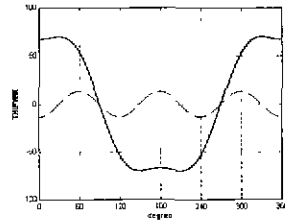
### 2. 기존의 Carrier-Based PWM 기법들

Carrier-based PWM 방법은 원하는 출력 전압을 얻기 위해 "per carrier cycle volt-second" 원리를 이용한다. 이 방법을 구현하기 위한 방법에는 direct digital technique과 triangle intersection technique가 있다. Triangle intersection technique은 그림 2에서처럼 변조 파형과 triangle carrier 파형과 비교하여 스위칭 상태가 결정된다. 그림 2에서는 SPWM 방식을 예로 들어 나타내고 있다. 그림 1에서 보는 것과 같이 대부분 AC·모터 와 utility

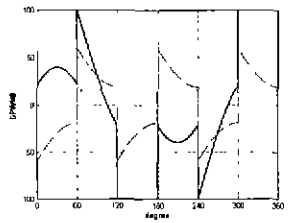
SPWM은 간단한 구현으로 인하여 가장 많이 사용되고 있는 반면에 선형변조영역이 좁고 높은 변조지수에서 고조파 특성이 저하된다. THIPWM은 구현하기 힘들어 실제적으로 사용되지는 않는다. SVPWM은 구현이 간단하고 선형변조 영역과 고조파



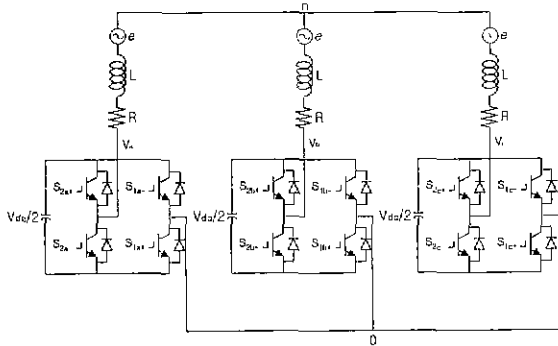
(a)



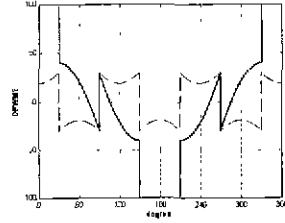
(c)



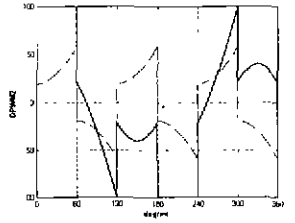
(d)



(b)

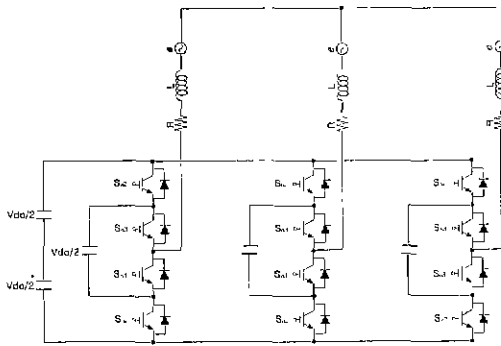


(e)



(f)

그림 3 기존의 Carrier-based PWM 기법들



(c)

그림 1 3-level 인버터 회로도 (a) NPC 인버터 (b) H-bridge 인버터 (c) Flying Capacitor 인버터-

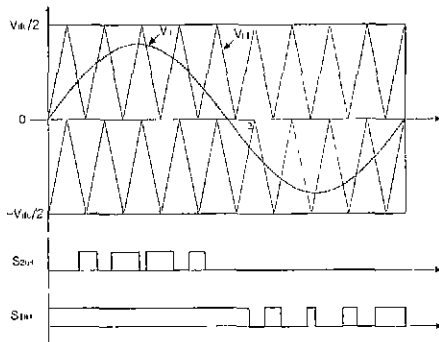
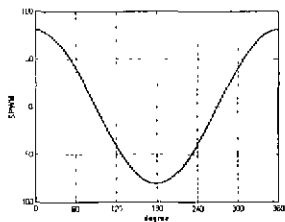
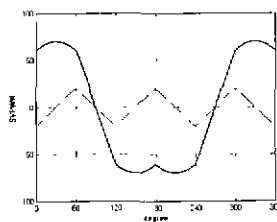


그림2 Carrier-based PWM 스위칭 기법



(a)



(b)

특성이 우수하여 최근 널리 사용되고 있다. DPWM은 전 변조 영역에서 고조파 특성이 좋지 않지만 스위칭 손실은 CPWM에 비해 최대 50%까지 감소된다. DPWM이 CPWM과 평균 스위칭 회수를 같도록 캐리어 주파수를 제어하면 고조파 특성도 좋아진다.

여기서 사용되는 변조 지수는 다음과 같이 정의 한다.

$$m_1 = \frac{V_m}{\frac{V_{dc}}{\sqrt{3}}} \quad (2)$$

여기서  $V_m$ 은 기본파 성분의 최대치이다

### 3. 3-level inverter를 위한 새로운 DPWM 기법

#### A. 3-level inverter에서 DPWM의 문제점

그림 4(a)에서 보는 것과 같이 낮은 변조 지수 영역 ( $V_{dr}(=V_{max}-V_{min}) \leq V_{dr}/2$ )에서 기존의 DPWM 방법은 클램핑 되는 영역이 바뀌는 순간에 인버터의 상태가 급격한 변화를 일으키는 문제가 된다. NPC인버터의 경우 P상태에서 N상태, N상태에서 P상태로 급격히 바뀌고, 3상의 기준 전압이 한 쪽에 몰려 있기 때문에 중성점 전압의 변화가 심해지는 원인이 된다. DPWM은 다른 인버터에서도 전류의 급격한 변화 원인을 제공한다.

#### B. 새로운 DPWM의 소개

새로운 DPWM은 그림5에서 보는 것과 같이  $V_{dr}$ 가  $V_{dc}/2$ 보다 클 경우에 기존의 방법과 동일하게 제로 시퀀스 전압을 만든다. 그러나  $V_{dc}/2$ 보다 작을 경우에는 0으로 클램핑 시키기 위한 제로 시퀀스 전압을 구하여 기준전압에 인가한다. 0으로 클램핑하는 방법은 그림 6과 같이 두가지가 있다. 먼저 그림 6(a)처럼 기준 상전압을  $V_{dc}/2$ 만큼 이동시킨다. 이 방법은 기존의 방법과 같이 클램핑 되는 구간과 고조파 특성이 같다 (NEW-DPWM0,1,2). 다른 방법은 그림 6(b)처럼 중간의 크기가 가장 작은 기준 상전압을 0으로 클램핑시킨다(NEW-DPWM3). 이 방법은 고조파 특성도 앞의 방법보다 좋고 중성점 전류도 덜 흐르게 된다

### C. 고조파 특성

그림 8은 여러가지 PWM 파형의 고조파 특성을 나타낸다 여기서 고조파 성분 분석은 HDF (Harmonic Distortion Factor)를 이용한다. 사용된 HDF는 고조파 전압 벡터를 이용하여 제적을 구하고 그 제적을 이용해 구한 고조파 왜곡 지수이다. 그리고 DPWM과 CPWM의 평균 스위칭 회수가 같은 경우의 HDF를 나타낸다

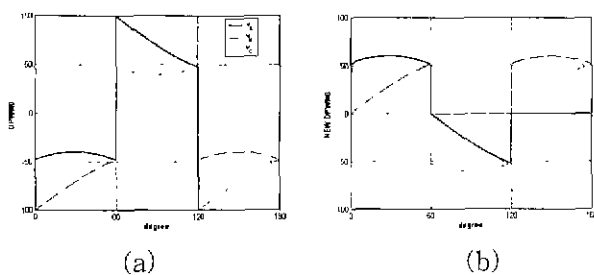
여기서 NEW DPWM0,1,2는 기존의 DPWM과 고조파 특성이 같다. 그림 6(a)에서 보듯이  $V_{dc}/2$ 만큼 이동하면 전압의 형태가 출력 전압의 변화가 없는 redundancy 상태로 변화하여 제적은 변화가 없게 되어, 고조파 특성도 같게 나타난다. 그러나 NEW DPWM3는 클램핑되는 기준 상전압이 달라지기 때문에 고조파 특성이 달라진다. NEW DPWM은 CPWM에 비해 중간 변조 지수 영역과 높은 변조 지수에서 고조파 특성이 좋다. NEW DPWM3는 특성이 다른 NEW DPWM에 비해 낮은 변조 지수에서 우수함을 나타낸다

### D. 스위칭 손실

제안된 DPWM0,1,2는 기존의 방법과 클램핑되는 상전압과 구간이 같기 때문에 스위칭 손실이 CPWM보다 최대 50%까지 줄어들 수 있다. DPWM은 역률에 따라 스위칭 손실 특성이 다르게 나타난다. 그러므로 응용 분야에 따라 적절한 DPWM을 선택하면 스위칭 손실을 많이 줄일 수 있다.

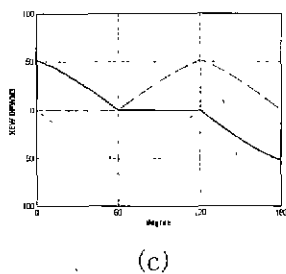
### E. Simulation

그림 9와 10은 simulation을 통하여 인버터 상전압, 출력 선간전압 그리고 전류를 구한 것이다. simulation tool은 matlab/simulink를 이용하였고 NPC인버터를 사용하였으며 중성점 전압은 일정하다고 가정하여 simulation을 수행했다. 그림 9는 낮은 변조 지수( $m_i=0.3$ )에서의 파형을 나타낸다. 그림 10은 높은 변조 지수( $m_i=0.7$ )에서의 파형을 나타낸다.



(a)

(b)



(c)

그림 4 낮은 변조 지수 영역에서 기존의 DPWM 기법과 새로운 기법 (a) 기존의 DPWM0 (b) 제안한 DPWM0

(c) 제안한 DPWM3

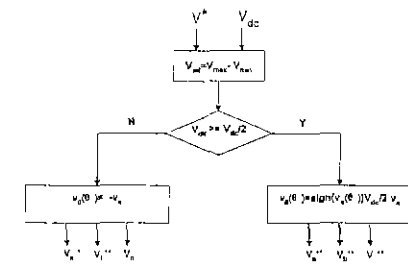
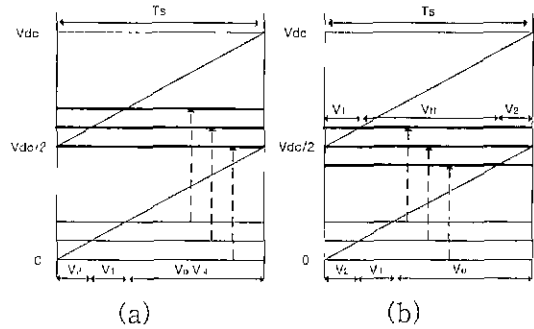


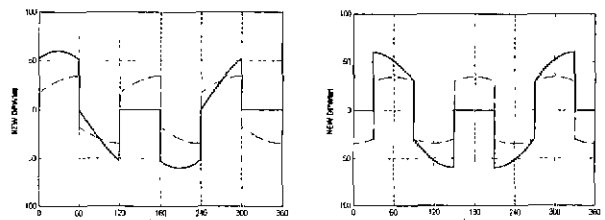
그림 5 제안한 DPWM의 흐름도



(a)

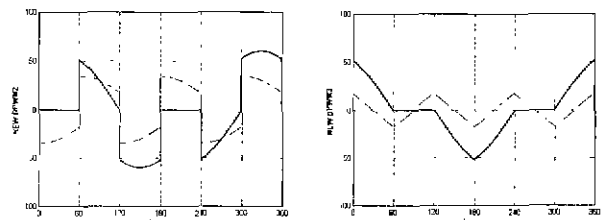
(b)

그림 6 제안한 DPWM의 클램핑의 방법



(a)

(b)



(c)

(d)

그림7 제안한 DPWM기법의 modulation 파형과 제로 시퀀스 파형( $m_i=0.3$ )

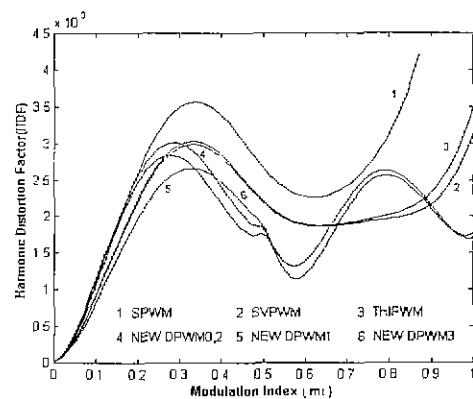
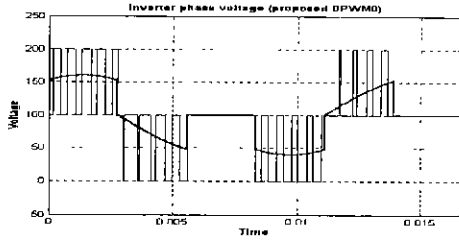
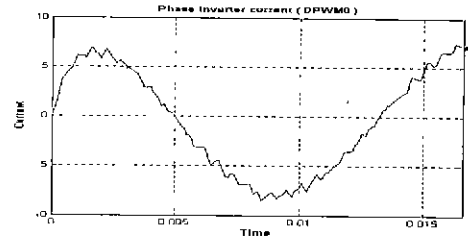


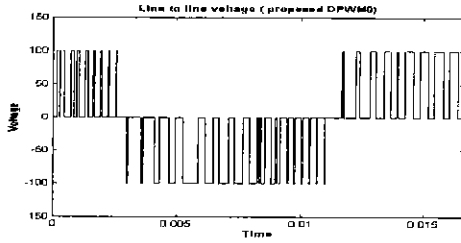
그림 8 각각의 PWM 파형의 고조파 특성



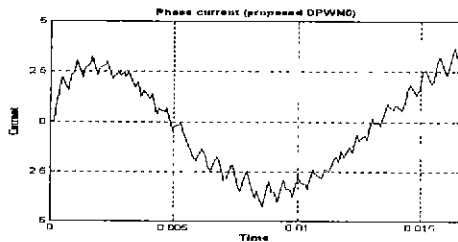
(a)



(c)

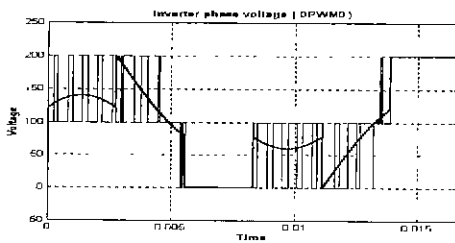


(b)

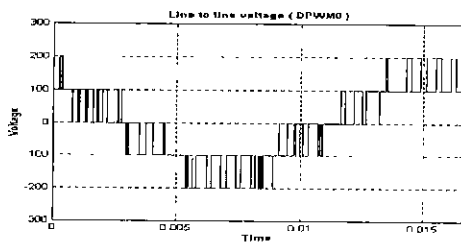


(c)

그림 9 낮은 변조 지수( $m_i=0.3$ )에서의 제안된 DPWM0의 시뮬레이션 파형 (a) 인버터 상전압 (b) 출력 선간 전압 (c) 출력 상전류



(a)



(b)

그림 10 높은 변조 지수( $m_i=0.7$ )에서의 DPWM0의 시뮬레이션 파형 (a) 인버터 상전압 (b) 출력 선간 전압 (c) 출력 상전류

#### 4.결론

본 논문에서는 3-level 인버터에 적용할 경우 기존의 DPWM의 문제를 보완한 새로운 DPWM을 제안하였다. 그리고 제안된 DPWM의 고조파 특성과 스위칭 특성을 알아 보았고 simulation을 통하여 얻은 PWM파형을 제시했다. 응용 분야에 따라 3-level용 DPWM이 잇점이 있음을 입증하였다

#### 참 고 문 헌

- [1] A. Nabae, I. Takahashi and H. Akagi, "A New Neutral-Point-Clamped PWM Inverter," *IEEE Trans. on Industrial Applications*, vol. 17, no. 5, pp. 518-523, 1981.
- [2] H. W. Van Der Broeck, "Analysis of the harmonics in voltage fed inverter drives caused by PWM schemes with discontinuous switching operation," *European Power Electronics Conf. Rec.*, pp.261-266, 1989.
- [3] H. W. Van Der Broeck, H. Skudelny, and G. Stanke, "Analysis and realization of a pulse width modulator based on voltage space vectors," *IEEE-IAS Conf. Rec.*, pp.244-251, 1986.
- [4] J. W. Kolar, H. Ertl, and F. C. Zach, "Minimization of the Harmonics Rms Values of Three-Phase PWM Converter Systems by Optimal and Suboptimal transition Between Continuous And Discontinuous Modulation," *IEEE-PESC Conf. Rec.*, 91., pp.372-381, 1991.
- [5] A.M.Hava, R. J. Kerkman, and T. A. Lipo, "A High Performance Generalized Discontinuous PWM Algorithm," *IEEE-APEC Conf. Rec.*, pp.886-894, 1997.
- [6] A.M.Hava, R. J. Kerkman, and T. A. Lipo, "Simple Analytical and Graphical for Carrier Based PWM methods," *IEEE-PESC Conf. Rec.*, pp. 1462-1471, 1997.
- [7] S. Fukuda, K. Suzuki, and Y. Iwaji, "Harmonic Evaluation of an NPC PWM Inverter Employing the Harmonic Distortion Determining Factor," *IEEE-IAS Conf. Rec.*, pp.2417-2421, 1995.
- [8] D. H. Kim, D. W. Kang, Y. H. Lee and D. S. Hyun, "The Analysis and Comparison of Carrier-based PWM methods for 3-level inverter", will be presented in IEEE-IECON2000 Conf. Rec..