

## 컴퓨터 응용 부하들을 위한 전압 외란 검출 방법

이 상 훈, 최 재 호  
충북대학교

## A Voltage Disturbance Detection Method for Computer Application Loads

Sanghoon Lee, Jaeho Choi  
Chungbuk National University

### ABSTRACT

In this paper, a novel method for voltage disturbance detection is presented. This is a instantaneous detection method using normalized error get in synchronous reference frame, and also it is implemented in digital. Feedback noise, the problem of digital implementation is removed by a digital filter, of which the time delay is compensated through numerical analysis.

### 1. 서 론

현재 컴퓨터의 응용 범위가 확대되어가고 있는 추세와 더불어 이러한 부하들에 공급되고 있는 전원에 대한 관심이 매우 높아지고 있다. 더욱이 컴퓨터 응용 부하들은 점점 고도화 및 정밀화되어 가고 있기 때문에 약간의 이상 전원에 의해서도 오동작 및 자료 상실과 같은 치명적인 결과를 초래할 수 있다.<sup>[1]</sup>

컴퓨터의 전원에 대한 조건으로 가장 대표적으로 사용하고 있는 것이 ITIC(Information Technology Industry Council) 규정이다. 이는 기존의 CBEMA(Computer Business Equipemnt Manufacturer Association) 곡선을 1996년에 개정한 것으로 입력 전압 크기의 변동에 대한 시간적인 제한을 규정하고 있다. 따라서 이러한 ITI 곡선은 컴퓨터 전원장치의 제조 기준이 되고 있으며, 수용가측의 입장에서는 이에 만족할 수 있는 전원을 컴퓨터에 공급해야 한다.<sup>[2]</sup>

이러한 전원의 품질을 만족시키기 위해 수용가측에서 생각할 수 있는 일반적인 방법은 전력품질 보상기(Power Quality Compensator;PQC)를 설치하는 것이다. PQC의 대표적인 장치로는 무정전 전원장치(Unintrruptible Power Supply;UPS)나 VSC(Voltage Sag Corrector)등을 들 수 있으며, 넓은

의미에서 STS(Static Transfer Switch)도 포함시킬 수 있다. STS는 공급 전원이 두 개이고, 병행과 같이 인명 피해가 발생할 수 있는 곳에 주로 설치된다.<sup>[3]</sup>

따라서 PQC에 대한 연구가 매우 활발히 진행되었으며, 현장에도 이미 적용되어 왔다. PQC에 관한 기존의 연구들은 그 구조나 제어 알고리즘에 있어 매우 많은 발전을 성취함으로써 만족할 만한 결과를 얻어왔다. 한편, PQC에 있어 이상 전원의 검출은 기본적으로면서도 매우 중요한 부분임에도 불구하고, 기존의 연구들은 이에 대한 연구를 간과하여 왔다.

따라서 본 논문에서는 off-line UPS의 질환 동작에 대해 연구를 하였다. 동기좌표계에서 순시적인 비교를 통해 얻어진 정규화된 오차(normalized error)를 이용하여 ITI 곡선에 맞는 이상전원 검출 방법을 제안하였으며, 모두 디지털로 구현하였다. 디지털 구현시 발생하는 검출 노이즈에 대해 간단한 디지털 필터를 삽입하여 해결하였으며, 이로 인해 나타나는 지연시간을 계산에 의해 보상하였다.

### 2. 본 론

#### 2.1 CBEMA / ITI 곡선

CBEMA 곡선은 IEEE Std. 446에 공식적으로 인정을 받은 규정으로써, 현재 정전, sag, swell, undervoltage, 그리고 overvoltage의 관점에서 전력시스템의 품질을 평가하는데 있어 기준으로써 사용되어 왔다. 1996년 CBEMA가 ITI로 이름이 바뀌면서 CBEMA 곡선 또한 그림 1과 같은 ITI 곡선으로 개정되었다. 개정된 곡선이 부분적으로 선형화하였다는 것을 제외하고는 그 나머지 부분에서는 기존의 곡선과 거의 유사함을 가지고 있다. 그림 1로부터 ITIC 곡선이 다음과 같은 4가지 정도의 기

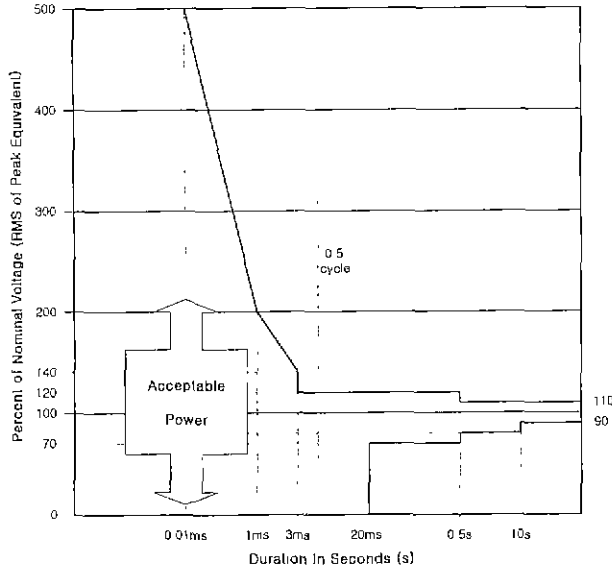


그림 1 ITI 곡선  
Fig. 1. ITI Curve

준을 가지고 있음을 알 수 있다.

- ① 10초 이상의 정상 상태  
: 공칭전압의  $\pm 10[\%]$ 까지 허용
- ② swell 및 overvoltage  
: 전압의 크기에 따라 4단계로 구성
- ③ sag 및 undervoltage  
: 전압의 크기에 따라 3단계로 구성
- ④ 정전 : 20ms 미만까지 허용

이상의 각 단계에 해당하는 곡선으로부터 컴퓨터의 전원장치가 견딜 수 있는 시간을 계산할 수 있으며, 그 시간이 되었을 때 절환 동작이 이루어 질 것이다.

## 2.2 전압 외란 검출

그림 2에 전체적인 검출 블록도가 그려져 있으며, 크게 동기좌표계로 변환시켜 주는 블록과 검출 블록으로 구성되어 있다. 입력으로 line 전압과 지령전압의 순시치를 받아서 동기좌표계로 변환 후 검출 알고리즘에 의해 이상전원 판단시 절환이 이루어 지게 된다.

### 2.2.1 동기좌표계에서의 모델링

3상에 대한 line 전압 및 지령전압의 순시치를 다음과 같이 표시한다.

$$\begin{aligned} v_a(t) &= V_{am} \sin(\omega t) \\ v_b(t) &= V_{bm} \sin(\omega t - \frac{2\pi}{3}) \\ v_c(t) &= V_{cm} \sin(\omega t + \frac{2\pi}{3}) \end{aligned} \quad (1)$$

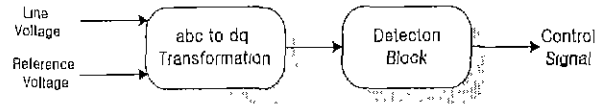


그림 2 전체 검출 블록도  
Fig. 2. Overall detection block diagram

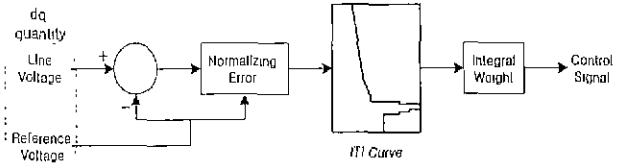


그림 3 전압 외란 검출 블록도  
Fig. 3. Voltage disturbance detection block diagram

$$v_{refa}(t) = V_m \sin(\omega t)$$

$$v_{refb}(t) = V_m \sin(\omega t - \frac{2\pi}{3}) \quad (2)$$

$$v_{refc}(t) = V_m \sin(\omega t + \frac{2\pi}{3})$$

불평형 조건을 고려하지 않는다면, 식 (1)과 (2)의 3상 교류량을 다음과 같이 동기좌표계로 변환할 수 있다.

$$v_{dq} = T \cdot v_{abc} \quad (3)$$

여기서 변환행렬 T는 다음과 같다.

$$T = \frac{2}{3} \begin{bmatrix} \cos(\omega t) & \cos(\omega t - \frac{2\pi}{3}) & \cos(\omega t + \frac{2\pi}{3}) \\ \sin(\omega t) & \sin(\omega t - \frac{2\pi}{3}) & \sin(\omega t + \frac{2\pi}{3}) \\ \frac{1}{2} & \frac{1}{2} & \frac{1}{2} \end{bmatrix}$$

이렇게 3상 교류량(a,b,c)을 직류량(d,q)으로 표시할 수 있으며, 이는 명령치에 대하여 오차를 정규화 시키는데 있어 약간의 이점을 가지고 있다.

### 2.2.2 전압 외란 검출 알고리즘

식(3)을 통해 동기좌표계로 변환된 양이 그림 3에서 보여지는 바와 같이 검출 블록의 입력이 된다. 평균치 방법의 경우는 그 오차를 굳이 정규화시킬 필요가 없지만, 순시치 비교를 통한 검출 방법의 경우에는 정규화된 오차(normalized error)가 필요하게 되며, 이를 식(4)로 표현하였다.

$$ERR_{NOR} = \frac{v_d - v_{ref,d}}{v_{ref,d}} \quad (4)$$

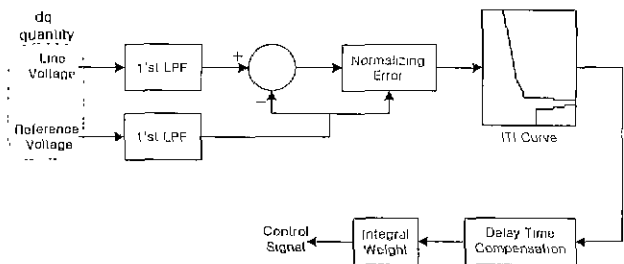


그림 4 디지털 필터가 삽입된 검출 블록도  
Fig. 4. Detection block diagram with digital filter

교류량에서 식(4)와 같이 정규화된 오차를 구하기 위해서는 분모항이 '0'이 되지 않도록 약간의 제한을 두어야 하지만, 직류량에서는 이를 고려하지 않아도 된다. 따라서 식(4)를 이용해 얻은 정규화된 오차를 통해 ITI 곡선으로부터 전원장치의 허용시간(tolerance time)을 구할 수 있다. 이 허용시간으로부터 식(5)와 같이 샘플링 시간을 나누어 주면 샘플링 횟수를 계산할 수 있다.

$$N_s = T_t / T_s \quad (5)$$

( 단, 여기서  $N_s$  : No. sampling,  
 $T_t$  : tolerance time,  $T_s$  : sampling time)

결국 전원장치가 ITI 곡선에 맞게 설계되었다면, 식 (5)로부터 구해진 샘플링 횟수 만큼 기다렸다가 절환을 수행해도 부하에는 전혀 영향을 주지 않을 것이다. 여기서 샘플링 횟수를 좀더 간단화 시키기 위해 식 (6)과 같이  $W$ (weight)함수를 이용한다.

$$\pm 1 = W \cdot N_s \quad (6)$$

식 (6)을 통하여  $N_s$ 에 해당하는 각각의 weight 값을 계산할 수 있으며, 이것을 누적함으로써 그 값이 1이상인 되는 순간에 절환을 수행하도록 한다.

### 2.2.3 디지털 필터를 추가한 검출 알고리즘

위의 방법과 같이 검출 알고리즘을 디지털로 구현하는 경우 제환회로에 노이즈가 발생할 수 있으며, 이로 인해 원하지 않는 부분에서 절환이 이루어질 수도 있다. 따라서 검출회로는 정확한 검출시간을 가져야 하지만, 입력전압의 노이즈 뿐만 아니라 제환회로의 노이즈에도 강인한 특성을 가지고 있어야 한다. 본 논문에서는 이를 만족시키기 위해 간단한 1차 디지털 필터를 추가하였다. 1차 디지털 필터의 전달함수는 식 (7)과 같이 쓸 수 있다.

$$\frac{V_{out}}{V_{in}} = \frac{1}{1 + \tau_d s} \quad (7)$$

(단, 여기서  $\tau_d = \frac{1}{2\pi f_c}$  이다.)

식(7)을 라플라스 역변환시키면

$$V_{out} = V_{in}(1 - e^{-T_d/\tau_d}) \quad (8)$$

과 같이 되며, 이식에서 지연시간  $T_d$ 에 대해서 풀면 식(9)와 같이 된다.

$$T_d = -\tau_d \ln\left(1 - \frac{V_{out}}{V_{in}}\right) = -\frac{1}{2\pi f_c} \ln\left(1 - \frac{V_{out}}{V_{in}}\right) \quad (9)$$

따라서 지연시간을 고려한다면 식(5)는 다음과 같이 고쳐 쓸 수 있다.

$$N_s = (T_t - T_d) / T_s \quad (10)$$

### 2.3 시뮬레이션

본 논문에서 시뮬레이션은 ACSL(Advanced Continuous Simulation Language)을 이용하였으며, 그 결과가 그림 5에서 10까지 보여지고 있다.

그림 5와 6은 각각 15%와 50%의 overvoltage가 시간 0.1초에서 발생하였을 경우에 대한 시뮬레이션 결과이다. 제일 상단이 기준전압과 실제의 피이드백 전압을 나타내고 있으며, 두 번째가 Inegral weight를 나타낸다. 그리고 제일 밑에 있는 것이 절체 신호를 의미하고 있다. 15%의 경우 0.5초후에, 그리고 50%의 경우 3ms 후에 절체 신호가 '1'이 됨을 알 수 있고, 이는 그림 1의 ITI 곡선과 정확하게 일치하고 있다.

그림 6과 7은 피이드백 전압에 노이즈를 첨가했을 때 필터가 없는 경우와 있는 경우에 대한 시뮬레이션 결과이다. 그림 6은 필터가 없는 경우로써 노이즈에 검출회로가 민감한 특성을 가지고 있지만, 그림 7과 같이 디지털 필터를 추가한 경우에는 노이즈에 매우 둔감한 특성을 가지고 있음을 알 수 있다.

그림 9와 10은 필터에 의한 지연효과에 대한 시뮬레이션 결과이다. 그림 9의 경우 지연시간을 보상하지 않은 경우로써 약 0.04초 정도의 지연시간을 가짐을 알 수 있다. 식(10)과 같이 지연시간을 보정한 경우에는 그림 10에서 보듯이 정확하게 0.6초에 절체신호가 '1'이 됨을 알 수 있다.

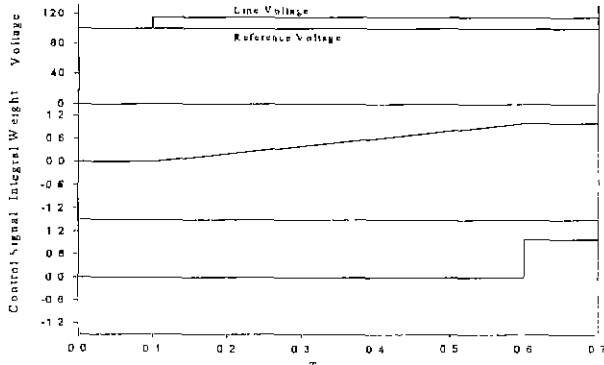


그림 5 15% overvoltage 발생시  
Fig. 5. In case of 15% overvoltage

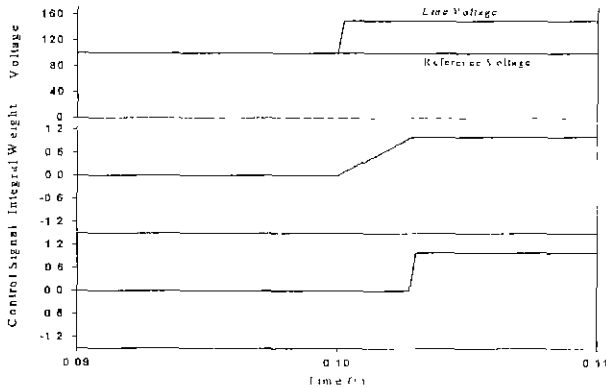


그림 6 50% overvoltage 발생시  
Fig. 6. In case of 50% overvoltage

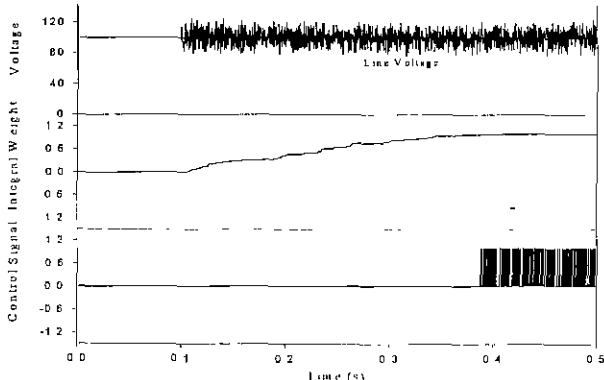


그림 7 노이즈 첨가시(필터가 없는 경우)  
Fig. 7. In case of noise insertion(without filter)

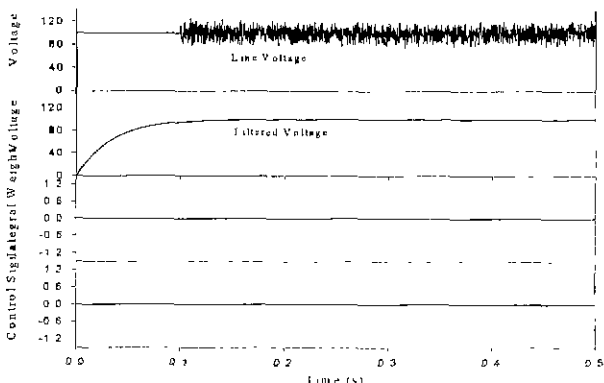


그림 8 노이즈 첨가시(필터가 있는 경우)  
Fig. 8. In case of noise insertion(with filter)

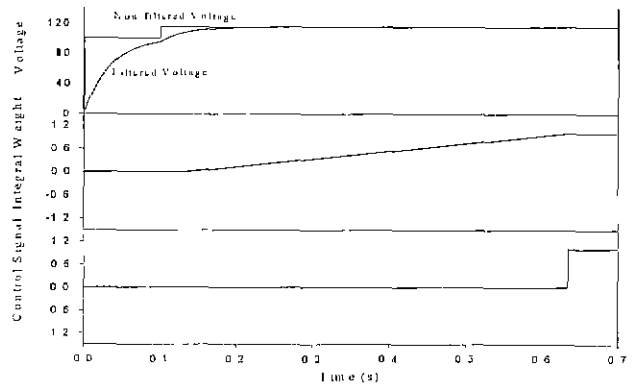


그림 9 15% overvoltage 발생시  
(지연시간을 보상하지 않은 경우)  
Fig. 9. In case of 15% overvoltage  
(without delay time compensation)

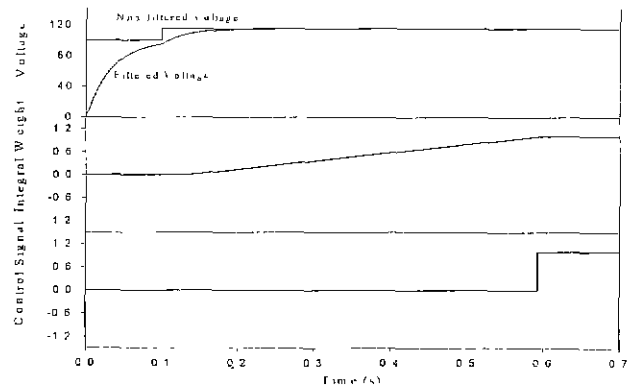


그림 10 15% overvoltage 발생시  
(지연시간을 보정한 경우)  
Fig. 10. In case of 15% overvoltage  
(with delay time compensation)

### 3. 결 론

본 논문에서는 이상전원 검출에 대한 새로운 순시적인 디지털 알고리즘을 제안하였다. 시뮬레이션을 통해 제안된 방법에 대해 그 타당성을 증명하였으며, 이를 통해 off line UPS, STS, 그리고 VSC 등의 전력품질 보상기에 이용될 수 있음을 보였다. 추후 prototype에 대한 실험 및 3상 불평형 조건에 대한 연구를 계속 수행할 계획이다.

### 참 고 문 헌

- [1] Erich W. Gunther et al, "A Survey of Distribution System Power Quality-Preliminary Results", *IEEE Trans. on Power Delivery*, Vol 10, No. 1, pp. 322~329, January, 1995
- [2] Information Technology Industry Council. ITIC Curve Application Note. [Online] [http://www.itic.org/iss\\_pol/tehddocs/cruve.pdf](http://www.itic.org/iss_pol/tehddocs/cruve.pdf)
- [3] 최재호, "전력품질 장애의 대책", *전력전자 학회지*, Vol. 5, No. 1, pp. 13~18. 2000.