

Power Amp.용 3KW급 ZVT PFC 개발

이 성룡, 정 채규¹⁾, 김 성우, 고 성훈²⁾
 군산대학교 전자정보공학부¹⁾, 서영전자(주)²⁾

A Study on the ZVT PFC for Using 3(KW) Power Amplifier

S. R. Lee, C. G. Jeong, S. W. Kim, S. H. Ko

Kunsan Nat'l Univ. Division of Electronic and Information Eng., Suhyoung Electronics & Indu

Abstract - A new ZVT PFC for using 3(KW) power amplifier is proposed. Generally, the single phase diode rectifier has been widely used in the SMPS of the conventional power amplifier. But this rectifier has occurred some problems which are the input power factor and current harmonics. To solve the above problems, in this paper, two topology is adopted. The one is the boost type PFC for improving the input power factor. The other is the ZVT resonant circuit for reducing the switching loss and stress.

In this paper, the proposed topology is analyze designed to built the ZVT PFC for using 3(KW) power amplifier. In order to verify the circuit va finally, the PSPICE simulation and experi results are presented.

유용성을 시뮬레이션과 실험을 통하여 입증하고자 한다.

2. ZVT PFC

2.1 Power Amp.용 SMPS

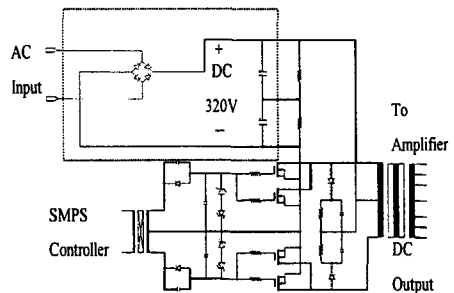


그림 1 Power Amp.용 SMPS

그림 1은 기존의 Power Amp.용 SMPS 회로의 일부를 나타낸 것이다. 이는 AC 입력전원을 DC 320V로 정류하는 다이오드 정류회로(점선 부분)와 정류된 출력 전압 DC 320V를 입력으로 하여 멀티 DC 출력 전압을 출력하는 SMPS 회로로 구성되어 있다. 여기서 점선 부분의 콘덴서 입력형 단상 다이오드 정류회로는 단순히 일정 DC 전압을 출력하는 회로로 태생적으로 입력전류에 고조파 및 역류가 발생하게 된다. 또한 출력 DC 전압도 리플이 심하여, 국제 표준규격(IEC555-2)을 만족시키려면 입출력 필터 사이즈가 커 회로를 컴팩트하게 제작하는데 문제가 발생하고, 수출의 가장 큰 장애 요인이 된다. 그러므로 본 연구에서는 이 입력 정류회로를 대체하여 IEC555-2 규격을 만족시키기 위하여 ZVT PFC 회로를 채택하였다.

1. 서 론

트랜지스터 발명 이후 산업 사회가 급속하게 지식기반화, 감성화되면서 산업용 Power Amp. 분야 또한 크게는 방송국 장비에서부터 작게는 노래방기기에 이르기까지 그 수요가 폭 넓게 증가하고 있는 추세이다. 이들 산업용 Power Amp.의 종류는 800W급 세미프로와 그 이상인 프로 Power Amp.로 나누어지는데, 이런 Power Amp.의 전원은 입력 AC 전원을 정류해서 얻기 때문에 근본적으로 입력 고조파 발생과 역류가 문제가 되고 있다. 즉 기존의 Power Amp.는 SMPS용 직류전원을 얻기 위하여 콘덴서 입력형 다이오드 정류회로가 사용되고 있어 계통전원의 왜곡으로 인한 역류와 고조파 발생으로 EMI 및 유도 장애 등의 문제를 야기 시킨다. 이 때문에 국제 표준규격(IEC555-2)에 만족시키기 위해 입력 필터의 사이즈가 커지는 등의 문제가 있어 해외 수출에 장애 요인이 되고 있다. 이런 문제를 해결하기 위해서 기존의 콘덴서 입력형 다이오드 정류기 전원을 고역률을 얻을 수 있고 고조파를 제거 또는 감소시킬 수 있는 PFC(Power Factor Correction) 회로로 대체할 필요가 있다. [1]

일반적으로 PFC 회로 방식은 구성이 간단하고 출력 제어범위가 넓으며 제어도 용이한 특징을 갖는 승압형 PWM방식이 가장 많이 이용되고 있다. 한편 이러한 PFC를 소형, 경량화, 고품질화하기 위해 스위칭주파수를 고주파수로 운전하는 방법을 택하게 되는데, 이 경우 PFC 회로의 하드-스위칭 동작에 의한 스위칭 손실이 크고 전압 또는 전류의 스트레스가 크기 때문에 전체 시스템의 효율이 저하되는 문제가 발생된다.

그러므로 본 논문에서는 출력 전압을 안정화하고 고역률과 EMI를 감소시키면서 스위칭 손실을 줄일 수 있는 ZVT(Zero Voltage Transition) PFC 회로를 개발하고 이를 3KW급 Power Amp.에 적용하여 그

2.2 ZVT PFC

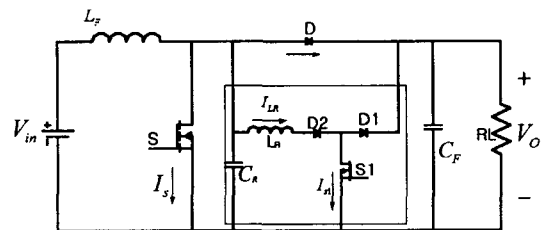


그림 2 ZVT PFC 회로

그림 2는 본 연구에서 Power Amp.의 전원부에 적용하고자 하는 ZVT PFC 회로이다. 이는 회로가 간단하고, 출력제어범위가 넓어 단상 중소용량에 많이 사용되고 있는 승압형 PWM방식의 PFC회로에 주 전력용 소

자의 스위칭 손실 및 스트레스를 감소시키기 위한 점선 부분의 ZVT 보조공진회로를 부가한 회로이다.

2.2.1 PFC의 동작원리

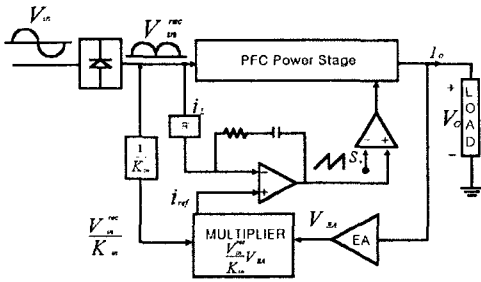


그림 3 PFC 회로의 블록 선도

그림 3은 PFC 회로를 가장 기본적인 블록 선도로 나타낸 것이다. 회로는 주 전력회로(Power Stage)인 주 회로부분과 전압 보상기, 곱셈기, 전류 보상기, 삼각파 발생기 등으로 구성되어진 제어회로부분으로 구성되어진다. 여기서 출력전압을 제어함과 동시에 교류입력전압과 교류입력전류를 동 위상 및 정현 입력 전류파형으로 유지하는 것이 시스템의 주목적이므로 입력전원으로부터 정류된 전압으로부터 제어 기준 파형 (V_{in}^{rec} / K_m)을 얻고 센싱된 전압은 전압 보상기의 출력신호 (V_{EA})와 곱함으로써 부하에 상응하는 동 위상의 입력 기준전류신호 (i_{ref})를 얻는다 ($[V_{in}^{rec} / K_m] \times V_{EA}$). 승압 인덕터에 흐르는 전류루프에서 전류 보상기를 적절하게 설계하여 기준전류 (i_{ref})에 정확하게 추종 할 수 있도록 제어해준다.

PFC를 연속 모드로 동작시키기 위한 제어 방식으로 는 별도 전류제어기를 이용하는 방법 중에 최대 전류 모드 제어, 평균 전류 모드 제어, 히스테리시스 모드 제어 등이 있다. 여기서 최대 전류 모드 제어방식은 전압이 일정한 값 이하가 되면 인덕터에 충전되는 에너지가 작기 때문에 아주 작은 전류가 흐르게 되고 이 때문에 원천적으로 전원 전류에 데드 앵글(Dead angle) 영역이 발생하고, 이는 경 부하일 경우에 더욱 심하게 되어 고조파 발생 등의 문제에 대비해야하는 단점이 있다. 한편, 히스테리시스 모드 제어방식은 출력 특성은 양호하지만 가변 주파수제어 방식이기 때문에 스위칭손실을 감소시키기 위한 소프트-스위칭기법의 적용이 어려운 단점이 있다. 따라서 본 연구에서는 이러한 문제점들을 보완할 수 있고 회로 구현이 간단하여 널리 사용되고 있는 평균 전류 모드 제어방식을 적용하기로 한다.

2.2.2 ZVT 보조공진회로

기존의 하드-스위칭 PFC에서는 주스위치의 턴-온/오프 시 발생하는 스위칭 손실 및 출력 다이오드 역회복 특성에 따른 손실을 피할 수 없다. 그 이유는 PFC의 주 스위치의 di/dt와 dv/dt 특성에 따라 스위칭 시 스위치 양단의 전압이 걸려있는 상태에서 전류가 흐르게 되기 때문이다. 이러한 스위칭 손실은 스위칭 주파수가 높을수록 부하전류가 클수록 이에 비례하여 증가하기 때문에 PFC의 고품질화를 위해서는 스위칭 손실 저감 또는 제거를 위한 소프트-스위칭기법이 필요하다.

그러므로 본 연구에서는 기존의 승압형 PFC 회로에 소프트-스위칭 기법의 하나인 ZVT기법을 적용한다. [2] 그림 2의 점선 부분이 기존의 승압형 PFC회로의 스위칭 손실 및 스트레스를 감소시키기 위한 ZVT 보조공진 회로이다. 이러한 ZVT 회로는 보조스위치 S1과 공진 인덕터 L_R , 그리고 공진 캐패시터 C_R , 다이오드 D1과

D2로 구성되어 진다. 이 ZVT회로의 동작 원리를 모드 별로 살펴보면 다음과 같다.

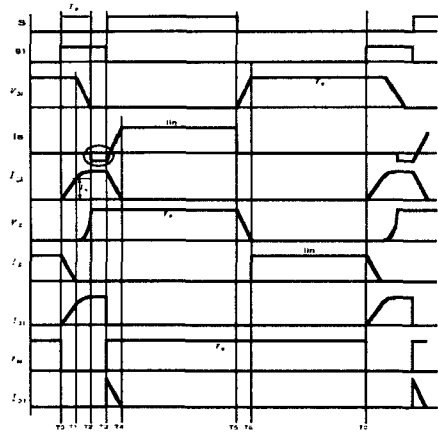


그림 4 ZVT 회로의 동작 파형

(1) $T_0 - T_1$: T_0 이전에 주스위치 S와 보조스위치 S1은 턴-오프 상태이다. T_0 에서 보조스위치 S1이 턴-온되면 공진 인덕터에 전류가 흐르게 되고 이는 T_1 에서 입력 전류에 도달한다. 이 시간은 공진 인덕터에 의해 결정되고, 식(1)과 같다.

$$t_{01} = \frac{I_m}{V_o / L_R} \quad (1)$$

(2) $T_1 - T_2$: 이 기간은 공진 인덕터에 충전된 에너지가 공진 캐패시터 C_R 과 공진 하게 된다. 이 공진전류는 캐패시터의 충전된 전압을 T_2 에서 영전위로 만들게 되는데, 그 시간은 식(2)와 같이 표현된다.

$$t_{12} = \frac{\pi}{2} \sqrt{L_R C_R} \quad (2)$$

(3) $T_2 - T_3$: 이 기간은 공진 인덕터의 전류가 주스위치 S의 역병렬 다이오드를 통해 순환되는 구간이며, 그림4의 점선 부분이다. 이 기간은 보조스위치 도통기간과 공진시간에 의해 결정되며 그림에서 알 수 있는 것처럼 주스위치가 ZVT 조건으로 동작하도록 한다.

(4) $T_3 - T_4$: T_3 에서 보조스위치 S1은 턴-오프되고, 이때 보조스위치 양단의 전압은 V_o 가 된다. 따라서 공진 인덕터의 전류는 다이오드 D1을 통하여 축적된 에너지를 부하로 전달하게 되므로 보조스위치 또한 스위칭 스트레스를 거의 받지 않는다.

(5) $T_4 - T_5$: 이 기간은 주 스위치가 턴-온되어 있는 구간으로 승압 인덕터의 에너지가 축적되는 구간이다.

(6) $T_5 - T_6$: T_5 에서 주스위치가 턴-오프 되는데, 이때는 공진 캐패시터에 의하여 스위치 양단의 전압 상승 (dv/dt)을 제한하여 ZVT 조건을 충족 시키게 된다.

이상의 모드별 설명에서 알 수 있는 바와 같이 본 연구에서 적용한 ZVT 보조공진회로는 주 스위치의 스위칭 시 뿐 아니라 보조스위치 및 다이오드 등의 스위칭 소자들이 소프트-스위칭됨을 알 수 있다.

3. ZVT PFC 회로 설계

본 연구의 ZVT PFC 회로가 원하는 역을 개선 효과와 안정된 출력전압을 얻기 위해서는 회로의 정수를 최적 값으로 선정하는 것이 매우 중요하다. 이 회로의 정수는 크게 PFC부분과 ZVT보조공진회로 부분으로 구분되는데, PFC 부분에서는 승압 인덕터 L_F 와 출력 캐패시터 C_F 를 ZVT 보조공진회로 부분에서는 공진 인덕터

L_R 와 공진 캐패시터 C_R 를 최적의 값으로 설계할 필요가 있다. 여기서 ZVT 보조공진회로 부분의 공진 인덕터 L_R 와 공진 캐패시터 C_R 는 앞에서 언급한 식(1),(2)에 의해서 설계가 가능하므로 PFC 부분의 승압 인덕터 L_F 와 출력 캐패시터 C_F 의 설계 방법에 대하여 기술한다.

① 승압 인덕터 L_F

승압 인덕터 L_F 는 제어기(본 논문에서는 UC3854)의 최대 듀티 싸이클에 의하여 제한을 받기 때문에 입력전압이 임계전압(V_{in}^{DCM}) 이하일 경우 승압 인덕터는 불연속 전류 모드로 운전해야만 되고, 이 조건에 의해 인덕터 값을 결정해야 한다. 여기서 임계전압(V_{in}^{DCM})은 전류가 불연속 모드에서 연속 모드로 넘어가는 지점에서의 전압이므로 인덕터의 에너지 밸런스 조건에 의하여 다음과 같이 구할 수 있다.

$$V_{in}^{DCM} = (1 - D_{on}^{max}) V_o \quad (3)$$

여기서 D_{on}^{max} 는 PWM의 최대 듀티 싸이클이고, 그 값은 0.95이다.

이 임계전압 V_{in}^{DCM} 에 의하여 승압 인덕터를 식(4)와 같이 구할 수 있다.

$$L_F = \frac{(V_{in}^{DCM} D_{on}^{max})}{(I_{in}^{DCM} f_s)} \quad (4)$$

여기서 I_{in}^{DCM} 은 전류 불연속 구간에서의 입력전류이다. 이 전류는 설계자가 임의로 정할 수 있는데, 이 전류와 인덕터의 값은 반비례 관계에 있는 반면에 입력 전류의 리플에 비례하기 때문에 인덕터를 작게하면 입력 리플이 커지고, 인덕터가 크면 리플이 작게 된다. 따라서 인덕터 선정시 입력 리플을 고려하여 적당하게 선정할 필요가 있다.

② 출력 캐패시터 C_F

출력 캐패시터를 선택함에 있어 중요한 요소는 출력전압의 2차 고조파에 의해 발생하는 리플 전압(V_o^{rpl})이다. 이 리플 전압은 입력 선 주파수의 두배 주파수의 출력 캐패시터 충전전류에 의하여 결정되므로 이 리플전압에 의하여 출력 캐패시터를 식(5)와 같이 결정할 수 있다.

$$C_F = I_o^{max} / (4\pi f_L V_o^{rpl} \eta) \quad (5)$$

여기서 f_L 은 입력전원의 주파수이다.

4. 시뮬레이션

본 연구의 ZVT PFC 회로는 3[KW]급 Power Amp SMPS에 적용하기 위한 것이므로 회로의 입출력 조건은 입력전압 90V~260V, 출력전압 320V이다. 따라서 이 조건에 맞는 3[KW]급 ZVT PFC 회로를 설계하였고, 이때의 설계된 회로정수는 표1과 같다.

본 연구에서는 이상의 조건에 의해 설계된 ZVT PFC 회로의 유용성을 확인하기 위하여 PSIM과 PSPICE를 이용하여 시뮬레이션을 수행하였고, 그 결과를 그림5-그림7에 보였다.

표 1 ZVT PFC 회로의 정수

인덕터 L_F	0.448mH
캐패시터 C_F	4700uF
부하저항 R_L	33Ω
공진 인덕터 L_R	0.014mH
공진 캐패시터 C_R	30nF
스위칭 주파수 f_s	25kHz

그림5, 6은 본 연구에서 설계한 PFC 회로의 유용성을 확인하기 위하여 회로의 입력 전압, 전류 파형과 출력전압을 보인 것으로 그림5는 입력전압이 90V일 때, 그림6은 260V 일때를 보인 것이다. 그림 6에서 알 수 있는 것처럼 입력전압이 260V로 PFC의 약조건인 경우에도 전류의 위상이 전압에 일치시키는 우수한 성능을 보여주고 있다. 여기서 그림의 전류파형은 전압과의 비교를 위해 각각 실제 값 보다 2배(그림5), 5배(그림6)한 파형이다. 한편, 그림7은 PFC 회로의 주 스위치, 보조스위칭 동작시 스위칭 손실과 스트레스를 감소시키기 위한 ZVT 보조공진회로의 동작 파형으로 주 스위치, 보조스위칭 및 출력 다이오드 등의 전압, 전류 파형으로 ZVT 조건을 만족함을 알 수 있다.

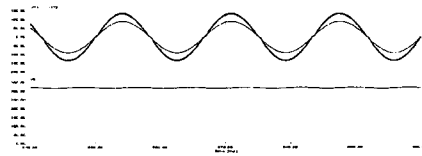


그림 5 입력전압 90V 시 전압, 전류 파형

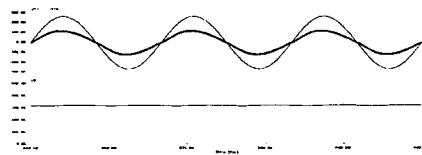


그림 6 입력전압 260V 시 전압, 전류 파형

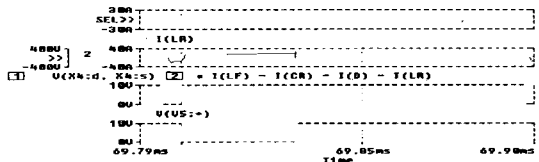


그림 7 ZVT 보조공진회로 동작파형

5. 결 론

본 논문에서는 3[KW]급 Power Amp.용 ZVT PFC 회로를 설계하고, 이를 PSPICE와 PSIM을 이용한 시뮬레이션을 통하여 그 유용성을 확인하였다. 그 결과 입력전압의 전 범위(90V~ 260V)에서 양호한 역률 개선효과를 확인하였고, 입력전류의 고조파도 획기적으로 감소시킬 수 있음을 보였다. 또한 PFC의 성능 향상을 위해 고주파수 운전으로 야기되었던 스위칭 손실 및 스트레스를 제거 또는 감소시킬 수 있음을 보였다.

본 연구는 현재 설계 결과를 기본으로 시스템 제작 중이며, 제작이 완료되는 데로 실험을 통하여 시스템의 유용성 즉, 역률 및 효율 개선효과를 확인하고, 실제 3[KW]급 Power Amp.에 적용하는 실험을 진행할 예정이다.

(참 고 문 헌)

[1] C.Zhou, "Design and analysis of an active power factor correction circuit," M.S. Thesis, Virginia Polytechnic Institute and State University, Sept, 1997.
 [2] G.Hua, C.S.Leu,F.C.Lee, "Novel zero-voltage-transition PWM converter," IEEE Power Electronics Specialist Conference Record, pp.55-61, 1992