

AC-PDP에서의 Addressing 속도에 관한 연구

김영대*, 손재봉**, 박정후*, 조정수*
*부산대학교 전기공학과, **동명대학 전기과

The study of Addressing Speed in AC-PDP

Young-Dae Kim*, Jae-Bong Son**, Chung-Hoo Park*, Jung-Soo Cho*
*Dept. of Electrical Engineering, PNU, **Dong-Myung College

Abstract - To replace the dual scan system by single scan in large ac plasma display(PDP), the addressing time should be reduced by modifying cell structure and driving circuits. Moreover, the luminance of the PDP can be also increased with the decrease in the addressing time.

In this paper, various shapes of bus and address electrode have been investigated to reduce the addressing time in ADS driving method. The experimental results show that the addressing time can be reduced more than 30% compared to the conventional type by modifying the electrodes without reducing the luminance of the PDP

1. 서 론

정보 시대의 발전과 함께 대형화, 경량화, 고정세화 등의 요구를 충족시킬 수 있는 디스플레이 소자로 ac PDP가 각광을 받고 있다. 이는 기존의 CRT에 비해 대형화가 용이하다는 장점 때문이다. 하지만 아직 ac PDP가 대중화되기 위해서는 Cost, 효율 및 휘도 등의 문제를 해결해야 한다.

ADS(address-display separated)법[1,2]으로 구동될 경우, 한 라인의 scan 시간은 약 3 μ s 정도이므로, VGA급의 480 line scan 시간은 약 1.4ms이다. 그리고, 한 Frame은 8개의 sub-field로 구성되어 있으므로, 1회 Frame의 Addressing 시간은 11.52ms이다. 이 시간은 한 frame의 약 70%에 해당된다. 즉, Addressing 시간이 늘어남에 따라, Sustain기간이 줄어들게 됨으로 휘도가 감소하게 된다. 그래서 현재 이러한 문제를 해결하기 위해, Dual Scan법을 사용하고 있다. 이 경우, Single Scan 때 보다 Addressing 시간이 반으로 줄어들지만, 고가의 IC을 2배로 사용해야 하므로 Cost가 높다. 더욱이 HDTV로 갈수록 Scan Line이 증가함으로, Addressing 속도는 큰 연구 과제로 부각되고 있다.[3]

본 논문에서는, Addressing 속도를 개선하기 위해, Bus 전극 및 Address 전극의 모양을 제안하여 연구를 하였다. 그 결과, 종래의 구조에 비해, 휘도 및 효율의 변화 없이 Addressing 속도를 30% 정도 개선할 수 있었다.

2. 본 론

2.1 실험방법

그림 1은 일반적으로 사용되고 있는 AC-PDP의 개략도를 보여주고 있다. AC-PDP의 상판에는 방전을 유지할 수 있도록 한 쌍의 투명전극이 형성되어져 있고, 투명전극의 저항을 낮추기 위해, 금속 Bus 전극(Cr/Cu/Cr)이 형성되어져 있다. 그 위에는 투명 유전

층과, MgO 보호층이 프린팅 법 및 스파트링 법으로 각각 형성되어져 있다. 하판에는 방전을 제어하기 위한 Address 전극이 형성되어져 있고, 그 위에 유전층과 셀 간의 구분을 위한 격벽이 형성되어져 있다. 그리고 방전에 의해 발생된 진공 자외선(VUV, Vacuum Ultra Violet)을 가시광으로 변환시키기 위해 R, G, B 삼원색의 형광체가 도포되어져 있다.

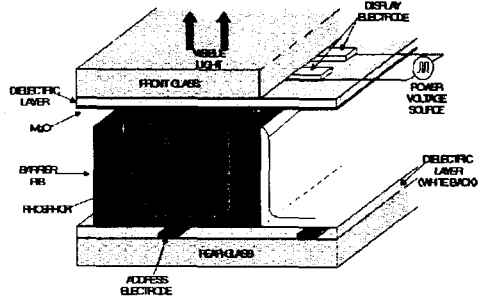


그림 1 AC-PDP의 개략도
Fig. 1 The schematic diagram of AC-PDP

Vy scan	-150 V
Vy scan base	-50 V
Vx	100 V
Vz blocking	40 V
Vz Reset	350 V
Vs sustain &swing	130 V

표. 1 각 파형의 인가 전압
Table. 1 The applied Voltage of waveform

그림 2는 Address 구간에서 Addressing Speed을 계속하기 위한 PDP 구동파형을 보여주고 있다. 특히, 본 연구에서는 1회의 Addressing Pulse를 사용하였다. 각 전극에서의 인가 전압은 표 1과 같이 설정하였으며, 1회 구동 주기를 2ms로 설정하였다. 그리고 Cross-talk을 방지하기 위해, Cell Addressing을 교차로 행하였다. 그래서 Address 되는 Cell 수는 300(=50X6)개이다.

그림 3은 Addressing 기간에서 Addressing 전극에서의 전압 및 전류 파형을 보여주고 있다. Address 기간에 흐르는 전류는 용량성 Panel로의 충전전류(변위전류)와 기체 방전 시 흐르는 방전전류로 구성되어 있다. 그리고, 방전 늦음 시간(T₁) 및 방전 유지 시간(T₂)을 보여주고 있다. T₁은 전압이 인가된 후 방전이 발생할 때까지의 시간이며, T₂은 방전이 발생하고 난 후, 방전이 정지할 때까지의 시간이다. Addressing 방전은 T₁ 및 T₂ 동안에 완료가 되어 지므로, Addressing Time

그림 7은 기존의 구조와 Bus 전극 및 Address 전극에 삼각 돌기 구조를 도입한 구조에 대한 Addressing 시 전압 및 전류 파형을 보여주고 있다. Bus 전극과 Address 전극 둘 다 삼각 돌기를 도입하였을 경우, T_1 은 0.35 μ s, T_2 는 0.51 μ s이어서 Addressing Time은 0.86 μ s이다. 결과적으로 기존의 구조에 대해 Addressing 속도는 30% 개선할 수 있었다. 물론 이 경우도 휘도 및 효율은 역시 거의 동일하였다.

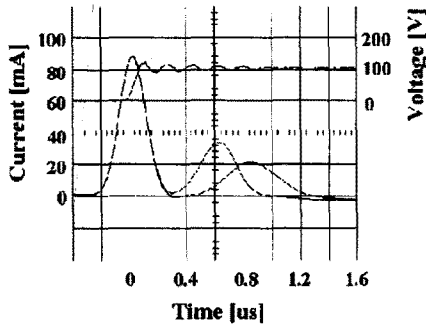


그림 7 Bus 및 Address전극에 돌기 구조를 도입한 구조에서의 전류 파형

Fig. 7 The current of protruding Bus & Address electrodes

3. 결 론

본 논문에서는 Address 속도를 개선하기 위해, 새로운 전극 구조가 제안되었다. Bus 전극에 align free가 가능한 삼각 돌기를 도입하여 Address 속도가 15% 개선되었으며, Address 전극에도 align free가 가능한 삼각 돌기를 도입하여도 15% 개선이 되었다. 결과적으로 Address 속도는 이전 보다 30% 개선할 수 있었다. 그리고 제안된 구조에서 기존의 구조에서의 휘도 및 효율은 동일한 특성을 나타내었다.

(참 고 문 헌)

- [1] T. Shinoda et al, "High Level Gray Scale for AC Plasma Display Panels Using Address-Display Period Sub-Field Method", Trans of IEICE C-2, No.3, pp349-355, 1998
- [2] S. Yoshikawa et al, "Full-color AC plasma display with 256 gray scale", Japan Display, pp605-608, 1988
- [3] A. Sobel et al, "Big, Bright, and Beautiful", Information DISPLAY(SID), Vol.14, No.9, pp.26-28, 1988
- [4] R.Yoshida, "Plasma Display", Kyoritsu Ed.Japan, pp63-70, 1983
- [5] J.M.Meek and J.D.Craggs, "Electrical Breakdown of Gases", John Wiley & Sons, pp655-688, 1978