

# AC PDP의 addressing time과 유전체 및 Barrier Rib 높이와의 상관관계

박정태, 박차수, 송기동, 박정후, 조정수  
부산대학교 전기공학과

## The relationship between addressing time and dielectric layer, barrier rib height

J. T. Park, C. S. Park, K. D. Song, C. H. Park, J. S. Cho  
Pusan National University, Dept. of Electrical Eng.

**Abstract** - Up to date, the dual scanning method has been adopted to decrease addressing period in AC PDP. In this case, addressing period can be reduced, but the driving circuit cost should be increased. In this study, to increase addressing speed we have studied the relationship between addressing speed and cell structure. That is to say, we varied the thickness of dielectric layer on the front glass, the thickness of white back and the height of barrier rib on the rear glass.

So, we found that the addressing time was decreased 4% with decreasing 5um thickness of dielectric layer on the front glass and 2um thickness of white back on the rear glass. Also in case of decreasing the height of barrier rib, addressing time was decreased about 4% per 10um.

**Key Words** : AC PDP, addressing period, dielectric layer, barrier rib

### 1. 서 론

최근 AC PDP는 40" ~ 60" 급을 중심으로 대량 생산 체제에 들어갈 준비를 하고 있으며, 상품화에도 전망이 밝은 대형 디스플레이 소자로 기대되고 있다. 앞으로 Hi-Vision방송이나 종합 Digital 방송 등 방송, 통신, computer가 일체 된 multimedia의 실현에 PDP의 활약이 클 것으로 예상된다.

그러나 PDP TV나 Workstation 수요자가 쉽게 구입해 보기 위해서는 아직 해결해야 할 몇 가지 문제점들이 존재하고 있다. 그 중 가장 시급한 문제로서는 AC PDP의 효율향상 및 저가격을 실현시킬 수 있는 방안과 방전기구를 파악하여 정확한 화상의 구현과 화질을 향상시킬 수 있는 방안이 요망되고 있다. 또한, 현재 사용하는 구동방식의 큰 문제점으로는 Addressing에 소요되는 시간이다. 1 subfield의 addressing에 소요되는 시간을 3us 정도로 할 경우 VGA급의 480 line을 scanning하고 256계조를 구현하기 위해서 1 frame 당 8개의 subfield가 필요할 경우 addressing에 소요되는 시간은 1 frame전체의 70% 정도를 차지한다. 이것은 표시방전 시간의 감소로 이어지게 된다. 이러한 문제점을 해결하기 위해 화면을 2분할하여 동시에 2 line을 addressing하는 듀얼 스캐닝 방식

(Dual Scanning Method)을 이용하고 있다. 이 경우 addressing에 소요되는 시간을 반으로 줄일 수 있지만, 구동회로수가 늘어나는 문제점을 안고 있다. 또한 고화질 텔레비전(HDTV)과 같이 스캐닝 라인의 수가 증가 될 경우 addressing 속도의 향상은 해결해야 할 여러 문제점 중에 가장 시급한 문제로 판명되고 있다.

본 연구에서는 ADS(Address-Display Separation) 방식 중 선택적 기입(Selective Writing) 방식을 이용하여 addressing방전에 영향을 미치는 기본적인 인자들 중 상판의 유전체 두께와 하판의 유전체 두께 및 격벽 높이에 따른 addressing 속도와의 상관관계에 대하여 고찰하였다.

### 2. 실험 방법

현재 널리 이용되고 있는 ac-PDP의 개략도를 그림 1에서 나타내고 있다. ac-PDP는 3mm 두께의 2장의 유리로 구성되어 있고, 이 중 상판에는 ITO (Indium Tin Oxide) 및 Cr/Cu/Cr로 이루어진 방전유지전극이 있고, printing 법에 의해 형성된 SiO<sub>2</sub>- PbO 계열의 유전체가 약 20μm 정도로 유지전극을 덮고 있으며, 유전체 보호층인 MgO 박막이 sputtering 기법에 의해 유전층 상에 증착 되어 있다.

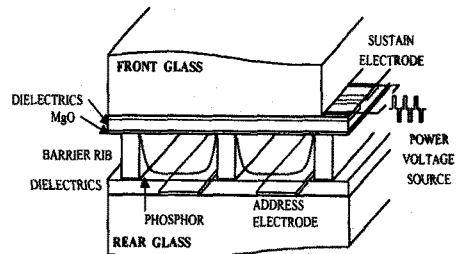


그림 1 ac-PDP의 개략도

Fig 1 The schematic diagram of ac-PDP

그리고, 하판은 유리 위에 전극 폭 170μm의 어드레스 전극이 프린팅되어 있고, 그 위에 10μm 두께의 유전층과 20μm 두께의 형광체가 도포되어 있다. 각 어드레스 전극은 pitch 320μm이며, 인접 셀과의 구분을 위하여 sandblaster 기법에 의한 격벽이 형성되어 있다. 본 실험에서는 상판의 경우 유전체의 두께를 20~40μm까지, 그리고 하판의 유전체인 white back을 0~25μm까지 변화시키고 또한, 하판의 barrier rib의 높이를 80μm ~ 150μm로 변화시켜 address방전 시 어드레스 측과 유지전극에 유입되는 전하량과 그 delay를 측정하였다.

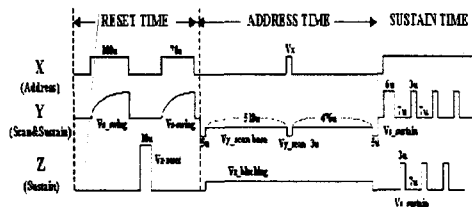


그림 2 인가파형의 개략도  
Fig 2 The schematic diagram of applied waveform

그림 2은 본 실험에서 사용된 인가 파형의 개략도로서 전체 구성은 ADS 방식에 따랐으며 전체 파형의 주기는 2ms로 하였다. 각 파형의 인가전압은 표.1과 같다. 표.1에서 각 전압 상태는 최적의 addressing 상태를 기준으로 하였으며, 단 이때 Vy 전압은 먼방전으로 이행하지 않는 범위 내에서 가변 하였다.

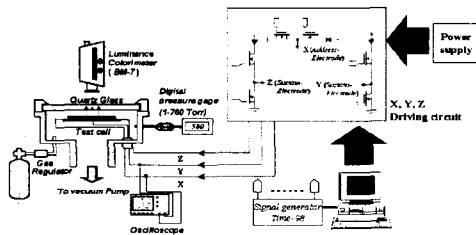


그림 3 실험장치의 개략도  
Fig 3 The schematic diagram of experimental equipment

그림 3는 실험에 사용된 장치의 구성도이다. 실험 장치는 크게 방전특성 시험용 방전 챔버와 구동회로 부분으로 구성되어 있다. 방전챔버 내에 실험을 위해 제작된 상판과 하판을 봉합하여 장착하고, 진공도를  $10^{-6}$ Torr까지 초기 배기한 후, He-Ne(30%)-Xe(4%) 가스를 주입하여 측정을 행하였다. 실험은 약 340개 셀을 대상으로 하였으며, 휘도의 측정은 휘도측정기(Luminance Colorimeter, BM-7)를 이용하였다. 구동회로 부분은 signal 발생부와 전압 공급부 그리고 analog switching 부로 구성되어 있고, address 전압인가 시 rising time은 150ns를 유지하도록 설계하였다.

Vy scan	-165V
Vy scan base	-50V
Vx	118V
Vz blocking	89V
Vz Reset	370V
Vs sustain & swing	202V

표 1 인가 파형에 대한 전압 상태  
Table 1 Voltage statement for applied waveform

### 3. 실험 결과 및 고찰

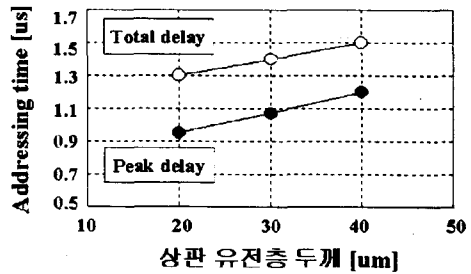


그림 4 유전체 두께에 따른 Addressing Time  
Fig 4 Addressing time as a parameter of dielectric layer thickness

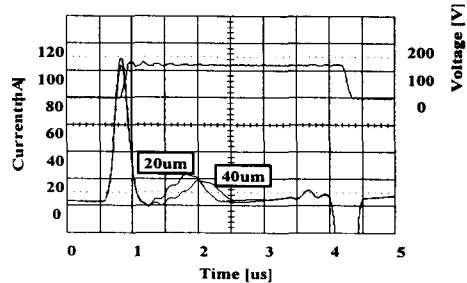


그림 5 유전체 두께에 따른 전류파형  
Fig 5 Current waveform as a parameter of dielectric layer thickness

그림 4는 유전체 두께에 따른 addressing time을 나타내고 있다. 유전체 두께가 증가할수록 addressing 시 방전 전하량은 줄어들며, 반면에 방전 지연 시간은 증가하는 특성을 나타내고 있다. 이것은 addressing 시 Y-scan 전극과 X-address 전극사이의 유전체와 방전공간은 직렬 콘덴서 부하로 간주할 수 있다. 따라서 유전체 두께가 증가할수록 방전 공간에 인가되는 전압은 감소하여 유전체 두께가 증가할수록 방전전하량은 감소하고 방전 지연시간은 증가한다. 그림 5는 유전체 두께에 따른 전류 파형을 나타내고 있다. 실험 결과 상판 유전체 두께가 5um 감소할 때마다 addressing time이 약 4%씩 감소함을 알 수 있었다.

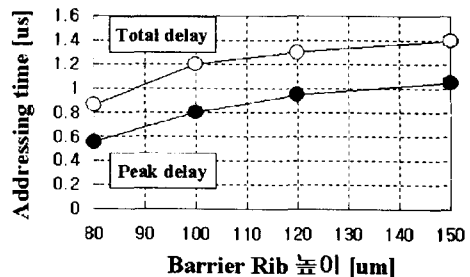


그림 6 Barrier Rib 높이에 따른 Addressing Time  
Fig 5 Addressing time as a parameter of barrier rib height

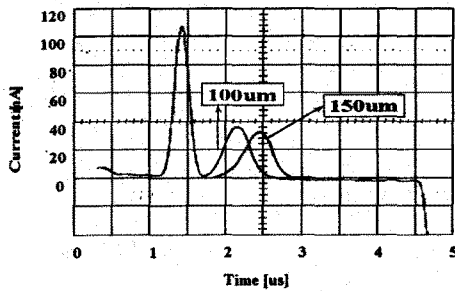


그림 7 Barrier Rib 높이에 따른 전류파형  
Fig 7 Current waveform as a parameter of barrier rib height

그림 6은 Barrier Rib 높이에 따른 addressing time을 나타내고 있다. Rib의 높이가 증가할수록 방전 지연 시간이 증가함을 알 수 있다. addressing 방전시에는 X전극과 Y전극 사이의 방전이므로 Rib의 높이가 증가할 경우 전극 사이의 간격이 증가하는 경우가 되므로 방전지연 시간이 증가하게 된다. 또한 Barrier Rib의 높이가 80μm 이하가 되면 sustain전압이 증가하게 되는데 그것은 방전공간의 감소로 인하여 발생된 plasma 확산이 격심하기 때문으로 추정된다. 따라서 Rib 높이가 100μm 이하가 되는 것은 바람직하지 않다.

그림 7은 Barrier Rib 높이가 100, 150μm 일때의 전류 파형을 나타내고 있다. 실험결과 Rib 높이가 10μm 감소시 addressing time이 약 4% 감소하였다.

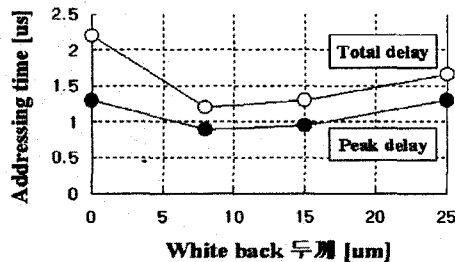


그림 8 White Back 두께에 따른 Addressing Time  
Fig 8 Addressing time as a parameter of white back thickness

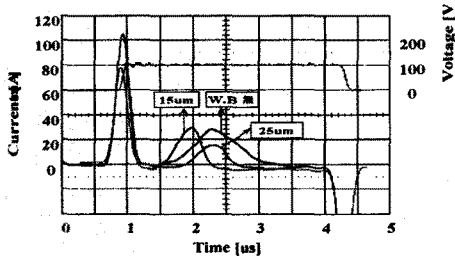


그림 9 White Back 두께에 따른 전류파형  
Fig 9 Current waveform as a parameter of white back thickness

그림 8은 하판의 White Back 두께에 따른 addressing시의 방전 지연 시간을 나타내고 있다. White Back의 경우도 상판의 유전체와 같이 방전 공간과 유전체를 직접 콘덴서 부하로 간주할 수가 있으므로 유전체의 두께가 증가하게 되면 방전공간에 인가되는 전압의 감소로 인하여 방전지연시간이 증가하게 된다. addressing때 발생한 전하는 scan 전극 측으로 유입되는 전하량만큼 어드레스 전극과 sustain 전극 상에 분배된다. 그리고 sustain 측으로 분배된 전하는 sustain 기간 중에 sustain 방전을 유지하도록 하는 벽전하로서의 역할을 하게 된다[1]. 따라서 어드레스 방전이 sustain 방전으로 이행하기 위해서는 반드시 sustain 전극 측으로의 전하 유입이 있어야 한다. 그러나, White Back이 없는 경우는 dc 방전과 유사한 형상을 나타내게 되어 어드레스와 스캔 전극측으로 모든 전하가 유입된다. 이는 곧 유지방전으로 이행하기가 어렵다는 것을 의미한다. 방전 delay를 계속한 결과 White Back이 없는 경우 다량의 전하가 address 측으로 유입되면서 전류 폭이 늘어남으로 인해 delay가 증가하는 것을 알 수 있었다. 그림 9는 White Back 두께에 따른 전류파형을 나타내고 있다. 실험결과 White Back을 2μm 감소 시 addressing time은 4% 감소하였다.

#### 4. 결론

본 논문에서는 addressing 방전시 상판의 유전체층 두께와 하판의 유전체 두께 및 barrier rib의 높이변화에 따른 addressing time과의 관계에 대해서 실험한 결과, 상판 유전체의 두께를 감소시킬 경우 약 5μm당 약 4%정도, 하판 유전체의 경우는 2μm당 4% 정도의 addressing time이 감소함을 알 수 있었다. 하판 구조에 따른 어드레스 속도 및 휘도와의 상관관계에 대하여 연구한 결과 barrier rib 높이가 100μm일 때 addressing 고속화 및 휘도 상승에 가장 유리하다는 것을 알 수 있었다.[2] 또한, 하판의 barrier rib 높이를 감소시킬 경우 10μm당 약 4%정도의 addressing time이 감소함을 알 수 있었다.

(참 고 문 헌)

- [1] C Punset et al, "Addressing and sustaining in alternating current coplanar plasma display panel", J. Appl. Phys. Vol.86, NO.1 1999
- [2] Y. K.Shin et al, "Kinetic and cell-geometry effects in AC PDP Simulation", SID 99 digest, 1999