

AC PDP의 새로운 ITO전극의 형상에 따른 Addressing 속도와 벽전하 분포

허민녕, 이성현, 박정후, 조정수  
부산대 전기공학과.

Addressing Speed and Wall charge Distribution  
in AC PDP being New ITO Electrode Structure

Min nyung Hur, Sung hyun Lee, chung hoo Park, Jung soo Cho  
Dept. of Electrical Engineering Pusan National University

**Abstract** - New ITO Electrode structure informed that the efficiency is increased by about 30% compared to the conventional type has been investigated during addressing period. As a result, the addressing time is decreased by about 20% compared to the conventional type. And wall charge distribution was analyzed quantitatively in three electrodes during addressing period.

의 투명전극을 제거함으로써 Plasma가 격벽으로 확산되어 사라지는 손실을 최소화함으로써 효율이 개선되는 구조이다.

1. 서 론

디지털 정보 시대의 발전과 함께 대형화, 경량화, 고정세화 등의 요구를 충족시킬 수 있는 디스플레이 소자로 ac PDP(Plasma Display Panel)가 각광을 받고 있다. 이는 기존의 CRT(Cathode Ray Tube)나 LCD(Liquid Crystal Display)에 비해 대형화가 용이하다는 장점 때문이다. 하지만 아직 ac PDP는 초기 단계로 실지의 양산까지는 해결해야 할 많은 문제를 안고 있다. 이러한 문제를 해결하기 위해서는 고효율, 고휘도를 가지는 새로운 셀 구조가 제안되어야 하고, PDP 가격의 절반 이상을 차지하는 고압 IC의 수를 줄일 뿐만 아니라 휘도를 증가시킬 수 있는 고속 addressing 방법이 제안되어야 한다.

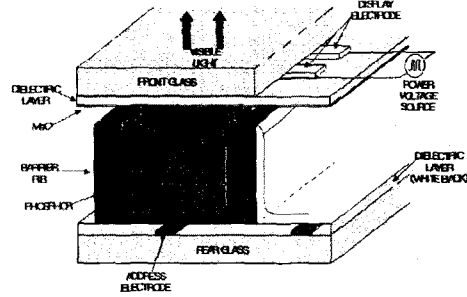


그림 1 AC PDP의 개략도  
Fig. 1 The schematic diagram of AC PDP

본 실험에서는 동일한 시료 제작 조건 하에서 시료의 특성을 비교하기 위해, 그림 2와 같이 시료를 2개의 동일한 기판 위에 제작하여, 제작 공정상의 오차를 최소화하도록 하였다. 하판은 그림 1의 구조와 같이 기존의 구조를 그대로 제작하여 실험에 사용하였다.

본 논문에서는 기존의 셀 구조에 비해 효율이 30% 이상 향상되는 것으로 보고되고 있는 새로운 Cell 구조에 대해 Addressing 기간 중의 Addressing Time을 측정하였으며, 그 결과 새로운 Cell 구조는 기존의 구조에 비해 Addressing Time이 약 20% 정도 줄어들었다. 그리고 그러한 새로운 Cell 구조의 Addressing 시의 3 전극간의 벽전하량을 정량적으로 제시하였다.

2. 본 론

2.1 실험 방법

그림 1은 현재 일반적으로 사용되고 있는 ac PDP의 개략도를 보여주고 있다. ac PDP의 상판에는 방전을 유지할 수 있도록 한 쌍의 투명전극이 형성되어져 있고, 투명전극의 저항을 낮추기 위해, 금속 버스전극(Cr/Cu/Cr)이 형성되어져 있다. 그 위에는 투명 유전층과, MgO 보호층이 프린팅법 및 스파터링법으로 각각 형성되어져 있다. 하판에는 방전을 제어하기 위한 Address 전극이 형성되어져 있고, 그 위에 유전층과 셀간의 구분을 위한 격벽이 형성되어 있다. 그리고 방전에 의해 발생된 진공 자외선(VUV, Vacuum Ultra Violet)을 가시광으로 변환시키기 위해 R, G, B 삼원색의 형광체가 도포되어 있다.

그림 2는 본 실험을 위해 제작된 ac PDP 셀의 상판 유지 전극의 모양과 하판의 격벽을 보여 주고 있다. 그림 2는 기존의 ac PDP와 효율이 30% 이상 상승되는 것으로 보고되고 있는 새로운 Cell 구조로서, 격벽 부근

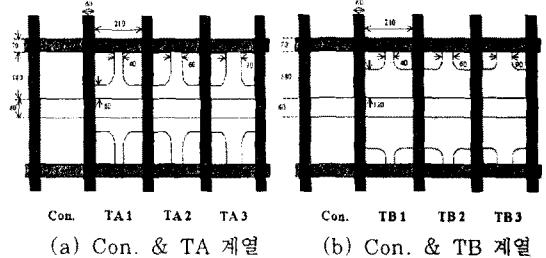


그림 2 기존 및 새로운 구조의 셀 구조  
Fig. 2 The Cell structure of conventional and New type

그림 3은 실험 장치 구성도이다. 실험 장치는 크게 방전특성 시험용 방전 챔버와 구동회로 부분, 계측부로 구성되어 있다. 방전챔버 내에는 실험을 위해 제작된 상판과 하판을 봉합하여 장착하고, 진공도를 10<sup>-3</sup>Torr까지 로타리 펌프로 초기 배기한 후, 10<sup>-6</sup>Torr까지 터보분자 펌프로 배기한다. 그런 후 He-Ne(30%)-Xe(2%) 가스를 주입하여 실험을 행하였다. 실험은 약 300개 셀을 집단 대상으로 하였다. Addressing Time계측은 Address 방전시 발생하는 방전 전류 파형을 전류 프로브를 이용하여 계측하고, 이것을 4 Ch 디지털 오실로스코프로 관측하여, 방전전류의 발생이 시작하는 지점과 끝나는 지점을 Addressing Time으로 정의하여 계측하였다. 구동회로 부분은 signal 발생부와 전압 공급부,

그리고 analog switching부로 구성되어 있고, Addressing 전압 인가시 rising time은 150ns를 유지하도록 설계하였다.

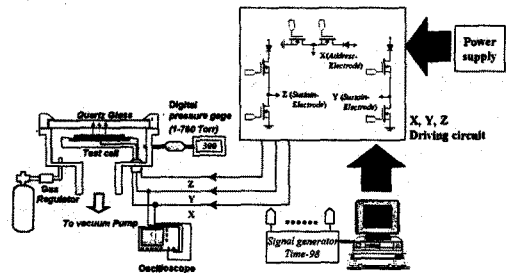


그림 3 실험 장치 구성도  
Fig. 3 The diagram of experiment system

그림 4는 본 실험에서 사용된 인가 파형의 개략도로서 전체 구성은 ADS(Address and Display period Separated) 방식[1]에 따랐으며, 전체 파형의 주기는 2ms로 하였다. 각 파형의 인가전압은 표 1과 같다. 각 전압 상태는 최적 Addressing 상태를 기준으로 하였다. 그리고 Vy 전압은 면방전으로 이행하지 않는 범위 내에서 가변하였다.

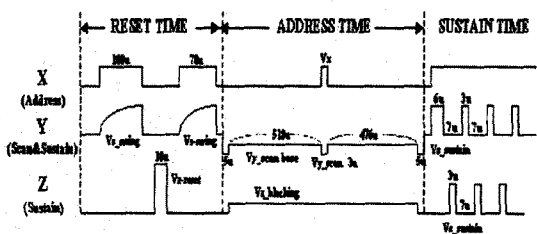


그림 4 인가 파형의 개략도  
Fig. 4 The schematic diagram of applied wave

Vy scan	-140 ~ -160 V
Vy scan base	-50 V
Vx	60 ~ 90V
Vz blocking	50 V
Vz Reset	350 V
Vs sustain & swing	180 V

표. 1 각 파형의 인가 전압  
Table. 1 The applied Voltage of waveform

2.2 실험결과 및 고찰

그림 5는 4" 패널 6라인에 대해 Addressing을 실행할 경우, X전압 상승시 각 전극 형상에 따른 Addressing Time을 나타내고 있다. X전압 상승 시, 각 전극 형상에 따른 Addressing Time으로, 서서히 줄어들고 있다. 이는 X 전압의 상승으로 X 전극과 Y 전극 사이의 Address 방전이 쉽게 일어날 수 있기 때문이다. 그리고 TA계열은 종래의 구조에 대해 Addressing 속도가 거의 동일하지만, TB계열은 속도가 종래의 구조에 비해 빨라진다. 이는 Addressing 방전의 주요 원인인 강한 전계와 전극에서의 정전용량 C로 설명할 수 있는데, 전극의 일부분을 제거할 경우, ITO 전극의 Edge 부분에 강한 전계가 유도되는 것과 전극에서의 C용량의 변화로 기인하는 것으로 생각된다. 그래서 TB계열이 TA계열에 비해 Addressing 속도가 개선이 되는 것은 전극의 용량이 증가했기 때문이다.

그림 6은 Y전압 상승시 각 전극 형상에 따른 Addressing Time을 나타내고 있다. 동일하게 Y전압 상승 시에도 Addressing 속도가 개선되는 것을 볼 수 있다. 이 또한 Y전압의 상승으로 Address 방전이 용이하게 되어지기 때문이다.

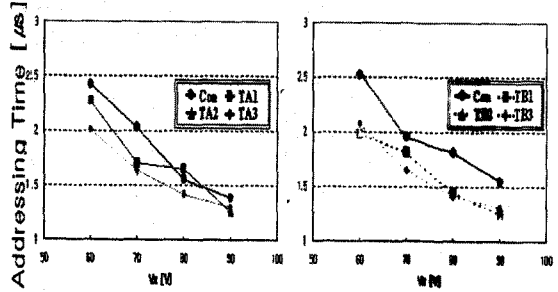


그림 5 X전압에 따른 Addressing Time  
Fig. 5 The Addressing Time of parameter Vx

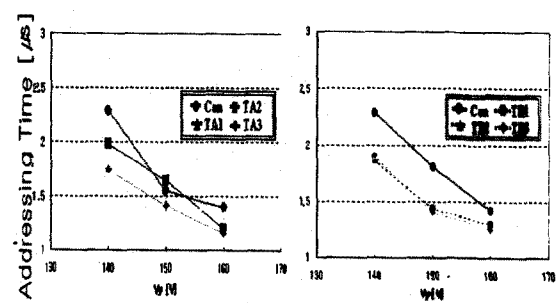


그림 6 Y전압에 따른 Addressing Time  
Fig. 6 The Addressing Time of parameter Vy

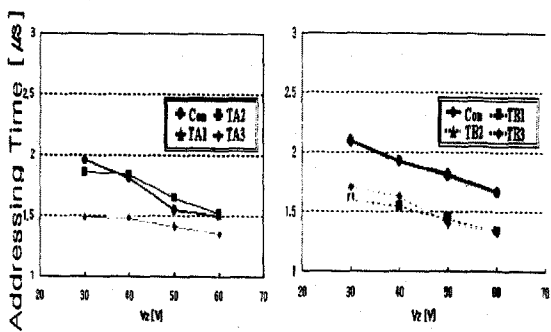


그림 7 Z전압에 따른 Addressing Time  
Fig. 7 The Addressing Time of parameter Vz

그림 7은 Z전극의 전압을 상승할 때의 Addressing Time을 보여 주고 있다. 동일하게 Vz 전압이 상승할 때에도 Addressing Time이 개선되는 것을 알 수 있다. 그 이유는 Vz 전압의 증가로 인해, 각 전극간의 전계 분포를 X, Y 전극 사이에 밀집 시켜 주므로 Address 방전이 용이하게 형성이 되게 하기 때문이다.

그림 8은 Addressing시 X 전압이 상승할 때의 X전극으로의 유입 벽전하를 보여주고 있다. X전압이 상승할 때에 X측으로의 유입 벽전하량은 증가한다. 이는 전압의 상승으로 인해 X와 Y 전극사이에 강한 방전이 발생하여 Plasma양이 증가하기 때문이다. 그리고 전극의

형상간 경향은 거의 비슷하다. 또한 Y 전압이 증가할 때에도 X 전압 상승 때와 유사한 양상을 보인다.

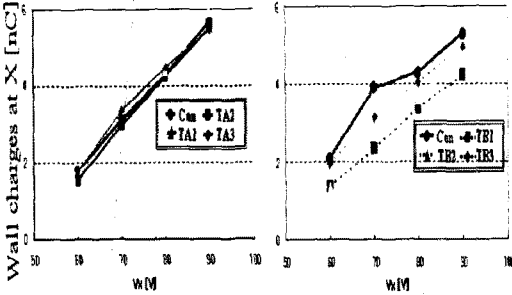


그림 8 X 전압에 따른 X 전극으로의 유입 벽전하  
Fig. 8 The Wall Charges at X of parameter Vx

그림 9는 Z 전압이 상승할 때의 경향으로, Z 전압이 상승할 때에는 X축으로 유입되는 벽전하량이 포화되는 경향을 보이는데, 그 이유는 Z 전압의 상승으로 인해 Plasma 양은 증가하였지만 Z 전극 쪽으로 유입되는 벽전하량도 상대적으로 증가하기 때문이다.

각 전극의 전압 상승으로 인한, Z 전극으로의 유입 벽전하는 전압이 상승할 때에 유입 벽전하 량도 증가한다. 이는 각 전극의 전압 상승으로 인해 강 방전이 형성되어 Plasma 량이 증가하기 때문이다. 특이할 점은 X 전압이 상승할 때에는 Z 전극으로의 유입 벽전하 량이 증가하다가 포화하는 경향을 띄는데, 그 이유는 Address 방전에 의해 발생된 벽전하를 X와 Z 전극으로 나누어 가져 분배되기 때문이다.

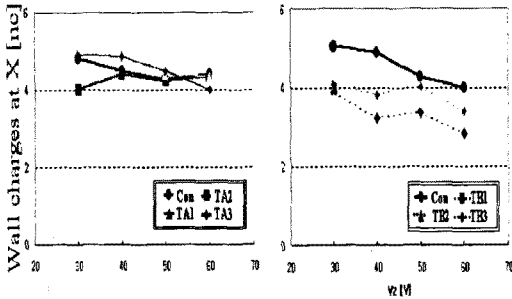


그림 10

그림 9 Z 전압에 따른 X 전극으로의 유입 벽전하  
Fig. 9 The Wall Charges at X of parameter Vz

### 3. 결 론

본 논문에서는 새로운 Cell 구조의 ac PDP의 Addressing 속도 및 각 전극의 전압에 따른 벽전압 분포에 대한 다음과 같은 결과를 얻을 수 있었다.

첫째, X, Y, Z 전압이 증가할 때에 Addressing Time이 줄어 들어들었다. [3]

둘째, 기존의 Conventional Type에 비해 새로운 Cell의 ac PDP가 동일한 구동 조건에 대해 Addressing Time이 20% 감소하였다.

셋째, Addressing시 각 전극의 전압 조건에 따른 각 전극으로 유입되는 방전전류를 계측함으로써 Addressing시의 벽전하 분포를 정량적으로 해석할 수 있었다.

### (참 고 문 헌)

- [1] T. Shinoda, "Research & Development of surface discharge color plasma display Technologies" ASID 98, 1998
- [2] C Punset et al, "Addressing and sustaining in alternating current coplanar plasma display panel", J. Appl. Phys. Vol.86, NO.1 1999
- [3] Y. K.Shin et al, "Kinetic and cell-geometry effects in AC PDP Simulation", SID 99 digest, 1999