

## SiGe HBT 소자의 높은 차단 주파수 특성을 위한 Ge profile 연구

김성훈\*, 김경해\*, 이홍주\*\*, 엄병렬\*\*\*, 이준신\*  
 성균관대학교 전기전자 및 컴퓨터 공학부\*  
 상명대학교 컴퓨터·정보·통신 학부\*\*, ASB Inc.\*\*\*

## OPTIMUM Ge PROFILE FOR HIGHER CUT OFF FREQUENCY OF SiGe HBT

\*Sunghoon Kim, \*Kyunghae Kim, \*\*Hoongjoo Lee, \*\*\*Byungrul Ryum and \*Junsin Yi

\*Department of Electrical and Computer Engineering, Sungkyunkwan University

\*\*Division of Computer-Information-Telecommunication Science, Sangmyung University, \*\*\*ASB Inc.

**Abstract** - This paper analyzes the effects of Ge profiles shape of SiGe heterojunction bipolar transistors (HBT's) for high frequency application. Device simulations using ATLAS/BLAZE for the SiGe HBT with trapezoidal or triangular Ge profile are carried out to optimize the device performance. An HBT with 15% triangular Ge profile shows higher cut-off frequency and DC current gain than that with 19% trapezoidal Ge profile. The cut-off frequency and DC gain are increased from 42GHz to 84GHz and from 200 to 600, respectively.

## 1. Introduction

최근 약 10년 동안 SiGe 이중접합 쌍극자 트랜지스터 (HBTs) 공정의 발전이 빠르게 진행되었다. SiGe HBT 소자는 일반적인 Si 계열의 쌍극자 트랜지스터의 Si 영역 대신에 얇은 Strained SiGe 으로 베이스층을 대체한 소자이다. 이중 재료의 밴드갭 특성과 고품위의 성장기술, 기생성분의 영향을 줄이는 기술, 베이스의 폭과 도핑농도 조절 등으로 베이스 저항의 증가나 Early voltage의 감소 없이 고주파 특성의 향상을 얻을 수 있어 SiGe은 이동통신기기 등과 같은 고주파 소자 응용에 있어서 III-V 소자들을 대체할 물질로 주목받고 있다. 이에 관한 많은 연구들이 수행되었으나 트랜지스터 구조를 최적화 하기 위하여 DC 와 small signal 소자 특성의 이론적인 연구가 아직도 많이 남아있는 상태이다.

본 논문에서는 소자 시뮬레이션을 통하여 SiGe HBT 소자의 차단주파수  $f_T$ 의 향상을 위하여 베이스 층에서의 Ge profile의 효과를 연구하였다. SiGe HBT 소자는 a production CVD reactor를 사용하여 제작되어졌다.

## 2. Simulation and Device fabrication

그림 1에 SiGe HBT의 단면도를 나타내었다. 비소가 (As) 이온 주입된 매몰 컬렉터 상에 상압 CVD를 이용하여 1100°C에서  $\text{SiH}_2\text{Cl}_2$  가스를 주입하여 분당 1.2 $\mu\text{m}$  증착율로 0.6 $\mu\text{m}$ 의 두께를 가진 도핑이 되지 않은 컬렉터 에피층을 성장시켰다. Si 과 SiGe 층을 산화막으로 격리된 웨이퍼상에 상압 CVD 장비를 사용하여 성장시킬 때 loading 효과에 의해서 아주 심한 박막 두께의 차이를 발생시킨다. [1] 또한 박막 두께에 따른 패턴이 민감도에 따라 달라지므로 압력을 줄이는 것이 좋다[2]. 도핑이 되지 않은 Si 층은 EB 접합 용량을 줄이고 터널링을 피하기 위한 목적으로 사용되었다. 두께가 300Å인 산화막을 통해서 30keV의 에너지와 6 $\times 10^{15}\text{cm}^{-2}$ 의 도즈량

으로  $\text{BF}_2$ 를 이온주입하여 외인성 베이스 영역의 붕소 농도 피크치가 8 $\times 10^{19}\text{cm}^{-3}$ 을 갖게 하였다.  $\text{TiSi}_2$  타겟을 스퍼터링 하여 2000Å의 두께의  $\text{TiSi}_2$  층을 증착하였고 베이스의 전극으로 사용하였다. Si 리치 타겟을 사용한 이유는 Si의 손실을 줄이고, 또한 베이스와 컬렉터의 단락을 줄이기 위한 것이다.

## 3. Results and discussion

그림 2는 소자 제작 완료 후의 진성 SiGe HBT의 SIMS profile을 나타낸다. E-B간 Si-spacer의 두께는 300Å이다. Ge의 함량은 EB 접합 부분에서 선형적으로 0% 부터 증가하여 최대 붕소 (boron) 농도가 4.4 $\times 10^{18}\text{cm}^{-3}$ 을 갖는 200Å SiGe 층을 가로 질러 0.19% 까지 증가한다. CB간 SiGe-spacer층은 Ge 함량이 0.19%로 균일하게 형성되었다.

이상적인 베이스 전류는 에미터 베이스의 터널링 전류와 에미터와 베이스의 접합 전류에 의해 생긴다. 그것은 그림 2로부터 알 수 있다. DC 전류 이득 대  $I_c$  특성을 그림 3에 나타내었다. DC 전류 이득은 10nA 일때의 20에서부터 최대 약 1mA에서의 200까지 증가한다. 또한,  $V_{CB}$ 에 따른 미소한 DC 전류 이득의 변화를 그림 3에 나타내었다. 이것은 CB 접합에 도핑이 되지 않은 SiGe spacer 삽입하고 낮은 온도에서 RTA를 사용하는 것으로  $p^+$  SiGe 베이스 층으로부터의 붕소의 out-diffusion을 막아주어서 효과적으로 기생 전위장벽 효과를 최소화 할 수 있다는 것을 의미한다. 어닐링 후의 기생 성분들은 전극, 전극으로부터의 접촉면, 측정된 S-parameters,  $f_T$ ,  $f_{max}$  값으로부터의 상호 관계에서도 연관되어 있다. 각각의 값들은 그림 4에 나타내어진 AC 전류 이득 ( $h_{21}$ ) 과 unilateral power gain (U) 대 주파수의 그래프에 -20dB/decade 선을 그어 추출하였다. 그림 5에  $f_T$  와  $f_{max}$  대  $I_c$  특성을 나타내었으며 각각 그 피크 값이 37과 42 GHz 이었다. 이 트랜지스터가 동작하기 위해서는  $BV_{CEO}$ 가 3.5V정도가 되어야 하므로  $f_T$ 의 피크치는  $f_T$ 와  $BV_{CEO}$ 의 관계에서 거의 이론적 한계에 도달하였다.

그림 6에 ATLAS/BLAZE 모델을 사용한 소자 시뮬레이션에서 사용된 SiGe HBT 소자의 도핑 profile과 trapezoidal Ge profile을 나타내었다. 모든 소자의 파라미터와 모델들은 trapezoidal Ge profile의 베이스 층을 갖는 SiGe HBT로부터의 실험 결과값에 캘리브레이션 되었다. 베이스에서의 Ge 농도는 에미터-베이스 접합(0%) 으로부터 베이스-컬렉터 접합부(19%) 까지 선형적으로 증가 시켰다. 이 트랜지스터는 시뮬레이션된 DC 전류 이득의 피크값이 그림 8에 보여진 바와 같이 약 200을 갖으며 이것은 실험값과 비교해 볼 때 잘 일치함을 알 수 있다. 또한, 시뮬레이션된 차단 주파수  $f_T$  값은 그림 9에서와 같이 약 45GHz 이었다.

최적의 Ge profile은 파라미터들이 calibrate된 소자 시뮬레이션에 의해서 얻을 수 있다. 그림 7은 SiGe HBT의 최적화된 도핑 profile과 triangular Ge profile을 나타낸다. 그림 8과 그림 9에 약 320의 DC 전류 이득과 84GHz의 차단주파수  $f_T$ 의 시뮬레이션 결과를 나타내었다.

시뮬레이션 결과에 기초하여 triangular 모양의 Ge profile을 갖는 SiGe HBT는 처음의 소자와 같은 제작 공정에 의하여 제작되었다. 그림 10과 그림 11에 실제 작된 소자의 전류 이득값 ( $\beta=675$ ) 및 차단 주파수 ( $f_T=84\text{GHz}$ )를 나타내었다.  $BV_{CEO}$ 는 2.6V 이었다. SiGe HBT의 베이스 영역의 triangular 모양의 Ge의 경사는 고주파 동작에 있어서 더 나은 특성을 제공한다. 소자 시뮬레이션은 triangular Ge profile을 갖게 디자인된 HBT의 차단 주파수 특성을 정확하게 예측하였으나 실험시의 DC 전류 이득은 시뮬레이션과 비교하여 더 높게 나온 것을 알 수 있었다.

#### 4. Summary

SiGe HBT의 Ge profile의 효과를 소자 시뮬레이션을 사용하여 연구하였다. 시뮬레이션은 소자 파라미터를 맞추는 것과 모델들을 적용하는 것에 의해서 수행되었다. 파라미터는 trapezoidal Ge profile을 갖는 HBT 소자의 실험값에 calibrate 되었다. HBT의 고주파 특성을 개선하기 위하여 triangular 모양을 갖는 15% Ge profile은 60nm의 베이스를 선택하였다. SiGe HBT는 Si 클리터 대해서는 높은 성장률 ( $>1.2\mu\text{m}/\text{min}$ ), Si/SiGe 베이스 층에 대해서는 낮은 성장률 ( $\sim 20\text{\AA}/\text{min}$ )을 모두 제공할 수 있는 a production CVD reactor 사용하여 제작되었다. Triangular Ge profile을 갖는 SiGe HBT의 차단주파수는 trapezoidal Ge profile을 갖는 구조와 비교하여 84GHz로 더욱 높은 특성을 나타내었으며 DC 전류 이득이 개선되었다.

#### (참 고 문 헌)

- [1] D. L. Harnam, J. H. Comfort, J. D. Cressler, and T. Tice. Si/SiGe Epitaxial-Base Transistors-Part II: Process Integration and Analog Applications. IEEE Trans., Electron Devices, V.42, N.3, March 1995.
- [2] Kamins, T.I., Pattern sensitivity of selective Si<sub>1-x</sub>Ge<sub>x</sub> chemical vapor deposition: Pressure dependence. J.Appl.Phys. V.74, N.9, p5799, Nov. 1993.
- [3] Prinz, E.J., Sturm. Current Gain-Early Voltage Products in Heterojunction Bipolar Transistors with Nonuniform Base Bandgaps J., IEEE Electron. Device Lett., EDL-12, 42, V.12, N.12, Dec. 1991.
- [4] Ryum, B.R. and Kim, S.I., The Effect of Dopant Outdiffusion on the Neutral Base Recombination Current in Si/Si Ge/Si Heterojunction Bipolar Transistors ETRI J., V.15, No. 3/4, January 1994.
- [5] Ryum, B.R. and Han, T.-H. MBE-grown SiGe base HBT with polysilicon-emitter and TiSi<sub>2</sub> base ohmic layer. Solid State Electron., V.39, N.11, p1643, Nov. 1996.

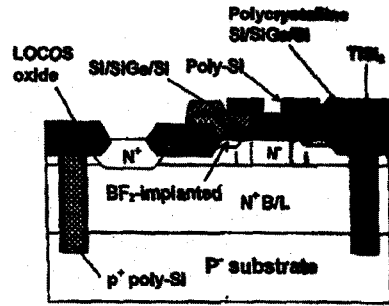


Fig. 1. Schematic cross section of the SiGe HBT.

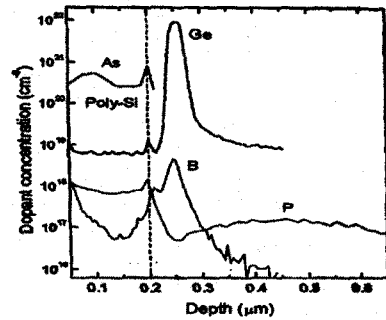


Fig. 2. SIMS profile of the intrinsic device region.

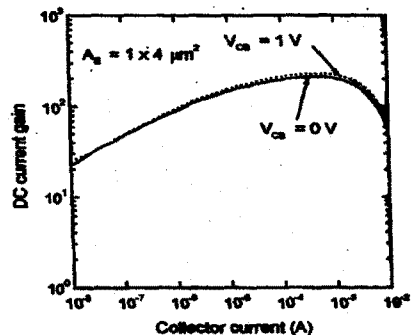


Fig. 3. DC current gain versus collector current.

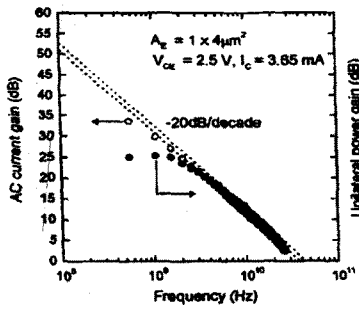


Fig. 4. AC current gain and unilateral power gain versus frequency.

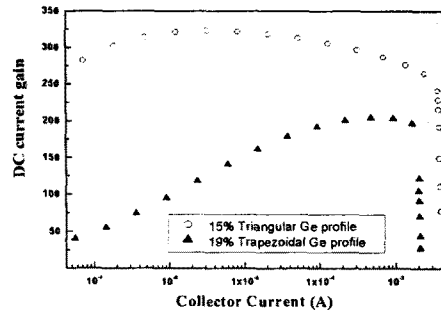


Fig. 8. Simulation result for DC current gain versus collector current.

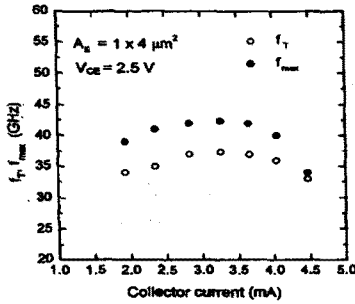


Fig. 5. Collector current dependence of  $f_T$  and  $f_{max}$ .

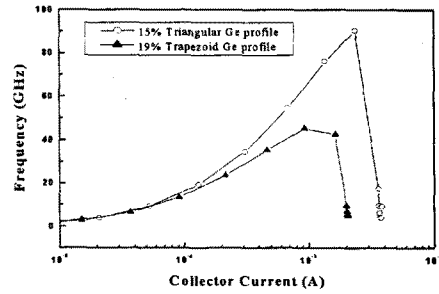


Fig. 9. Simulation result for collector current dependence of  $f_T$ .

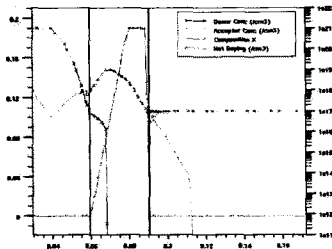


Fig. 6. Doping profile and trapezoidal Ge profile for device simulation.

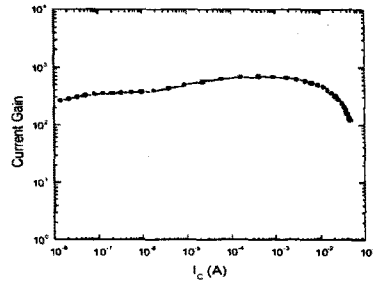


Fig. 10. DC current gain versus collector current (Triangular Ge profile).

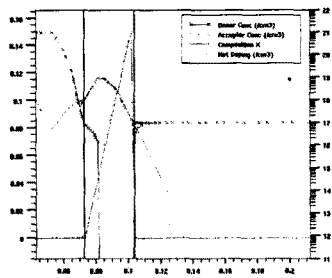


Fig. 7. Doping profile and triangular Ge profile for device simulation.

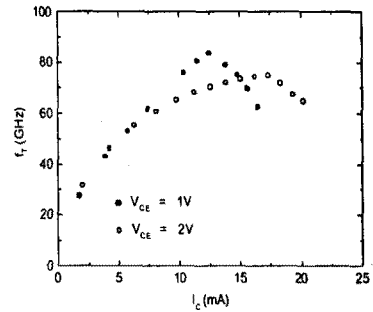


Fig. 11. Collector current dependence of  $f_T$  and  $f_{max}$  (Triangular Ge profile).