

트렌치 드레인과 경사진 게이트를 갖는 SOI LDMOS

김선호, 최연익
아주대학교 분자과학기술학과

A SOI LDMOS with Trench Drain and Graded Gate

Sun-Ho Kim and Yearn-ik Choi
Department of Molecular Science & Technology, Ajou University

Abstract - A SOI LDMOS with trench drain and graded gate is proposed to improve the on resistance. The proposed structure can decrease the on resistance by reducing the path of electron current. Simulation results by SUPREM and MEDICI have shown that the on resistance of the LDMOS with trench drain and graded gate was 14.8 % lower than conventional LDMOS with graded gate.

1100 °C에서 100분간 건식산화의 방법으로 만들었다. 표 1은 시뮬레이션에 사용된 여러 변수들의 값을 나타낸다. 이들 소자에 대한 on 특성과 항복특성은 MEDICI를 사용하여 조사하였다.

1. 서 론

SOI(Silicon-On-Insulator)기술은 절연격리가 용이하고, 고온에서의 누설전류가 작고, 기생 캐패시턴스가 작으며, 직접도를 향상시킬 수 있다[1]. 특히 SOI 기판위에 제작된 LDMOS는 높은 항복전압과 빠른 동작속도를 얻을 수 있기 때문에 PIC(Power Integrated Circuit)에 적합한 소자이다.

SOI LDMOS의 설계변수로 중요한 것이 on 저항과 항복전압이다. 드리프트 영역의 농도를 낮추어 항복전압을 향상시키면 on 저항은 증가하게 되고, 농도를 높이면 on 저항은 감소하지만 항복전압은 떨어지게 되는 trade-off 관계가 있다. 따라서 주어진 항복전압에서 가장 낮은 on 저항을 얻을 수 있도록 소자를 설계하는 것이 중요하다 [2].

최근 Shuming Xu등[3][4]은 게이트를 형성한 후 p 베이스를 확산하는 동안 게이트 끝단의 산화막을 재성장시켜 게이트 끝단의 전계 집중을 완화시켜 항복전압을 향상시킨 경사진 게이트를 갖는 구조를 제안하였다. 그러나 경사진 게이트를 갖는 구조는 높은 항복전압을 얻을 수 있지만 재성장된 산화막은 전류가 흐르는 드리프트 영역 표면 아래로 내려와 전류가 흐르는 경로가 길어져 on 저항이 증가하게 된다.

본 논문에서는 경사진 게이트를 갖는 LDMOS의 장점인 높은 항복전압을 유지하고, 단점인 on 저항의 증가를 개선하기 위해 트렌치 드레인과 경사진 게이트를 갖는 LDMOS를 제안하였다. 이 구조는 드리프트 영역 표면에 집중되는 전류를 전 영역으로 분산시켜 낮은 on 저항을 얻을 수 있다. 기존의 구조와 제안한 SOI LDMOS의 항복특성과 on 특성을 SUPREM[5]과 MEDICI[6]를 사용하여 비교 검토하고 그 타당성을 검증하였다.

2. 본 론

그림 1은 시뮬레이션에 사용한 소자들의 단면도를 나타낸다. 그림 1(a)는 일반적인 SOI LDMOS를 나타내고, 그림 1(b)는 경사진 게이트를 갖는 SOI LDMOS 그리고 그림 1(c)는 제안된 트렌치 드레인과 경사진 게이트를 갖는 SOI LDMOS이다. 경사진 게이트를 만들기 위해서 SUPREM로 공정 시뮬레이션을 먼저 수행하였다. 그림 1(b)와(c)에서 경사진 게이트는 게이트를 형성한 후

표 1. 시뮬레이션에 사용한 변수들

변수		값
n 드리프트영역	두께, t_{dr} [μm]	2
	길이, L_{dr} [μm]	1.8
	농도, N_{dr} [cm^{-3}]	1×10^{16}
p- 베이스	표면농도, N_b [cm^{-3}]	2×10^{17}
	접합깊이, X_p [μm]	1
n 소오스	표면농도, N_s [cm^{-3}]	1×10^{20}
	접합깊이, X_j [μm]	0.25
매몰산화막의 두께, [μm]		2
기판의 농도		1×10^{16}

2.1 항복전압 특성

항복전압을 계산하기 위해서 게이트와 소오스를 접시시키고, 드레인에 양의 전압을 인가했다. 기존의 구조, 경사진 게이트를 갖는 구조와 제안한 트렌치 드레인과 경사진 게이트를 갖는 구조의 항복전압은 각각 33.3 V, 44.5 V와 44.4 V로 경사진 게이트를 갖는 구조와 제안한 구조가 기존의 구조보다 33.6 %항복전압이 향상되었다. 그림 2는 드레인에 30 V의 전압이 인가되었을 때의 공핍층내에서의 등전위선의 분포를 나타낸다. 여기서 실선은 등전위선을 나타내고 접선은 공핍층의 경계를 나타낸다. 그림에서 보듯이 기존의 구조는 산화막의 두께가 얇아 게이트 끝단(A)에서 등전위선이 조밀하게 분포하고있는 것을 확인할 수 있다. 이에 반해 경사진 게이트를 갖는 구조는 위로 올려진 산화막에 의해서 게이트 끝단(A')에서 등전위선이 더 균일하게 분포하는 것을 볼 수 있다. 따라서 경사진 게이트를 갖는 SOI LDMOS는 기존의 소자에 비해 높은 항복전압을 얻을 수 있음을 확인할 수 있다.

2.2 on 저항 특성

소자의 on 저항 특성을 조사하기 위해 게이트에 10 V의 전압을 인가하고 드레인의 전압을 증가시키면서 그 특성을 조사하였다. 게이트 전압 10 V, 드레인 전압 0.1 V를 인가했을 때 경사진 게이트를 갖는 구조와 경사진 게이트에 트렌치 드레인을 적용한 구조의 on 저항은 각각 82.5 $\text{m}\Omega \cdot \text{mm}$, 70.3 $\text{m}\Omega \cdot \text{mm}$ 로 트렌치 드레인을 적용한 경우 on 저항이 14.8 %감소하였다. 그림 3은 게이트 전압 10 V, 드레인 전압 0.1 V를 인가했을 때의 전류 흐름을 나타낸다. 그림에서 보듯이 경사진 게이트를 갖는 구조는 드리프트 영역의 면적에 대해 전류 흐름 분포가 작고 드레인쪽으로 휘어 들어가는 전류의 경로가 형성되어 있다. 이에 반해 경사진 게이트에 트렌치 드레인을 적

용한 구조는 드레인이 매몰층 산화막까지 내려와 있으므로 전류의 경로가 거의 직선화 되어 on 저항이 감소하게 된다.

같은 항복일 때 on 특성을 비교하기 위해서 각각의 구조에 대해 항복전압이 40 V가 되도록 드리프트 영역의 농도를 조정해 주었으며 그때의 드리프트영역의 농도와 on 저항을 표 2에 나타내었다. 표 2에서 알 수 있듯이 제안한 SOI LDMOS의 on 저항은 $63.4 \text{ m}\Omega \cdot \text{mm}^2$ 로 일반적인 소자에 비해 29 %, 경사진 게이트를 갖는 구조에 비해서도 14.3 % 향상된 우수한 특성을 보였다.

표 2. 항복전압이 40 V일 때의 on 저항

SOI LDMOS 구조	드리프트영역농도 [cm^{-3}]	on 저항 [$\text{m}\Omega \cdot \text{mm}^2$]
일반적인 구조	7.6×10^{15}	89.3
트렌치 드레인 적용	7.6×10^{15}	76
경사진 게이트 적용	1.2×10^{16}	74
트렌치 드레인 & 경사진 게이트 적용	1.2×10^{16}	63.4

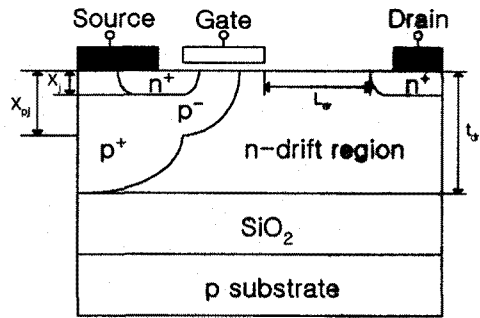
3. 결 론

기존의 경사진 게이트를 갖는 소자의 on 저항 특성을 향상시킨 트렌치 드레인과 경사진 게이트를 갖는 새로운 SOI LDMOS를 제안하였다. 제안한 구조는 기존의 구조보다 드리프트 영역에서의 전류 분포가 더 커지고 전류 경로가 줄어들어 on 저항이 감소함을 알 수 있었다. 시뮬레이션 결과 제안된 구조는 기존의 구조보다 on 저항이 14.8 % 향상되었다.

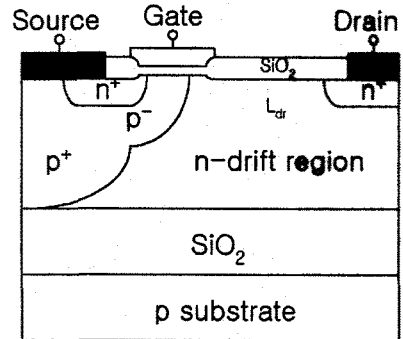
이 논문은 아주대학교 95년도 연구용 기자재 지원과 과학기술부와 산업자원부의 지원에 의한 <시스템집적 반도체기반기술개발사업>의 일환으로 작성되었음.

[참 고 문 헌]

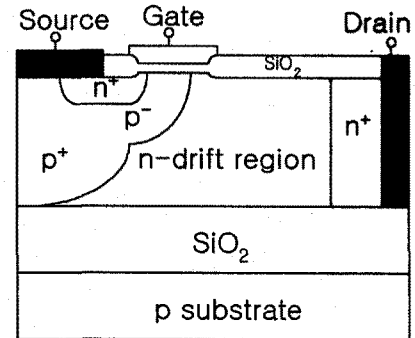
- [1] B.Murari, F.Bertotti and G.A.Vignola *Smart PowerICs*, Springer, 1996.
- [2] Der-Gao Lin, S.larry Tu, Yee-Chaung See, and Pak Tam, "A Novel LDMOS Structure with a Step Gate Oxide," *IEDM Tech. Dig.*, pp. 963-965, 1995.
- [3] Shuming Xu, and Pang Dow Foo, "RF LDMOSFET with Graded Gate Structure," *ISPSD*, pp. 221-224, 1999.
- [4] Shuming Xu, Kian Paau Gan, Pang Dow Foo, Yi Su, and Yong Liu, "Graded Gate VDMOSFET," *IEEE Electron Device Letters*, vol. 21, no. 4, APRIL, 2000.
- [5] SUPREM "Two-Dimensional Process Simulation Program," *TMA User's Manual*, 1996.
- [6] MEDICI "Two-Dimensional Device Simulation Program," *TMA User's Manual*, 1996.



(a)



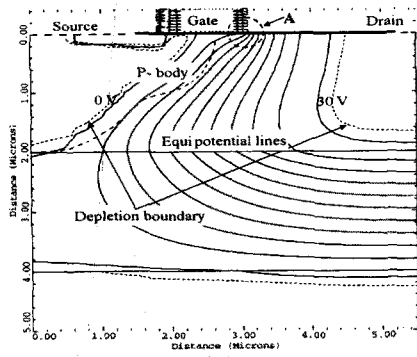
(b)



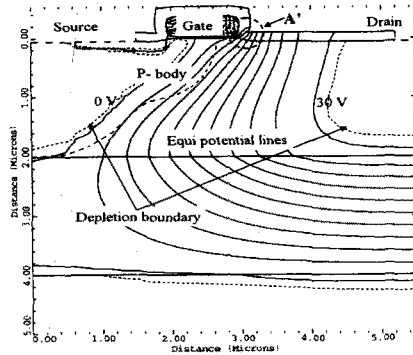
(c)

그림 1 SOI LDMOS의 단면도

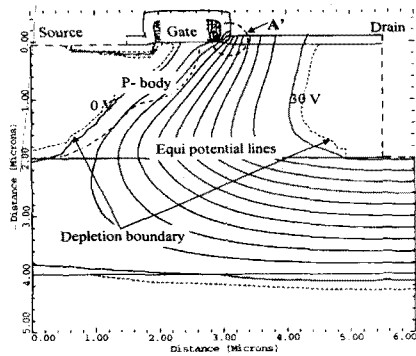
- (a) 일반적인 구조
- (b) 경사진 게이트를 갖는 구조
- (c) 트렌치 드레인 및 경사진 게이트를 갖는 구조



(a)

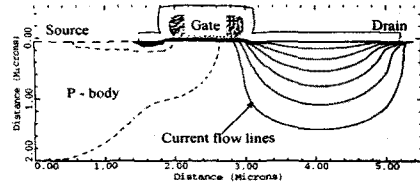


(b)

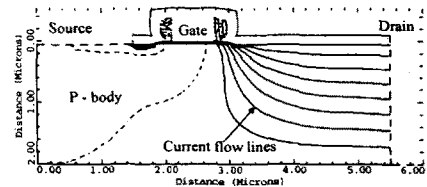


(c)

그림 2. $V_{DS}=30\text{ V}$ 인 경우 SOI LDMOS의 공핍층의 등전위선 분포
 (a) 일반적인 구조
 (b) 경사진 게이트를 갖는 구조
 (c) 트랜치 드레인과 경사진 게이트를 갖는 구조



(a)



(b)

그림 3 $V_{GS}=10\text{ V}$, $V_{DS}=0.1\text{ V}$ 일 때 전류의 흐름도
 (a) 경사진 게이트를 갖는 구조
 (b) 트랜치 드레인과 경사진 게이트를 갖는 구조