

이동통신 단말기에 이용되는 적층 칩 써미스터 제작

윤 종 략*, 이 현 용**, 김 지 균**, 이 석 원***
 삼화콘덴서 연구소*, 명지대학교 전기공학과**, 호서대학교 제어계측공학과***

The Fabrication of Multilayer Chip NTC Thermistor
 for Mobile Communication Telephone

Jung-Rag Yoon*, Heon-Yong Lee**, Jee-Gyun Kim**, Suk-Won Lee***
 Samwha Capacitor Ltd*, Myong-Ji Uni. Electrical Eng**, Hoseo Electrical Eng***

Abstract - Oxides of the form $Mn_3O_4-Co_3O_4-NiO$ present properties that make them useful as multilayer chip NTC thermistor for mobile communication telephone. When $Mn_2Ni_xCO_{1-x}O_4$ composition with the $X = 0.12 \sim 0.24$ at sintered temperature $1250^\circ C$, resistivity and B-constant were $300 \sim 450[\Omega-cm]$ and $3250 \sim 3450$, respectively. Multilayer chip NTC(Negative Temperature Coefficient) resistor was fabricated with 4 layer by a conventional multilayer capacitor techniques, using 100 pd paste as internal electrode and $Mn_2Ni_{0.2}CO_{0.8}O_4$ composition as NTC materials. In particular, resistance change ratio (ΔR), the important factor for reliability, varied within $\pm 3\%$, indicating the compositions of multilayer chip NTC thermistor products could be available for mobile communication telephone.

기적 특성을 만족시키기 어려웠다. 따라서 최근에는 적층 칩 공정을 이용한 적층형 칩 NTC 써미스터의 개발이 주류를 이루고 있다.⁽³⁾ 적층 칩 써미스터의 특징으로는 식 (1)에서 보듯이 저항 R을 가변할 수 있는 파라미터로서 재료의 비저항 ρ 뿐만 아니라 전극간 거리 l, 전극 면적 A, 층수 N을 조절함으로써 원하는 저항값을 얻을 수 있는 장점이 있다.

$$R = \rho \times \left(\frac{l}{A}\right) \times N \quad [\Omega] \quad \text{--- (1)}$$

따라서 본 논문에서는 적층형 구조를 이용하여 배터리 팩의 온도 센서용으로 쓰이는 적층 칩형 NTC를 제작하고자 한다. 적층 칩 NTC 써미스터의 제작을 위한 원료 특성을 얻기 위하여 $Mn_2Ni_xCO_{1-x}O_4(X = 0.12 \sim 0.24)$ 의 조성에 대하여 소성 온도 및 X에 따른 전기적 특성을 고찰하였으며 또한 상기 원료에서 비저항 및 B-정수를 고려하여 이동통신용 배터리 팩에 이용되는 적층 칩 NTC 써미스터를 제작하여 이동통신용 배터리 팩 칩 써미스터로서의 응용 가능성을 검토하였다.

1. 서 론

2. 실험방법

NTC(Negative Temperature Coefficient) 써미스터는 일반적으로 Mn, Ni, Co, Fe, Cr 등의 철이 금속산화물을 소결한 반도체로서 온도 상승에 따라 저항이 지수적으로 감소하는 성질을 가지고 있으며 온도계수가 금속에 비하여 10배 이상 높으며 가공이 용이하여 다양한 형상의 소자로서의 적용이 가능하다.⁽¹⁾ NTC 써미스터는 자기 발열을 무시할 수 있는 부하조건에서 주위의 온도에 따라 저항이 감소하는 저항-온도 특성과 주위온도를 일정하게 유지한 상태에서 부하전류를 증가시키에 따라 자기 발열 및 열방산에 의해 저항값이 변화하는 전류-전압 특성을 갖는다. NTC 써미스터의 주 용도는 저항-온도 특성을 이용한 온도 측정을 위한 센서용과 회로의 온도 보상을 위한 온도 보상용(temperature compensation) 써미스터가 있으며 전류-전압 특성과 전류-시간 특성을 이용한 돌입전류 제한용 써미스터가 있다.⁽²⁾ 센서 및 회로 온도보상용 용도로 가전제품에 채용되는 NTC 써미스터의 대부분이 리드선이나 케이스로서 구성된 제품이 대부분을 차지하고 있으나 최근에는 이동통신용 단말기 및 소형 정량화가 요구되는 제품의 수요가 급증함에 따라 표면 실장형 칩 NTC의 수요가 급증하고 있다. 이동통신 단말기에서 적층 칩 NTC가 이용되는 곳은 TCXO(Temperature Coefficient Crystal Oscillator), Power Amplifier, 배터리 팩(Battery Pack)등이 있으며 특히 고성능 2차 전지의 보급이 확대됨에 따라 충전회로의 제어를 위한 파라미터 관리용 NTC 써미스터의 수요가 급증하고 있다. 표면실장형 써미스터의 경우 기존에는 단판구조를 사용하였으나 저저항이면서 고 B정수를 가지는 재료 또는 고저항이면서 저 B 정수를 가지는 재료의 개발이 어려우므로 이동통신용 단말기 이용되는 전

2.1 원료 제조 및 측정

본 실험에서 사용한 원료는 Mn_3O_4 , Co_3O_4 및 NiO로서 99.9%의 순도를 갖는 원료를 사용하였으며 $Mn_2Ni_xCO_{1-x}O_4(X = 0.12 \sim 0.24)$ 의 조성에서 X를 0.04 만큼 변화하였다. 시료의 조성에 따라 각 시료를 평량하여 지르코니아 불과 순수물을 이용하여 24시간 불 밀하여 혼합한 후, $100^\circ C$ 에서 24시간 건조시켰으며 건조한 분말을 $900^\circ C$ 에서 2시간 동안 하소시켜, 혼합시와 동일한 조건으로 재분쇄하였다. 시편의 성형을 위하여 10wt% PVA 수용액을 5wt% 첨가하여 200 mesh체로 과립한 후 $1[ton/cm^2]$ 의 압력으로 직경 15[mm], 두께 2.7[mm]되게 성형하였다. 시편의 소성은 PVA 탈지를 위하여 $600^\circ C$ 에서 2시간 유지 후, 본 소성은 $1175 \sim 1250^\circ C$ 에서 2시간 행하였으며, 승온 및 하강 조건은 $30^\circ C/hr$ 으로 하였다. 소결된 시편의 양면에 은 페이스트(은 함유량 80%)를 스크린 인쇄하여 전극을 형성하였으며 $750^\circ C$ 에서 10분간 열처리하고, 24시간 경과한 후 시편의 전기적 특성을 측정하였다.⁽⁴⁾

2.2 적층형 칩 NTC 써미스터 제조

적층형 칩 NTC 써미스터의 제조 공정을 그림 1에 나타내었다. 세라믹 분말과 binder의 비율을 62 : 38로 하였으며 이때 세라믹 분말의 입경은 $0.8 \sim 1.2[\mu m]$ 이고 binder는 Ferro社에서 제공하는 중합 binder인 B73210을 사용하였다. Binder와 분말을 16시간 혼합한 후 닥터블레이드법을 이용하여 $46 \sim 50[\mu m]$ 의

sheet를 제작하였으며 내부전극은 100Pd를 사용하여 프린팅 두께는 8 ~ 10 (μm)로 조절하였다. 설계에 따라 내부전극과 sheet를 적층 압착한 후 $1.96\text{ (W)} \times 0.92\text{ (L)} \times 0.9\text{ (t)}$ (mm)로 절단하였다. 절단한 시편을 바인더 탈지를 350°C에서 5시간 행하였으며 이때 승온 속도는 5°C/분, 하강속도는 20°C/분으로 하였다. 바인더 탈지가 끝난 시편을 분당 3°C로 상승하여 1250°C에서 2시간 유지한 후 분당 5°C로 하강하여 소결을 완료하였다. 소결이 완료된 시편을 1시간 연마한 후 Ag paste를 이용하여 외부 전극을 형성하였으며 이때 온도는 650°C로 하였다.

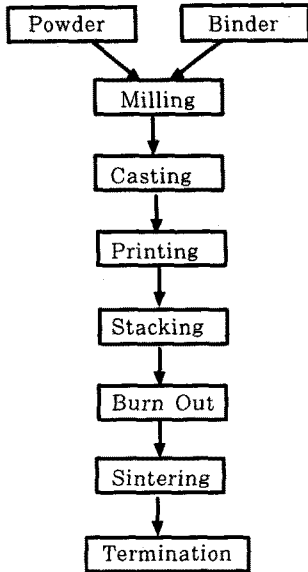


그림 1. 적층 칩 NTC 써미스터 제조 공정도

3. 결과 및 고찰

그림 2는 $\text{Mn}_2\text{Ni}_x\text{CO}_{1-x}\text{O}_4$ ($X = 0.12 \sim 0.24$) 조성의 조성비 및 소성온도에 따른 비저항 곡선으로서 조성비에 따른 영향보다는 소성온도에 따른 영향이 크게 나타나는 것을 볼 수 있다. 이와 같은 결과는 소성 밀도와의 연관성도 있을 수 있으나 밀도 측정 결과 $5.14 \sim 5.18\text{ (g/cm}^3\text{)}$ 로 밀도에 의한 영향보다는 소성 온도 증가에 따른 결정구조 변화 또는 전이 금속의 전이에 의한 결과로 예상된다. 그림 3은 $\text{Mn}_2\text{Ni}_x\text{CO}_{1-x}\text{O}_4$ ($X = 0.12 \sim 0.24$) 조성의 조성비 및 소성온도에 따른 B-저항의 변화로서 비저항의 결과와 달리 조성 및 소성온도에 따라 B-정수가 변화함을 볼 수 있다. 특히 $X = 0.24$ 의 조성에서는 B-정수가 감소함을 볼 수 있는데 조성에 의한 영향이 큼을 볼 수 있다. 이와 반대로 그 외의 조성에서는 소성온도의 영향이 크게 나타남을 볼 수 있으며 1250°C에서는 대부분의 조성에서 B-정수가 감소함을 볼 수 있다. 본 논문에서 실험한 결과 적층 칩 NTC 써미스터의 원하는 특성을 얻기 위하여 서론에서도 언급한 바와 같이 구조 파라미터로서도 원하는 결과를 얻을 수 있지만 적절한 소결 온도의 조절을 통하여서는 비저항 및 B-정수의 조절이 가능함을 볼 수 있었다.

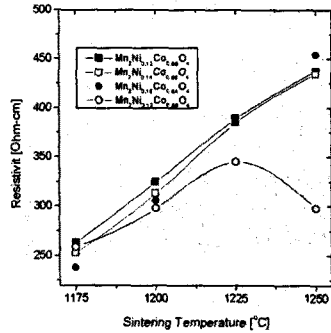


그림 2. 소결 온도 및 조성비에 따른 비저항

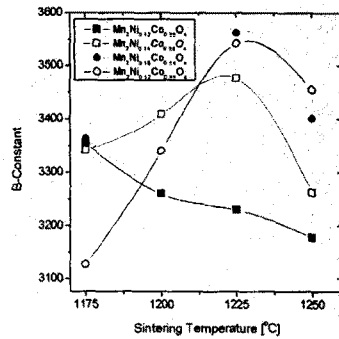


그림 3. 소결 온도 및 조성비에 따른 B-정수

그림 4는 닥터블레이드를 이용하여 제작한 sheet의 미세 구조 사진으로서 sheet의 표면이 뭉치는 현상이 없 이 평탄함을 볼 수 있다.



그림 4. Sheet 표면 사진

그림 5는 적층 써미스터를 제작한 후 표면을 연마한 후의 적층 칩 NTC 써미스터의 단면으로서 전극은 7층으로 구성되어 있으며 전극간 거리는 0.6 (mm)이고 전극간 두께는 50 (μm)이다.

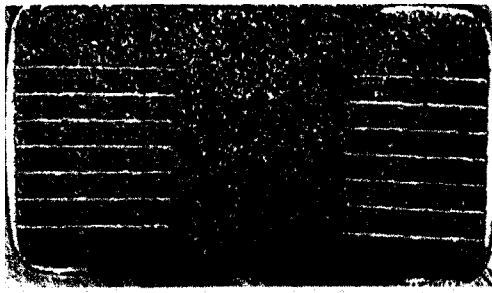


그림 5. 제작된 적층 칩 NTC 써미스터 단면도

그림 6은 적층 칩 NTC 써미스터의 전극계면 사진으로서 세라미카의 반응성 및 전극의 굽김이 없는 양호한 상태를 볼 수 있다.



그림 6. 적층 칩 NTC 써미스터 계면 사진

그림 7은 소성체 표면으로서 그레인 크기가 $5 \sim 8 \mu\text{m}$ 로 균일함을 볼 수 있으며 기공이 없는 치밀한 구조임을 볼 수 있었다. 본 실험 결과 적층 칩 NTC 써미스터의 저항은 $X = 0.20$ 의 조성에서 $8 \text{ [K}\Omega\text{]} \pm 3\%$ 의 수율을 얻을 수 있었으며 B-정수 $3453 \pm 3\%$ 이었다.



그림 7. 적층 칩 소성체 표면 사진

또한, 실험 결과에는 언급하지 않았지만 전극의 층수와 소결온도등의 변화를 통하여 $1 \text{ [K}\Omega\text{]} \sim 20 \text{ [K}\Omega\text{]}$ 까지

의 저항값을 얻을 수 있음을 확인하였다.

본 실험에서 제작한 적층 칩 NTC 써미스터의 경시 변화는 1000시간에서 저항 변화를 및 B-정수가 $\pm 2\%$ 이내로 이동통신용 배터리 적용으로 제시된 타 회사의 제품보다 우수한 특성을 나타냄을 볼 수 있다.⁽⁴⁾

4. 결 론

실험 결과 다음과 같은 특성 결론을 얻을 수 있다.

1. $\text{Mn}_2\text{Ni}_x\text{CO}_{1-x}\text{O}_4$ ($X = 0.12 \sim 0.24$) 의 조성에서 비저항은 조성에 의한 영향보다는 소성 온도에 의한 영향이 크게 나타남을 볼 수 있었다.
2. $\text{Mn}_2\text{Ni}_x\text{CO}_{1-x}\text{O}_4$ ($X = 0.12 \sim 0.24$)의 조성에서 B-정수는 조성 및 소결 온도에 따라 변화함을 볼 수 있었으며 소성온도보다는 조성의 영향이 크게 나타남을 볼 수 있었다.
3. $\text{Mn}_2\text{Ni}_x\text{CO}_{1-x}\text{O}_4$ ($X = 0.20$)의 조성을 이용하여 적층 칩 NTC 써미스터 제작 결과 기존 제품과 동일한 특성이 나타났으며 경시 변화 특성의 경우 우수함을 볼 수 있었다.

(참 고 문 헌)

- [1] H. Takuoki, K.Takayuki, M.Yoshihiro, "New Thermistor Materials", National Technical Report, 28(6), pp.1123-1134, 1982.
- [2] A. Rousset, R.Legros, A.Lagrange, "Recent Progress in the Fabrication of Ceramics Negative Temperature Coefficient Thermistors", Journal of European Ceramic Society, 13, pp.185-195, 1994.
- [3] 윤중락, 이석원, 이현용, "이동통신 부품용 칩 NTC 써미스터의 최근 동향", 한국전기전자재료학회지, 11권 5호, pp. 425-432, 1998
- [4] TDK Catalog, 1999.