

마이크로파용 칩 인덕터의 최적화 설계 및 특성분석

이철규\*, 김용삼\*, 김한수\*\*  
 \*명지대학교 전기공학과, \*\*두원공과대학 전기과

Optimized design of the chip inductor and characteristic analysis for RF IC's

C. K. Lee\*, Y. S. Kim\*, H. S. Kim\*\*

\*Dept. of Electrical Eng., Myongji University, \*\*Electrical Dept., Doowon Technical College

**Abstract** - The demands placed on portable wireless communication equipment include low cost, low supply voltage, low power dissipation, low noise, high frequency of operation, and low distortion. These design requirements cannot be met satisfactorily in many cases without the use of RF inductors. However, implementing the inductor on-chip has been regarded as an impractical task because of excessive substrate capacitance and substantial resistive losses due to metallization and the conductive silicon substrate. Hence, there is a great incentive to design, optimize, and model spiral inductors on Si substrate. So, we analyzed a chip inductors using electromagnetic analysis and established a set of design rules for rectangular spiral inductors.

수행하였다. 그림 1.은 본 시뮬레이션에서 수행한 나선형의 칩 인덕터에 대한 그림이며, 전체 칩의 면적은  $512 \times 512 \mu\text{m}^2$ 이다.

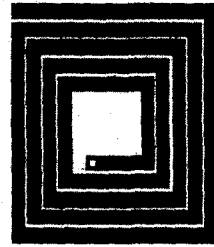


그림 1. 나선형 인덕터

1. 서 론

최근 정보화 사회가 고도로 발전함에 따라 이동통신기의 집적화가 이루어지고 있으며, 회로부품의 소형화, 박막화가 진행됨에 따라 저가화, 저 전압화, 저 소비 전력화, 저 잡음화, 고주파수에서의 훌륭한 동작특성, 저 왜곡화가 요구되고 있다. 그러나, 이러한 요구를 충족시키기 위해선 RF Inductor의 적용이 없이는 불가능하다. RF Inductor는 그 구조적 측면에서 다른 능동소자와 비교시 매우 간단하나, 실리콘 기반의 RF Inductor 제조 공정후, 고주파 운용시 실리콘 기판에서 발생하는 여러 가지 기생 손실 요소들로 인하여 충실한 성능지수(Q-Factor)를 나타내지 못하고 있다. 이는 인덕터의 도전체가 고주파에 따른 표피 효과(skin effect), 인접한 도전체 사이의 좁은 간격으로 인한 근접 효과(proximity effect), 고주파 대역에서 실리콘 기판의 전도성으로 인한 와전류(eddy effect)와 음 손실(ohmic loss)에 기인하기 때문이다.

따라서, 본 연구에서는 ASITIC 시뮬레이터를 이용하여 공정별 고주파용 칩 인덕터의 기하학적 구조 파라미터(parameter)변화에 따른 성능 지수의 변화를 고찰하였고, 동일 칩 면적내에서 구현되는 인덕터 도전체 길이에 따른 손실도 고찰하였다.

2. 본 론

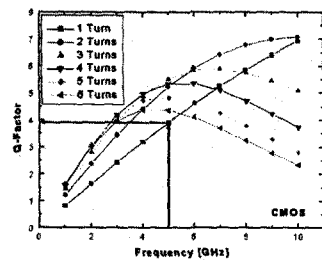
2.1 실험 방법

실험에서 수행하는 시뮬레이터는 ASITIC이며, 모델링 하고자 하는 기판은 p-type의 실리콘 기판을 사용하였다. 또한, 선택된 모델 공정은 BiCMOS와 CMOS공정의 두 경우를 두고 실시하였으며, 각각의 그림에서 언급한 구조적 파라미터는 모두 동일 칩 면적내에서 수행하였다.

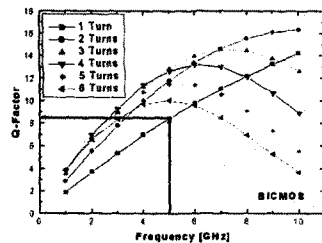
먼저, ASITIC 시뮬레이터의 경우 일정한 전체칩의 면적내에서 칩 인덕터의 주파수에 따른 성능지수로 나타내었으며, 이때의 주파수 범위는 1-10GHz로 설정하여

2.2 결과 및 고찰

전체 칩의 면적을 일정하게 설정한 후, 공정에 따라 인덕터 도전체의 너비는  $10 \mu\text{m}$ , 간격은  $5 \mu\text{m}$ , 그리고 각변의 길이는 주어진 면적내에서  $200 \times 200 \mu\text{m}^2$ 로 하여, 턴수만 1~6턴까지 수행하여 주파수에 따른 충실도의 변화를 고찰하였다. 그림 2.는 주파수에 따른 성능 지수의 변화를 나타낸 그림이다.



(a) CMOS 공정

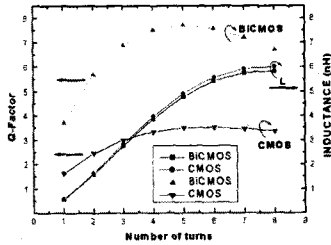


(b) BiCMOS 공정

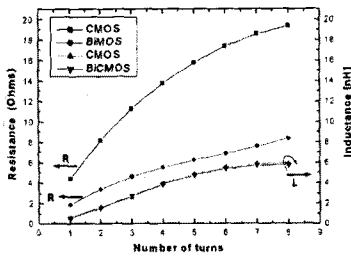
그림 2. 턴수와 공정별 성능지수

위의 그림 2.에서 나타난 바와 같이 BiCMOS공정의 성능지수가 CMOS공정 보다 더 높은 값을 지시하고 있다. 이는 BiCMOS공정이 CMOS공정과 비교하여 실리콘기판을 높은 저항률로 채택하였으며, 또한 에피층에서 높은 도우핑을 함으로써 기판에서 발생하는 음 손실을 감소시키기 때문이다. 그림에서 표기한 화살표는 동일 1턴에 대한 충실도를 지시한 것이며, 2배이상 성능지수의 차이를 고찰할 수 있다. 또한, BiCMOS의 경우 원하는 인덕턴스와 가용 주파수를 고려시 최적의 턴수는 주어진 면적내에서 3턴임을 알 수 있다.

그림 3.은 주파수를 2GHz로 설정하고, 턴수에 따른 성능지수, 인덕턴스, 저항의 변화를 나타낸 것이다. 전체 칩의 면적과 인덕터의 형상은 나선형이며, inner gap을 60  $\mu\text{m}$ 로 하여 실험한 결과이다.



(a) 턴수에 따른 성능지수와 인덕턴스



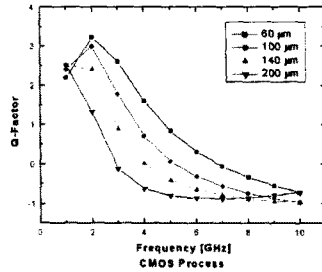
(b) 턴수에 따른 저항과 인덕턴스

그림 3. 공정별 턴수에 따른 성능지수, 저항, 인덕턴스

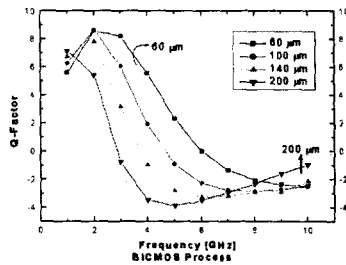
위의 그림 3.의 결과 먼저 BiCMOS공정에서 언급한 바와 같이 CMOS공정에 비해서 성능지수가 높음을 알 수 있으며 또한 각 공정별로 원하는 인덕턴스를 구하고자 할 때, 최적의 턴수를 선택할 수 있다. BiCMOS공정의 경우 5nH의 인덕터를 구현키 위해선 턴수를 5턴으로 설정하며, 이때의 성능지수는 약 7.5임을 알 수 있다. 한편, (b)의 그림은 고정된 주파수 대역에서 턴수에 따른 인덕턴스의 변화는 두 공정에서 거의 동일한 모습을 보이나, 저항의 변화는 많은 차이가 있음을 알 수 있다. 이는 도전체의 길이가 턴수가 증가함에 따라 저항의 증가를 가져오는 것이며, 어느 일정 턴수를 넘게 되면 1턴의 증가분이 inner gap의 감소로 인하여 점차 저항의 증가분이 둔화됨을 알 수 있다. 이러한 도전체에 저항의 증가를 감소시키기 위해선 다층 금속층을 사용하는 것도 하나의 방법이 될 수 있다. 그러나, 실리콘 기판의 절연층과의 상호타협이 필요하므로 충분한 고려도 요구된다. 일반적으로 다층금속층 사용시 약 20% 정도의 성능지수의 향상을 가져오게 된다.

그림 4.는 일정한 칩 면적내에서 도전체의 너비, 간격, 턴수를 각각 10  $\mu\text{m}$ , 5  $\mu\text{m}$ , 8턴으로 설정하고 inner gap을 60, 100, 140, 200  $\mu\text{m}$ 으로 하여 공정별 성능지수를 고찰하였다. 이때의 인덕터 형태는 나선형의 정

사각형이며, 인덕터가 칩에 차지하는 면적은  $290 \times 290 \mu\text{m}^2$ , 주파수 대역은 1-10 GHz으로 실험을 수행하였다.



(a) CMOS 공정



(b) BiCMOS 공정

그림 4. Inner gap에 따른 성능지수

Process \ Inner gap	BiCMOS		CMOS	
	Length	Total L	Length	Total L
60 $\mu\text{m}$	290 $\mu\text{m}^2$	5732.7	290 $\mu\text{m}^2$	5734.4
100 $\mu\text{m}$	330 $\mu\text{m}^2$	7012.7	330 $\mu\text{m}^2$	7014.4
140 $\mu\text{m}$	370 $\mu\text{m}^2$	8292.7	370 $\mu\text{m}^2$	8294.4
200 $\mu\text{m}$	430 $\mu\text{m}^2$	10212	430 $\mu\text{m}^2$	10214

표 1. Inner gap에 따른 공정별 도전체 길이

위의 그림 4.는 일정한 칩 면적내에서 Inner gap을 60, 100, 140, 200  $\mu\text{m}$ 으로 하여 주파수에 따른 성능지수를 고찰한 결과이다. 인덕터가 칩에 차지하는 면적에 관계없이 단지 inner gap에 따라 공정별로 실험을 수행한 것이다. 표 1.은 inner gap이 증가할수록 전체 도전체의 길이가 증가함을 보여주는 결과이다. 이는 도전체의 턴수를 총 8턴으로 설정하여 수행한 결과로서, 도전체의 전체 길이에 따른 성능지수에 미치는 영향을 고찰하기 위함이다.

그림 4.에서 보듯이 BiCMOS공정에서 주파수가 2GHz에서는 inner gap이 60  $\mu\text{m}$ 인 인덕터가 가장 높은 성능지수를 보여주고 있으며, 가장 간격이 넓은 200  $\mu\text{m}$ 인 경우가 낮은 성능지수를 나타내고 있다. 그러나,

2GHz를 넘는 범위에서는 모든 인덕터의 성능지수의 값들이 급격히 감소함을 보여주는데, 이는 전체 도전체의 길이가 길어짐에 따라 실리콘 기판과 접하는 면적이 증가하여 기생 커패시턴스 성분이 증가하며, 또한 저항성분의 급격한 증가를 보이기 때문이다. 따라서, inner gap은 적어도 턴수가 일정하게 주어질 경우 좁을수록 훌륭한 특성을 보이며, 그 결과 칩 인덕터의 면적은 전체 칩의 면적과 비교시 작은 면적을 차지해야 한다. 그림 4.에서 성능지수가 (-)을 보이는 곳은 인덕터의 성능지수( $Q = \omega L/R$ )에서 인덕턴스의 값  $L$ 이 음으로 되어 기생성분인 커패시턴스( $C$ )로서 작용하기 때문이다.

그림 5.는 주파수를 2GHz로 설정하여, 이때의 공정과 inner gap에 따른 인덕턴스와 성능지수를 나타낸 것이다. 아래의 그림 5.와 같이 BiCMOS공정상에서의 성능지수가 CMOS의 성능지수 보다 높은 값을 나타내며, inner gap이 140  $\mu m$ 이상인 범위에서 인덕턴스 값의 변화가 두드러지나 상대적으로 저항값의 변화가 도전체 길이 증가에 따라 더 큰 영향을 끼치게 됨을 알 수 있다.

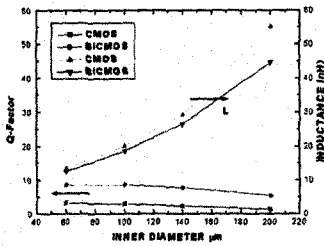
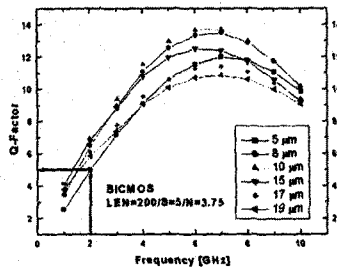
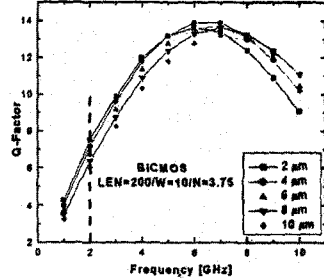


그림 5. Inner gap에 따른 인덕턴스와 성능지수

그림 6.은 일정한 전체 칩 면적내에서 동일한 인덕터 면적을 설정한 후, 단지 도전체의 너비와 간격만을 변화 시킴으로서 성능 지수의 변화를 고찰하였다. 이때 전체 회전수는 3.75턴이며, 정사각형 형태의  $200 \times 200 \mu m^2$ 의 인덕터이다. 도시한 바와 같이 그림 6.의 (a)와 (b)를 비교시, 인덕터의 성능지수에 더욱 영향을 많이 미치는 요소는 도전체의 너비임을 알 수 있다. 이는 인덕터의 기생요소로서 언급한 근접효과와 관련이 있다. 따라서, 인덕터의 기생요소 중 고주파에 따른 표피효과가 도전체의 좁은 간격으로 인한 근접효과보다 큰 영향요소로 작용함을 알수 있으며, 결과에서 도시한 바와 같이 도전체 간격의 약 2배가 적절한 도전체 너비임을 알 수 있다.



(a) 도전체 너비변화에 따른 성능지수



(b) 도전체 간격변화에 따른 성능지수  
그림 6. 구조 변화에 따른 성능지수

### 3. 결 론

일정 칩 면적내에서 고주파대역에서 주된 손실로 작용하는 실리콘 기판에서의 공정별 특성과 도전체의 기하학적 변화에 따른 칩 인덕터의 성능지수의 변화를 확인하였다. 수행한 실험의 내용은 기하학적 구조변화 폭, 도전체의 전체 길이, inner gap, 도전체의 너비, 간격을 변화시켜 주파수에 따른 성능지수의 변화를 확인하였으며, 동시에 실리콘 기판의 공정을 CMOS와 BiCMOS 별로 구분하여 수행하였다.

칩 인덕터의 주 손실성분이 되는 와 전류(eddy current)와 음 손실(ohmic loss)성분을 감소시키기 위해 실리콘 기판은 저항률이 높은 기판을 사용하여야 하며, 또한 실리콘 기판과 접하는 도전체의 면적은 고주파대역에서 나타나는 기생 커패시턴스 성분을 감소시키기 위해 주어진 면적내에서 최소화 하여야 한다. 도전체의 기하학적 파라미터는 도전체의 너비가 도전체의 간격보다 성능지수에 많은 영향을 미치나, 전체 손실에서 차지하는 비율은 실리콘 기판에서의 손실보다 상대적으로 작음을 알 수 있다.

따라서, 주어진 전체 칩 면적내에서 충실한 성능지수를 구현기 위해 도전체의 다층화가 요구되며 실리콘 기판에서 발생하는 기생손실요소들을 감소시키기 위해 누설되는 기생 손실에 대한 개선책이 요구된다.

### [참 고 문 헌]

- [1] John R. Long and Miles A. Copeland, "The Modeling, Characterization, and Design of Monolithic Inductors for Silicon RF IC's," IEEE Journal of Solid-State Circuits, vol. 32, pp. 357-369, 1997.
- [2] H.M.Greenhouse, "Design of planar rectangular microelectronics inductors," IEEE Transactions on Parts, Hybrids, and Packing, vol.PHP-10, no.2, pp. 101-109, 1974.
- [3] C.P. Yue, C.Ryu, J.Lau, T.H.Lee, and S.S.Wong, "A physical model for planar spiral inductors on silicons," in 1996 International Electron Devices Meeting Technical Digest, pp. 155-158, 1996.
- [4] Ali M.Nikndjad and Robert G.Meyer, "Analysis, Design, and Optimization of Spiral Inductors and Transformers for Si RF IC's," IEEE Journal of Solid-State Circuits, vol.33, pp. 1470-1481, 1998.
- [5] S.S.Bedair, "On the Odd-Mode Capacitance of the Coupled Microstriplines," IEEE Transactions on Microwave Theory and Techniques, vol. 28, no. 11, pp. 1225-1227, 1980.