

**Pt를 mask로 이용한 n-type 다공질 실리콘 형성과 응용**

강철구, 민남기, 이성재\*  
고려대학교, \*대림대학

**n-type porous silicon formation using Pt mask & its application**

Chul Goo Kang, Nam Ki Min, Seung Jae Lee\*  
Korea University, \*Daelim College

**Abstract** - 본 논문은 기존의 Si<sub>3</sub>N<sub>4</sub>, SiN 물질 대신 Pt를 사용해 HF 용액속에서 다공질 실리콘과 전극을 동시에 형성하는 기술을 개발하였다. Pt를 실리콘 웨이퍼 위에 직접 증착한 후 습식 에칭과 Lift-off 공정을 사용하여 Pt를 패터닝하였다. 습식 에칭은 에칭용액의 온도를 일정하게 유지하는 것이 중요하며, 증착한 Pt 박막이 BOE 에칭에 견디고, Lift-off 공정이 가능하기 위해서는 기판온도를 100℃이하로 해야한다. Pt를 사용하면 기존의 mask에서 발생하는 가장자리 부분에서의 전류 집중이 방지되기 때문에 다공질 실리콘이 일정한 깊이로 형성되고, Al대신 오믹 전극으로 사용할 수 있다. 현재 Pt를 mask와 전극으로 이용한 P-I-N UV detector, 광 바이오센서, 습도센서 제작등에 응용 연구가 진행되고 있다.

표 1. Pt 스퍼터링 조건

Thickness	4000 ~ 5000Å
Substrate temp.	100 ~ 200℃
Base pressure	2 × 10 <sup>-9</sup> mbar
Substrate-target distance	40mm
Sputter pressure	5 × 10 <sup>-3</sup> mbar
Sputter watt	150W
Sputter rate	5Å/sec

**1. 서 론**

1956년 Uhlir[1]에 의해 다공질 실리콘이 처음 보고된 이래 PSi는 광소자 및 마이크로시스템 재료로 광범위하게 응용되고 있다. 다공질 실리콘을 HF 용액속에서 선택적으로 형성할 때 Si<sub>3</sub>N<sub>4</sub>, SiN등을 mask 물질로서 사용하는데, 이들을 패터닝하기 위해서는 건식 에칭 공정이 필요하며[2], 이 경우 가장 큰 문제는 다공질 실리콘 영역에 캐리어 주입에 필요한 오믹 전극을 형성하는 것이다. Al 전극을 사용하면 증착 및 에칭공정에서 다공질 실리콘에 영향을 줄 뿐만 아니라, 공정수가 증가한다.

본 논문은 Pt를 웨이퍼 위에 증착한 후 습식 에칭과 Lift-off 공정으로 패터닝한 후 이를 mask로 사용하여 다공질 실리콘과 전극을 동시에 형성하는 기술을 보고한다. Pt mask는 공정을 단순화시킬 뿐만 아니라 다공질 실리콘이 형성될 때 기존(Si<sub>3</sub>N<sub>4</sub>, SiN)의 mask 가장자리에서 발생되던 전류 집중이 방지되어 다공질 실리콘이 일정한 깊이로 형성됨을 확인하였다. 또한, Pt가 오믹 전극으로 사용되므로 다공질 실리콘에 캐리어 주입이 가능케 된다.

Pt를 패터닝하기 위해 습식 에칭 공정과 Lift-off 공정을 사용하였다. Pt의 습식 에칭 조건은 표 2와 같다.

표 2. Pt 습식 에칭 조건

Solution	HNO <sub>3</sub> : HCl : H <sub>2</sub> O = 1 : 7 : 8
Temperature	80 ~ 90℃
Etch time	45 ~ 135 sec

에칭 용액의 온도가 90℃이상으로 상승하면 포토리지스트가 mask 기능을 상실하여 Pt가 에칭되는 현상이 관측되고, 또한, 80℃이하에서는 Pt의 에칭이 발생하지 않기 때문에 에칭 용액의 온도를 80℃ ~ 90℃이하로 일정하게 유지하여야 한다.

그림 1은 Pt 에칭 용액 온도가 88℃일 때 Pt 에칭 속도를 나타낸 것으로, Pt 에칭 속도는 33.59Å/sec로 거의 일정함을 보여 주고 있다.

**2. 실험 결과 및 고찰**

**2.1 Pt 증착 및 패터닝**

1~20Ωcm의 비저항을 갖는 양면이 폴리싱된 (100), n-형 4-inch 웨이퍼를 사용하였다. 먼저, 웨이퍼를 RCA 표준 세정법에 따라 세정한 후, Pt를 표 1과 같은 조건에서 스퍼터링하였다. 상온에서 실리콘 웨이퍼 위에 Pt를 증착하면 Pt 습식 에칭과 이방성 에칭시에 Pt 박막이 들뜨기 때문에 스퍼터링시 기판온도를 200℃로 가열하여 부착력을 향상시켰다. Pt는 mask뿐만 아니라 전극으로 사용되므로 실리콘과 오믹 접촉을 형성해야 한다. Pt를 증착한 후 N<sub>2</sub> 분위기에서 700℃, 1분간 rapid thermal process(RTP)를 실시하여 오믹 전극을 형성하였다.[3,4]

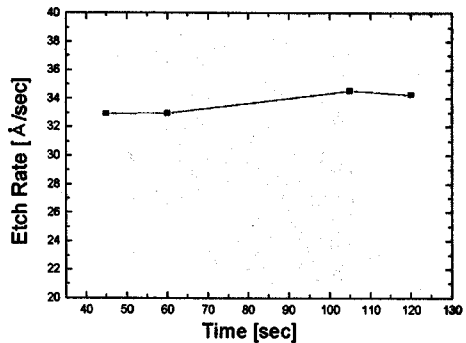
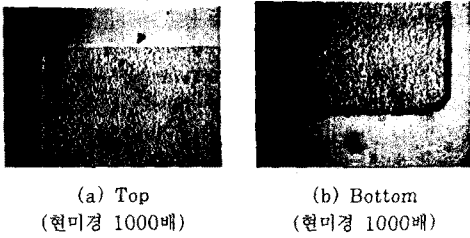


그림 1 Pt 에칭 속도

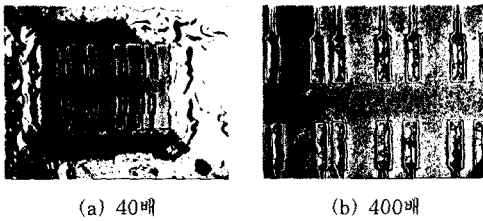
그림 2는 Pt를 습식 에칭한 후 표면 상태를 관측한 현미경 사진이다.



(a) Top (현미경 1000배)  
(b) Bottom (현미경 1000배)

그림 2 Pt 에칭 후 Silicon 표면상태

그림 2에서 다공질 실리콘이 형성될 영역에서 Pt가 완전히 제거된 것처럼 보였으나, 그림 3과 같이 양극산화 반응 후 UV에 노출시켜 확인한 결과 다공질 실리콘이 형성되지 않았고, 패턴 주위의 Pt가 들뜨는 것을 관찰할 수가 있었다. 이는 Pt가 완전히 에칭이 되지 않고 실리콘 표면에 얇은 Pt 박막이 존재하고 있어서 또는, 실리콘 표면에 직접 Pt를 스퍼터링하였기 때문에 실리콘 표면 상태가 변하여 기공형성을 방해하는 것으로 생각된다.

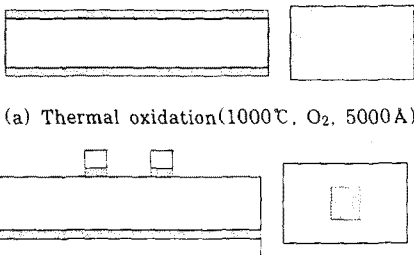


(a) 40배 (b) 400배

그림 3 Porous 형성 후 silicon 표면상태

이와 같이 습식 에칭 공정에서는 다공질 실리콘이 형성될 영역을 보호할 수 없으므로, lift-off공정을 적용하였다. Lift-off공정은 포토리지스트를 사용하기 때문에 100℃이하의 기판 온도에서 Pt를 증착해야만 Pt 패터닝이 가능하다. 즉, Pt를 상온에서 스퍼터링하면 BOE 용액에서 SiO<sub>2</sub> 에칭시 Pt가 들뜨게 되며, 또 150℃ 이상에서 증착하면 아세톤으로 포토리지스트 제거가 불가능해져 황산용액에서 PR stripping을 해야 한다. 이로 인해 Pt 박막의 부착력이 약해져서 양극산화반응시 HF에 의해 건디는 시간이 짧아진다.

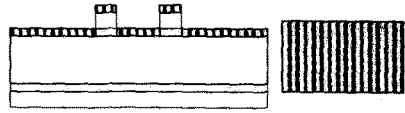
그림 4는 lift-off 공정을 나타낸 것으로, 먼저, 포토리지스트를 마스크로 하여 porous 영역 이외의 SiO<sub>2</sub>를 완전히 제거한다. Pt를 증착한 후 아세톤에 15분간 담그면 PR이 완전히 제거됨과 동시에 Pt도 제거되어 패터닝이 된다. 그 다음 BOE 용액에서 다공질 실리콘이 형성될 영역의 SiO<sub>2</sub>를 에칭하였다.



(a) Thermal oxidation(1000°C, O<sub>2</sub>, 5000A)



(b) Pt deposition region open(SiO<sub>2</sub> etching)



(c) Top Pt deposition(100°C, 5000A)



(d) Pt patterning(Lift-off) & SiO<sub>2</sub> etching

그림 4 Lift-off 공정

## 2.2 다공질 실리콘 형성

n-형 다공질 실리콘을 형성하는 조건을 요약하면 표 3과 같다. 기존에는 다공질 실리콘 형성시 3전극법을 이용하여 정전류를 인가하였으나[2], 본 논문에서는 2전극법을 사용하여 정전압을 인가하여 다공질 실리콘을 형성하였다. 그림 5은 본 논문에서 사용한 양극산화반응 장치이다. n-형 실리콘을 양극산화반응하기 위해서 장치 윗부분으로부터 UV를 조사했다.

표 3. n-형 실리콘의 양극산화 조건

HF solution	HF(48wt%) : Ethanol(95%) = 1 : 2
Power supply	Constant voltage (5V, 10V, 15V, 20V)
Temperature	Room Temperature
Etch time	15min ~ 90min
Porous Si area	0.78cm <sup>2</sup> , 9cm <sup>2</sup>
Illumination	UV & Fluorescent lamp

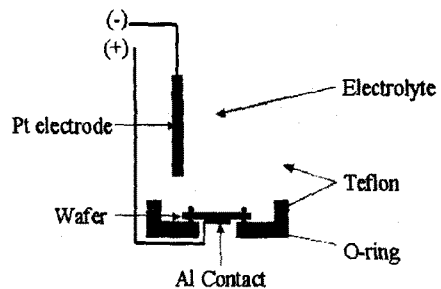


그림 5 n형 실리콘 양극산화반응 장치

그림 6(a)는 인가 전압과 시간에 따라 다공질 실리콘 층의 두께가 증가함을 보여 주고 있다. 그림 6(b)에서 인가 전압이 증가하면 다공질 실리콘 형성 속도는 증가하나, 시간이 경과함에 따라 형성 속도가 감소함을 알 수 있다.

### 3. 결 론

다공질 실리콘을 형성할 때 기존의  $\text{Si}_3\text{N}_4$ ,  $\text{SiN}$  mask 는 다공질 실리콘층에 캐리어 주입을 위한 오믹 전극을 제작하는데 문제가 있어, 본 논문에서는 Pt 박막을 mask로 사용해서 다공질 실리콘층과 캐리어 주입 전극을 동시에 형성하는 기술을 개발하였다. Pt mask는 다공질 실리콘이 형성될 때 mask 가장자리 부분에서 전류 집중이 방지되어 다공질 실리콘이 일정한 깊이로 성장하며, 또 Pt를 증착한 후 RTP공정을 실시하면 오믹 전극이 형성되어 다공질 실리콘에 캐리어 주입이 가능케 된다.

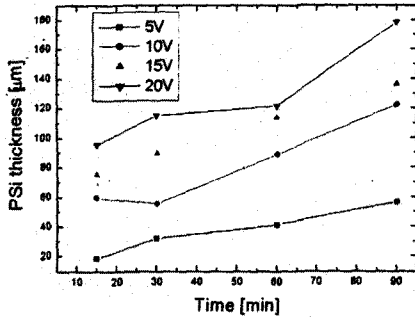
Pt 증착한 후 습식 에칭과 lift-off공정으로 패터닝을 하였다. 습식 에칭 공정은 Pt를 증착할 때 다공질 실리콘 형성 영역을 보호할 수 없으므로 그림 2와 같이 다공질 실리콘이 형성되지 않아 lift-off 공정을 적용하였다. 그림 8과 같이 Pt 박막 아래의 실리콘은 양극산화 반응이 발생하지 않았고, n-영역에 다공질 실리콘이 일정한 깊이로 형성하였음을 확인할 수 있었다. 위와 같은 기술을 이용하여 P-I-N UV detector, 광 바이오센서, 습도센서를 제작하고 있다.

#### 감사의 글

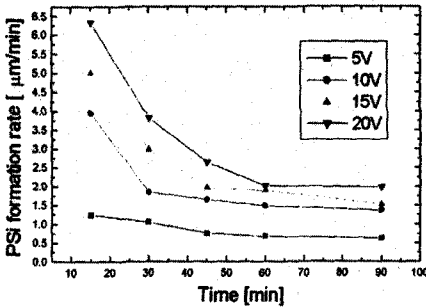
본 연구는 한국과학재단 특정기초연구(과제번호:1999-2-307-001-3)지원으로 수행되었음.

#### (참 고 문 헌)

- [1] A. Uhlir, "Electrolytic shaping of germanium and silicon", Bell Tech. J., Vol.35, pp.333-347, 1956
- [2] R.L. Smith and S.D. Collins, "Porous Silicon Formation Mechanisms", J. Appl. Phys. Vol 71, No 8, pp.R1-R22, 1992
- [3] J.M. DeLuca, H.S. Venugopalan, and S.E. Mohny "Ohmic contacts formed by electrodeposition and physical vapor deposition on p-GaN", Applied Physics Letters, Vol 73, No 23, pp.3402-3404, 1998
- [4] N.A. Papanicolaou, A. Edwards, M.V. Rao, and W.T. Anderson, "Si/Pt Ohmic contacts to p-type 4H-SiC", Applied Physics Letters Vol 73, No 14, pp.2009-2011, 1998
- [5] Hiroshi Ohji, Sami Lahteenmaki, and Patrick J. French, "Macro porous silicon formation for micromaching", SPIE Vol 3223, pp.189-197, 1997



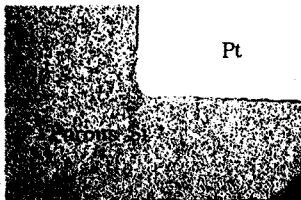
(a) 다공질 실리콘층의 두께



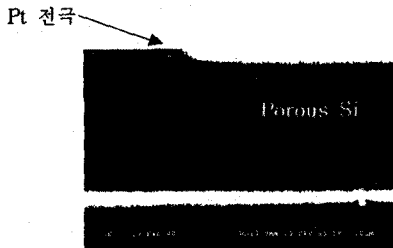
(b) 다공질 실리콘 형성 속도

그림 6 다공질 실리콘층의 두께와 형성 속도의 시간의 의존성

그림 7은 그림 4의 공정이 완료된 후 Pt 전극, n-영역, 다공질 실리콘 영역을 보여주는 SEM 사진이며, 그림 2와는 대조적으로 n-영역에 다공질 실리콘이 균일하게 형성된 것을 UV로 확인할 수 있다. 그림 8(b)는 Pt 박막 아래의 실리콘에서는 다공질 실리콘층이 형성되지 않았음을 보여주고 있다.



(a) Top view (현미경 400배)



(b) Cross section view (SEM)

그림 7 양극산화반응 후 pore structure