

## 게이트 절연막의 캐비티를 가지는 새로운 구조의 다결정 박막 트랜지스터

송인혁, 이민철, 한민구  
서울대학교 전기공학부 전기재료 실험실

### A NEW Poly-Si TFT with the Cavity at the Gate Insulator Edge

In-Hyuk Song, Min-Cheol Lee, and Min-Koo Han  
SCHOOL OF ELECTRICAL ENGINEERING, SEOUL NATIONAL UNIVERSITY

**Abstract** - 다결정 실리콘 박막 트랜지스터(poly-Si TFT)의 누설전류를 억제하기 위해 게이트 절연막(gate oxide)의 가장자리에 캐비티(cavity)를 가지는 새로운 구조의 다결정 박막 트랜지스터를 제안하였다. 캐비티는 드레인(drain) 공핍영역(depletion region) 위에 형성되어 드레인 주변에 유도되는 수직전계를 감소시켜 누설전류를 억제하고 소자의 안정성을 향상시킬 수 있다. 본 연구에서 제작된 poly-Si TFT는 기존의 TFT에 비해 온-오프 전류비가 향상되었고 전기적 스트레스 후의 문턱전압 변화가 작음을 확인하였다.

#### 1. 서 론

엑시머 레이저 어닐링(excimer laser annealing)을 이용하여 제작된 저온 poly-Si TFT는 높은 온-전류 특성을 가지고 있어 현재 액정 디스플레이(LCD)에 응용을 위한 연구가 추진되고 있다[1], [2]. 그러나 poly-Si TFT는 누설전류가 크고 안정성(stability)이 우수하지 못한 단점을 갖고 있다[3], [4]. 누설전류는 드레인 쪽의 공핍영역에 유도되는 수직전계 및 수평전계로 인한 전계 방출이 주 원인인 것으로 알려져 있다. 드레인 주변에 유도되는 수평전계는 저농도 도핑 드레인(LDD) 구조를 이용하여 감소시킬 수 있으나 온-전류 또한 감소하게 된다[5]. 수직전계 억제에 대한 구조는 산화와 같이 고온 공정을 하는 CMOS 분야에서는 보고된 바가[6] 있으나 저온 poly-Si TFT에서의 수직전계 억제에 대해서는 아직 보고된 바 없다.

본 연구에서는 게이트 절연막의 양쪽 끝에 공기(air) 캐비티를 가지는 새로운 구조의 다결정 실리콘 박막 트랜지스터를 제안한다. 캐비티 구조는 게이트 절연막의 습식식각과 상압화학기상증착(atmospheric pressure chemical vapor deposition, APCVD)을 이용한 증간산화막(interlayer oxide)의 증착을 통해서 구현된다. 드레인 공핍영역 위에 형성되는 캐비티는 공기의 낮은 유전율이 인해 두꺼운 절연막의 역할을 한다. 따라서 드레인 근처에서 유도되는 수직전계가 감소되고 이로 인해 누설전류가 감소하며 소자의 안정성 또한 향상될 수 있다.

#### 2. 본 론

##### 2.1 소자구조 및 공정

기존의 TFT와 제안된 TFT의 구조적 차이는 그림.1에서 보는 것과 같이 게이트 절연막의 가장자리에 형성되는 캐비티 구조이다. 실리콘 산화막의 상대 유전율이 3.9인 것에 반해 공기 캐비티는 상대 유전율이 1이므로 드레인 공핍영역 위에 두꺼운 절연막이 있는 것과 같은 효과를 가진다. 캐비티 구조를 이용할 경우 제안된 소자의 드레인 주변에서의 수직전계의 크기는 이론적으로 기존의 poly-Si TFT의 1/4에 해당한다.

그림.2는 게이트 절연막의 습식식각후의 구조와 이 구조에 증간절연막을 증착한 후의 TFT 구조를 보여주고 있다. 게이트 절연막의 습식식각은 TFT 소자 제작시 소

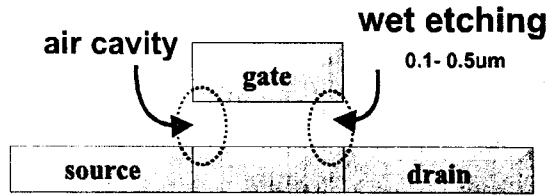
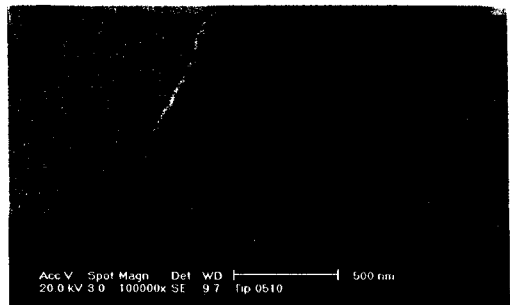


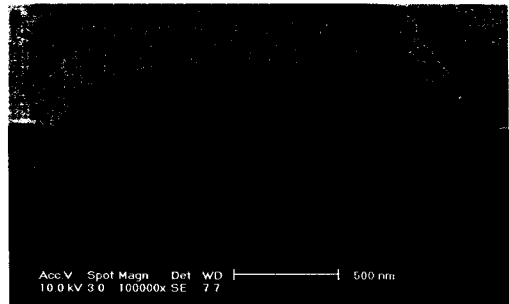
그림.1 캐비티(cavity)를 가지는 제안된 소자의 구조

스/드레인 활성화 후에 실행하며 이어서 APCVD로 증간 절연막을 증착한다. 이때 별도의 마스크(masking) 공정은 요구되지 않는다.

제안된 TFT는 게이트 절연막의 습식식각과 APCVD 산화막 공정을 제외하고는 자기정렬 poly-Si TFT와 같은 방법으로 공정을 한다. 본 연구에서 제안된 TFT의 자세한 제작공정은 다음과 같다. 800A 두께의 비정질 실리콘 박막을 플라즈마화학기상증착(PECVD) 방법으로 증착한 다음, 레이저 어닐링으로 결정화하여 활성 박막을 형성한다. 다결정 실리콘 박막을 패터닝 후, 게이트 산화막으로 TEOS 산화막을 증착하였다. 게이트 전극으



(a) 습식식각후, APCVD 증간절연막 증착 전



(b) APCVD 증간절연막 증착 후

그림.2 APCVD 증간절연막 증착전과 후의 SEM 사진

로 사용할 2000Å의 비정질 실리콘 박막을 증착한 후 게이트 전극과 게이트 산화막을 식각하였다.

소스/드레인 형성을 위한 인(phosphorous) 이온을 주입하고 레이저 결정화를 통해 주입된 이온을 활성화하였다. TFT 구조를 완성한 후 TFT 기판을 산화막 식각액(Buffered Oxide Etchant, BOE)에 넣어 게이트 산화막 가장 자리의 산화막을 식각해낸다. 이어서 층간절연막으로 사용될 산화막을 APCVD방법을 이용하여 증착하였다. 캐비티의 길이는 습식식각 시간에 의해 결정되어진다. APCVD 산화막을 사용한 것은 게이트 아래에 캐비티를 보호하기 위해 선택한 공정으로서 그림.2(b)에 나타난 것과 같이 APCVD 층간절연막 공정에 의해서 캐비티가 성공적으로 형성되었음을 확인하였다.

## 2.2 결과 및 토의

제한된 소자와 기존의 소자에 대한 전류-전압 특성 곡선은 그림.3과 같다. 제한된 소자에서는 누설전류가 감소하였고 전계효과 이동도는 기존의 소자에 비해 증가되었다. 누설전류의 감소는 드레인 부근의 수직전계 감소에 의한 것이며 전계효과 이동도의 증가는 Si/cavity 표면에서 전자의 스캐터링(scattering)이 감소하기 때문인 것으로 사료된다. 기존의 소자에서 측정된 이동도는  $26.5 \text{ cm}^2/\text{Vs}$ 인 것에 비해서 캐비티의 길이가  $0.4 \mu\text{m}$ 인 제한된 소자의 이동도는  $36.3 \text{ cm}^2/\text{Vs}$ 로 측정되었다.

캐비티를 이용한 수직전계 감소 효과를 살펴보기 위해서 게이트에 음(-)의 바이어스를 인가한 후, 누설전류의

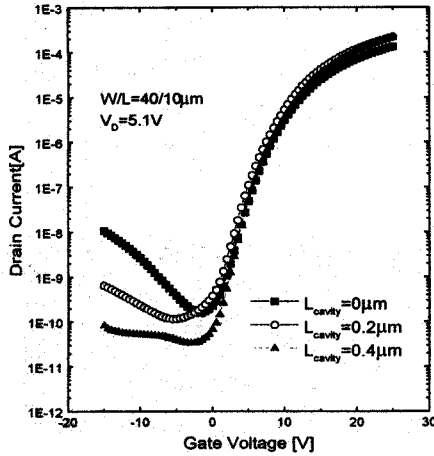


그림.3 박막트랜지스터의 특성 곡선

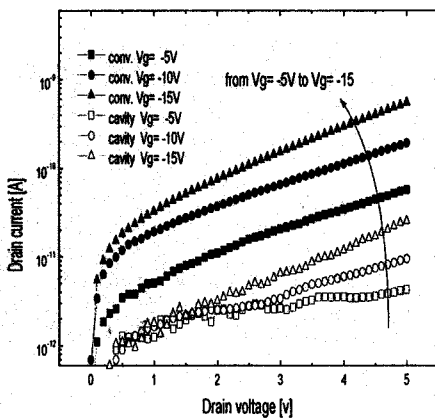


그림.4 게이트 바이어스에 대한 누설전류의 변화

양을 측정하였다. 그림.4는 게이트 바이어스가 -5V, -10V, -15V일 때의 누설전류의 측정결과를 보여준다. 게이트 바이어스가 음의 방향으로 증가할 때 기존의 소자에서는 누설전류가 크게 증가하는 것에 비해서 제한된 소자는 누설전류의 증가량이 작다. 제한된 소자는 게이트 전압의 변화에 대해 누설전류의 변화가 작으며 이것은 드레인 주변에 유도되는 수직전계가 감소했기 때문이다.

기존의 소자와 제한된 소자에 대해서  $V_G=30\text{V}$ ,  $V_D=30\text{V}$ 의 조건으로 2시간 동안 전기적 스트레스를 가하였다. 스트레스 실험 후 기존 소자의 온-전류는 그림.5와 그림.6에서 보는 바와 같이 현저히 감소하였다. 그러나 제한된 소자는 온-전류의 큰 감소가 없이 우수한 안정성을 보여주고 있다. 온-전류의 감소는 채널에서 트랩 준위가 생성되어 채널 저항이 증가하였기 때문이다[7].

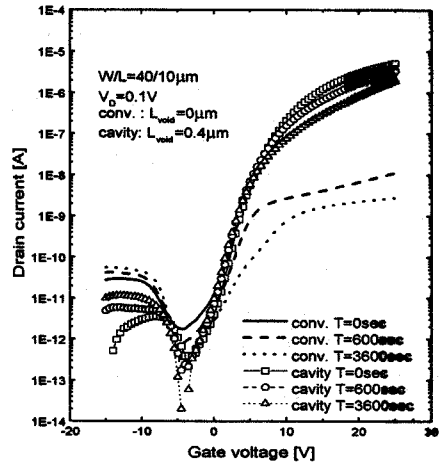


그림.5 전기적 스트레스 시간에 따른 특성 곡선의 변화 ( $V_D = 0.1\text{V}$ )

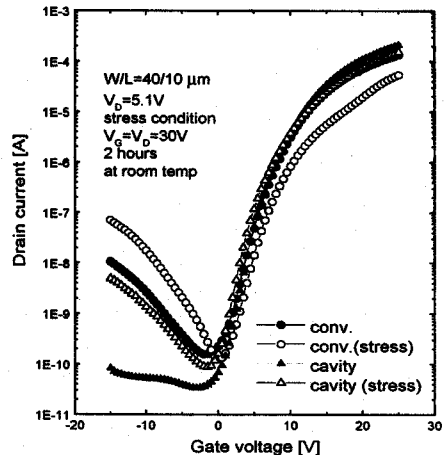


그림.6 2시간 동안의 전기적 스트레스를 가하기 전과 후의 특성 곡선 ( $V_D=5.1\text{V}$ )

표.1은 전기적 스트레스를 걸어주기 전과 후의 소자 특성 파라미터를 비교하여 보여준다. 기존 소자의 문턱전압의 변화는  $1.24\text{V}$ 인데 비해 제한된 소자는  $0.14\text{V}$ 로 나타났다. 이는 드레인 공평영역 위의 캐비티에 의해 수직전계가 감소하고, 수직전계에 의해 포획되는 전하의

전체적인 양이 줄어들기 때문이다.

Type(stress)	$I_{on}(\mu A)$	$I_{off}(pA)$	$V_{th}(v)$	$\mu (cm^2/Vs)$
Conv.(before)	134.7	0.38	5.66	14.49
Conv.(after 2h)	54.2	2.09	6.92	10.97
Void(before)	223.7	0.12	4.76	31.88
Void(after 2h)	168.6	0.28	4.90	22.75

표.1 DC 스트레스 전과 후의 박막트랜지스터의 파라미터,  $I_s(V_G=30V, V_D=5.1V)$ ,  $I_{off}(V_G=-5V, V_D=5.1V)$ ,  $W/L=40/10 \mu m$ , 상온

### 3. 결 론

본 연구에서는 게이트 절연막 가장자리에 캐비티를 가지는 새로운 구조의 다결정 박막 트랜지스터를 제안하고 제작하였다. 게이트 절연막을 습식식각을 통해 식각한 후에 APCVD 층간절연막 증착으로 게이트 절연막 가장자리에 캐비티를 성공적으로 형성하였다. 제안된 소자에서 드레인 부근에서 유도되는 수직전계는 공기 캐비티에 의해서 감소된다. 게이트 절연막의 가장자리에 캐비티를 형성함으로써 누설전류의 게이트 바이어스에 대한 의존도가 낮아지고 문턱전압의 변화나 이동도 감소와 같은 소자의 불안정성도 기존의 소자에 비해 향상된다.

#### [참 고 문 헌]

- [1] I-Wei Wu, Alan G Lewis, Tiao-Yuan Huang, Anne Chiang, *SID 90 Digest*, pp307, 1990
- [2] Y.Oana, *AMLCD 99, Digest of Tech*, pp251, 1999
- [3] N.Kato, T.Yamada, S.Yamada, T.Nakamura, *Tech Dig. IEDM*, pp677, 1992
- [4] Y.S.Kim, M.K.Han, *IEEE Electron Device Letters*, Vol.16, No.6, pp245, 1995
- [5] K.Nakazawa, K.Tanaka, S.Suyama, K.Kato, S.Kohda, *SID 90 Digest*, pp311, 1990
- [6] K.Kurimoto, S.Odanaka, *Tech Dig. IEDM*, pp541, 1991
- [7] J.R.Ayres, S.D.Brotherton, D.J.McCulloch, M.J.Trainor, *Jpn.J.Appl.Phys.*, Vol.37, pp1801, 1998