

계면처리에 의한 pentacene 박막의 전기적 특성 연구

이재혁*, 이용수*, 최종선*, 김유진**
 *홍익대학교 전기제어공학과
 **홍익대학교 기초과학과

A Study on the Electrical Characteristics of Pentacene Thin Film by Using Surface Treatment

Jae-Hyuk Lee*, Yong-Soo Lee*, Jong-Sun Choi*, Eugene Kim**
 *Dept. of Electrical and control Eng., Hongik Univ.
 **Dept. of Basic science, Hongik Univ.

Abstract - There are currently considerable interests in the applications of conjugated polymers, oligomers, and small molecules for thin-film electronic devices. Organic materials have potential advantages to be utilized as semiconductors in field-effect transistors and light-emitting diodes. In this study we fabricated the devices based on pentacene as active layer. Octadecyltrichlorosilane (OTS) is used as buffer layer between SiO₂ and pentacene. Atomic force microscopy (AFM), X-ray diffraction (XRD), and electrical conductivity were used with OTS on SiO₂ 10nm which the pentacene layer was thermally evaporated in vacuum at a pressure of about 2.0×10⁻⁶ Torr. In the result of AFM, the grain length is grown by using OTS for surface treatment. Electrical conductivity is changed from 3.19×10⁻⁸ S/cm to 2.12×10⁻⁷ S/cm. We observed that electrical conductivity is also increased by surface treatment. According to these results, the surface treated devices exhibited the increase to compared no treatment.

assembled monolayers를 형성하기 위하여 hexadecane과 chloroform을 4:1의 비율로 혼합한 후 2.5mmol 농도의 OTS(C₁₈H₃₇SiCl₃)를 혼합하여 OTS 용액을 만든다.^{5) 6)} 이 OTS 용액에 시편을 약 1시간 동안 담가둔다. 이 때 온도는 30℃ 정도로 유지시킨다. OTS 용액에서 꺼낸 시편을 2차 증류수와 chloroform 용액에서 약 10초 동안 가볍게 흔들어 세정한 후 N₂ 가스로 건조시키면 monolayer가 형성 되고, 두께는 약 25~30Å으로서 ellipsometry(Plasmos, SD-2100)를 이용하여 확인하였다. OTS 용액으로 표면 처리한 SiO₂와 표면 처리하지 않은 시편 위에 열 증착 방법으로 pentacene을 증착한 후 AFM 이미지를 확인하였다. 사용한 성막 물질인 pentacene의 분자구조는 그림 1과 같다. OTS 처리에 따른 pentacene 박막의 AFM 이미지를 그림 2에 나타내었다.

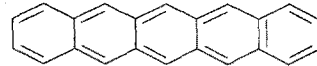


그림 1. pentacene의 분자구조.

1. 서 론

21세기 정보화사회에서 디스플레이 기술은 가장 중요한 기술 중의 하나이고, 고해상도, 대면적 디스플레이에 대한 요구가 점차 커지고 있다.¹⁾ 이러한 디스플레이를 구현하기 위해서 발광 소자 또는 화소 외에 화소 스위칭 소자가 필요하다. 현재 LCD에는 비정질(amorphous silicon : a-Si) 또는 다정질(polycrystalline : poly-Si) 실리콘 TFT (Thin-Film Transistors)가 사용되고 있다.²⁾ 이 TFT의 활성층인 반도체를 유기물질로 대체할 수 있다면 성형성, 유연성, 경제성 등의 장점들을 얻을 수 있을 것이다.³⁾ 여러 가지 유기 반도체들 중 pentacene이 가장 우수한 소자 특성을 보여 주는 것으로 보고되고 있다.⁴⁾

2. 본 론

2.1 실험방법 및 결과

2.1.1 pentacene 박막의 AFM 이미지

유기 박막소자에서 게이트 절연체로 사용하는 SiO₂를 PECVD법을 이용하여 2000Å을 성막하였는데 이 때 기판온도는 350℃로 가열한 상태에서 SiH₄ : Ar : N₂O를 반응가스로 사용하였다. SiO₂를 성막한 후 self

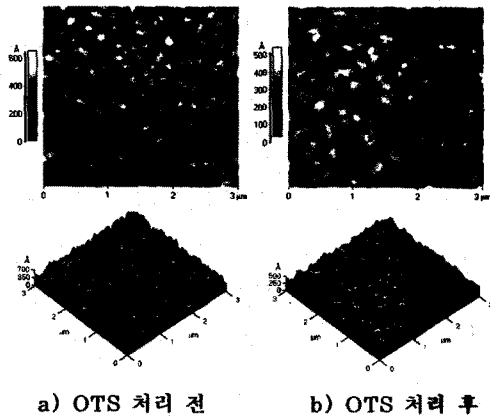


그림2. OTS 처리에 따른 열증착 pentacene 박막의 AFM 이미지.

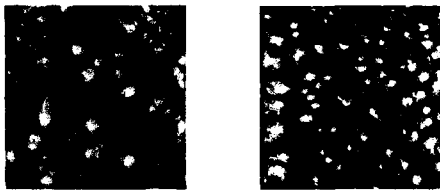
그림에서 알 수 있듯이 OTS 처리에 따라 박막 표면의 AFM 이미지가 변함을 알 수 있다. OTS 표면 처리 후의 grain 크기가 표면 처리 전보다 더 커지면서 규칙적으로 배열됨을 알 수 있는데, 이는 pentacene 증착막이 상대적으로 고르지 못한 SiO₂ 표면 위에 성막된 것보다 monolayer가 형성된 소자의 표면에 성막되는 것이 grain들의 형성이 더 잘 이루어진다고 할 수 있다. grain 크기가 크다는 것은 다결정화를 의미하며, 일

반적으로 전기적 특성은 grain 크기가 클수록 우수한데, grain 크기가 작은 경우 grain의 경계에서 산란(scattering) 등이 일어나 운반체의 이동을 방해함으로써 전기적 특성을 떨어뜨리기 때문이다. Grain 크기가 크면, grain 경계가 적어지게 되고 운반체의 산란 또한 적어지게 되어 전기적 특성은 grain 크기가 작은 것에 비해 우수할 것이다. 표 1은 각각의 박막에 대해 AFM 이미지의 RMS 와 average roughness 값을 나타낸 것이다.

표 1. 각 박막의 roughness.

roughness(A)	RMS roughness	average roughness
OTS 처리 전	81	70
OTS 처리 후	63	56

RMS 및 average roughness 값에서도 표면 처리 전보다 후의 값들이 더 낮아진 것을 알 수 있다. 그림 3은 Organic molecular beam deposition (OMBD)법을 이용하여 성막한 AFM 이미지이다. OTS 처리 전의 불규칙적으로 배열되었던 grain들이 규칙적으로 변함을 알 수 있다. grain들이 규칙적으로 배열됨은 Field-effect mobility에 영향을 주어 소자 특성에 중요한 작용을 한다. 열 증착법으로 형성한 박막의 AFM 이미지와 grain들의 규칙성에 있어서는 비슷한 결과를 보이지만 grain들의 평균 크기는 OMBD법으로 성막했을 때가 더 큰 것을 알 수 있다. 실험 시 사용한 진공도는 열 증착법이 약 2.0×10^{-6} Torr 였고 OMBD법은 약 5×10^{-8} Torr이며, 다른 모든 조건이 동일하다는 사실로 미루어 보아 진공도에 따라 grain 크기가 크게 형성된다고 할 수 있다.



a) OTS 처리 전 b) OTS 처리 후

그림 3. OTS 유무에 따른 pentacene 박막의 AFM 이미지 (OMBD법).

2.1.2 pentacene 박막의 XRD

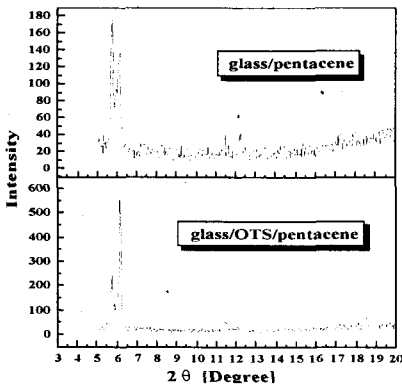
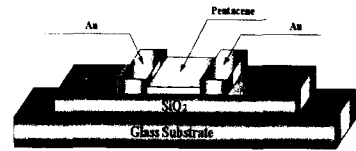


그림 4. OTS 유무에 따른 pentacene 박막의 XRD.

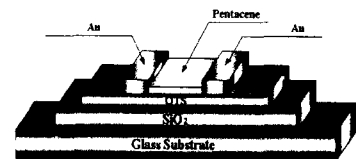
그림 4는 pentacene 박막의 XRD를 나타낸 것이다. OTS로 표면 처리를 한 pentacene 박막이 표면 처리 전보다 더 큰 intensity를 가지고 더 부드럽고 샤프한 피크(peak)를 가지는 것으로 보아 결정상이 더 좋을 수 있다.⁷⁾

2.1.3 pentacene 박막의 전기전도도 측정

소자의 제작을 위하여 유리 기판 위에 PECVD법으로 SiO₂를 2000Å을 성막하였다. 이 때 PECVD의 조건은 AFM 박막을 제작할 때와 동일하다. 소자는 이전과 마찬가지로 OTS 표면 처리를 한 것과 표면 처리를 하지 않은 것으로 나누어 제작하였다. SiO₂를 성막한 소자를 OTS 표면 처리를 하지 않은 것(소자 1)과 표면 처리 한 것(소자 2)을 구분하여 열 증착법을 이용하여 2×10^{-6} Torr의 진공도도 소자에 전극을 형성하였다. 소자의 전극은 ohmic contact을 유지하기 위하여 금을 사용하였다. 전극 형성시 새도우 마스크를 사용하였고, 전극간 간격은 50μm로 하였다. 그림 5는 전기전도도 측정시 사용한 소자의 구조이다.



a) 소자 1



b) 소자 2

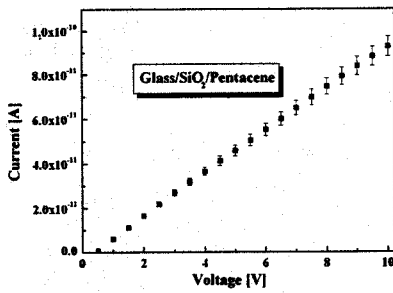
그림 5. 전기전도도 측정을 위한 소자의 구조.

전기전도도 측정을 위하여 먼저 Keithley 238 electrometer를 이용하여 각 소자들의 전류-전압 특성을 확인하였고 이를 그림 6에 나타내었다. 곡선의 기울기는 컨덕턴스(G)를 의미하며, 그 역수를 취해 저항(R)을 구하였다. 저항은 소자 1과 2에서 각각 104.5, 15.7 (GΩ)으로 나타났다. 소자의 전극 간 거리(l) = 50μm, 박막의 두께(t) = 300Å, 그리고 박막의 길이(d) = 5mm로 일정하게 하였다. 전기전도도 계산은 식 (1)을 사용하였다.

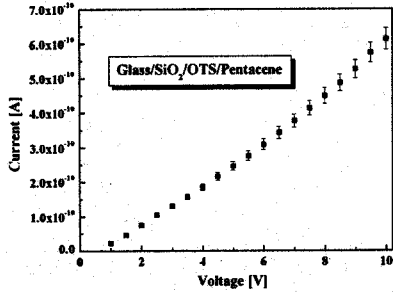
$$\sigma = \frac{l}{Rtd} \quad (\text{식 1})$$

σ : 전기 전도도 l : 전극 간 거리
 t : 유기 박막의 두께 d : 박막의 길이
 R : 저항

표 2는 계산한 전기전도도의 결과이며, 소자 1보다 소자 2가 더 높은 전기전도도를 나타냄을 알 수 있다. 앞의 AFM 이미지에서 나타난 것처럼 소자 2의 경우 OTS의 영향으로 grain 크기가 증가하여 pentacene 박막이 다결정 상태로 되었고, 이 때문에 전기전도도가 향상된 것으로 생각된다.



a) 소자 1



b) 소자 2

그림 5. 각 소자들의 전류-전압 특성 곡선.

표 2. 각 소자들의 전기전도도 측정 결과.

소자	1	2
저항(R) (GΩ)	104.5	15.7
전극간 거리(L) (cm)	5×10^{-3}	
박막의 두께(t) (nm)	3.000	
박막의 길이(d) (cm)	0.5	
전기전도도(σ) (S/cm)	3.19×10^{-8}	2.12×10^{-7}

3. 결론

유기 반도체인 pentacene을 이용하여 유기 박막 소자 제작할 때, 절연층인 SiO₂와 활성층인 pentacene 사이에 self assembled monolayer 방법으로 OTS를 이용하여 표면처리를 했을 때의 계면 효과 특성을 연구하였다. AFM 측정 결과 grain 크기가 표면 처리 후 크고 규칙성 있게 변하는 것을 알 수 있었고, RMS 및 average roughness 값도 81 Å, 63 Å에서 70 Å, 56 Å으로 감소하였다. 이는 OTS 표면 처리 후 더 평평한 morphology를 가져 pentacene 분자들이 결정화가 잘 일어남을 알 수 있다. 열 증착법 뿐만 아니라 OMBD 방법에서도 거의 비슷한 결과를 보이긴 하지만 더 높은 진공도를 가지는 OMBD 방법이 grain 크기 형성에 우세함을 보여 박막형성에 있어 진공도가 매우 중요한 요소로 작용함을 알 수 있다. XRD 측정 결과 OTS 처리 후 intensity가 증가하고 부드러운 피크(peak)를 보여 더 좋은 결정상을 이룬 것을 알 수 있었다. OTS 표면 처리 전의 전기전도도는 3.19×10^{-8} S/cm 이었고 표면 처리 후의 전기전도도는 2.12×10^{-7} S/cm

cm로 약 1 order 정도 상승함을 알 수 있었다. OTS를 이용하여 SiO₂ 위를 표면 처리하고 고진공의 OMBD 방법을 사용 한다면 실제 유기 박막 소자 제작시 더 좋은 결과를 얻을 수 있을 것으로 생각된다.

본 연구는 1999년도 학술진흥재단 선도연구자 지원사업에 의하여 연구되었음

(참 고 문 헌)

- 1) 정태형 "Organic/Polymer Electro luminescence display" pp. 1 ~ 3
- 2) C. A. Armstrong, S. Uppal "Differentiation of effects due to Grain and Grain Boundary Traps in Laser annealed Poly-Si Thin Film Transistors" J. J. Appl. Phys. Vol. 37 (1998) pp. 1721 ~ 1727
- 3) T. Tsumura et al. *Synthetic Metals*, 25, 11, 1990
- 4) G. Horowitz et al, *Thin Solid Films*, 111, 93, 1984.
- 5) P. Harder et al. "Induced Orientational Order in Long Alkyl Chain Aminosilane Molecules by Preadsorbed Octadecyltrichlorosilane on Hydroxylated Si(100)" *Langmuir* 1997, 13, 445-454
- 6) G. Jonathan Kluth et al. "Thermal Behavior of Alkylsiloxane Self-Assembled Monolayers on the Oxidized Si(100) Surface" *Langmuir* 1997, 13, 3775-3780
- 7) I.P.M Bouchoms et al. "Morphology identification of the thin film phases of vacuum evaporated pentacene on SiO₂ substrates" *Synthetic Metals* 104(1999) 175-178