

단일 트랜지스터용 강유전체 메모리의 Buffer layer용 Y₂O₃의 연구

장범식, 임동건, 최석원, 문상일, 이준신
 성균관대학교 전기전자 및 컴퓨터공학부

Y₂O₃ Films as a Buffer layer for a Single Transistor Type FRAM

BumSik Jang, Dong-Gun Lim, Sukwon Choi, Sangil Mun, Junshin Yi.
 School of Electrical and Computer Engineering, Sungkyunkwan University.

Abstract - This paper investigated structural and electrical properties of Y₂O₃ as a buffer layer of single transistor FRAM (ferroelectric RAM). Y₂O₃ buffer layers were deposited at a low substrate temperature below 400°C and then RTA (rapid thermal anneal) treated. Investigated parameters are substrate temperature, O₂ partial pressure, post-annealing temperature, and suppression of interfacial SiO₂ layer generation. For a well-fabricated sample, we achieved that leakage current density (J_{leak}) in the order of 10⁻⁷A/cm², breakdown electric field (E_{br}) about 2 MV/cm for Y₂O₃ film. Capacitance versus voltage analysis illustrated dielectric constants of 7.47. We successfully achieved an interface state density of Y₂O₃/Si as low as 8.72×10¹⁰cm⁻²eV⁻¹. The low interface states were obtained from very low lattice mismatch less than 1.75%.

1. 서 론

MFS(metal-ferroelectric-silicon)구조는 비휘발성 메모리 소자로서 많은 연구가 되고 있으나 실용화되기 위해서는 아직은 많은 문제점이 보고되었다.⁽¹⁾ 첫 번째로는 Si 기판위에 강유전체 박막을 증착하였을 경우 Si과 강유전체 박막사이에는 상호확산이 일어난다는 점과 두 번째로는 상호확산으로 인하여 Si 기판과 강유전체 박막 사이에 nonferroelectric 층 저유전층이 형성되는 것이다. 일반적으로 ABO₃계 페로브스카이트형 강유전체가 Si를 함유하지 않은 금속산화물이므로 강유전체 박막과 Si 기판과의 계면에서 Si 산화물을 형성할 가능성이 높다. 산화막이 형성되면 소자의 신뢰성의 불안정과 capacitance값의 감소, 그리고 memory switching voltage 값이 증가하게 된다. 또한 series capacitance영향으로 전압강하가 nonferroelectric층에 대부분 걸리게 되어 강유전체 메모리는 읽기/쓰기를 구동시키기 위해서 매우 높은 전압을 인가해야만 한다. 이러한 문제점을 해결하기 위해서 buffer layer로서 Y₂O₃같은 높은 유전상수를 갖는 절연체를 사용하는 MFIS(metal-ferroelectric-insulator-Si)구조가 보고되고 있다. Buffer layer는 낮은 격자부정합, 누설전류, 계면상태, 높은 유전상수, 화학적 안정성과 내부확산의 방지의 특성이 필요하다. Y₂O₃ 박막은 이러한 요구조건에 충족하는 것으로 보고 되었다.⁽²⁾ Y₂O₃박막은 cubic 구조이고 silicon과 거의 유사한 격자상수를 보인다.⁽³⁾ 일반적으로 Y₂O₃박막의 결정성은 높은 증착 온도에서 형성된다. 그러나 높은 온도의 공정은 Si 기판과 silicide를 형성하는 화학적 제

반응을 일으킨다. 양질의 계면성질을 얻으면서 Silicide 형성을 피하고자 Y₂O₃ 박막을 400°C이하에서 증착하였다. 그리고 나서 RTA(rapid thermal anneal)를 사용하여 700°C~900°C에서 후 열처리를 하였다.

2. 실험방법

2.1 실험방법

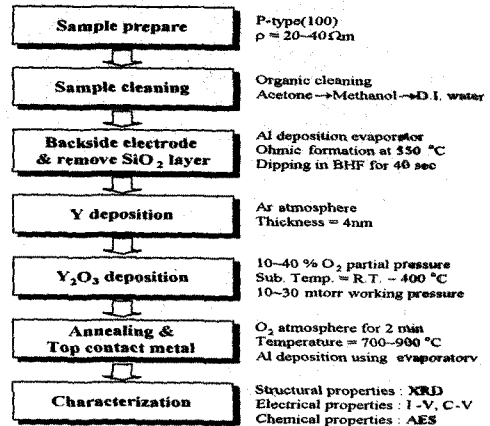


그림 1. Employed experimental procedure of this paper.

본 실험에서는 20-40 Ω-cm인 저항을 갖는 P-type Si(100)을 사용하였다. 기판의 유기물 제거를 위하여 아세톤, 메탄올 그리고 탈이온수 (D.I. water)로 세척하였다. 하부전극으로 Al 기판 뒷면을 증착한 후 ohmic contact 형성을 위하여 550°C에서 30분 동안 2.51pm 비율로 질소가스를 공급하여 열처리하였다. Si 기판표면을 BHF(49%HF:H₂O=1:10)용액에 40초 동안 담가서 ohmic contact 처리 중에 형성된 기판위의 산화막을 제거한 후 Y₂O₃를 증착하였다. Target 을 지름이 2-inch인 Y 금속을 사용한 13.56 MHz rf magnetron sputtering 시스템으로 10⁻⁶ torr까지 초기 진공을 잡은 후 reactive rf magnetron sputtering법으로 Y₂O₃박막을 증착하였다. Y₂O₃ buffer layer를 증착하기 이전에 buffer layer의 형성을 촉진시키기고 내부계면에 SiO₂ 층의 형성을 막기위해서 산소를 공급하지 않은 상태에서 50A정도의 Y 금속을 먼저 증착한 후, 산소를 공급하면서 sputting법

으로 Y_2O_3 를 증착하였다. Y_2O_3 buffer layer의 공정 매개변수로서 기판온도, 산소분압, 후열처리 온도 등을 가변하여 조사하였다.

Y_2O_3 결정성 개선을 위해서 RTA(rapid thermal annealing)를 이용하여 산소 분위기에서 $700^\circ C \sim 900^\circ C$ 에서 120sec동안 후열처리를 하였다. XRD(X-ray diffractometer)를 이용하여 Y_2O_3 박막의 결정성을 조사하였으며, 누설전류, 파괴전압을 Keithley 617 multimeter와 Fluke 5100B voltage source를 사용하여 측정하였다. C-V 특성을 조사하기위해 Boonton 7200 C-V meter를 사용하고 1MHz에서 측정하였다. Y_2O_3 박막의 화학량론적 분석을 실험하고자 AES(Auger electron spectroscopy)를 사용하였다. 그림 1에서 본 실험의 순서를 나타내었다.

2.2 결과 및 토의

그림 2는 후 열처리 온도를 $900^\circ C$ 에서 고정시키고 $400^\circ C$ 이하에서 증착온도를 가변한 경우와 증착온도를 $400^\circ C$ 에 후 열처리를 $700^\circ C$, $800^\circ C$, $900^\circ C$ 에서 달리 하였을 경우의 XRD 결과이다. 박막의 peak가 (222) 방향으로 강하게 나타나고 (444), (440) 방향으로 약하게 나타남을 볼 수 있다. 박막 증착 온도를 높임에 따라 (222)방향으로 강하게 나타남을 볼 수 있다(그림 2. (a), (b), (e)). Y_2O_3 박막은 후 열처리를 $700^\circ C$ 에서 $800^\circ C$ 로 증가시키기에 따라 amorphous한 상태에서 polycrystalline 구조로 변화하였다(그림 2. (c), (d)).

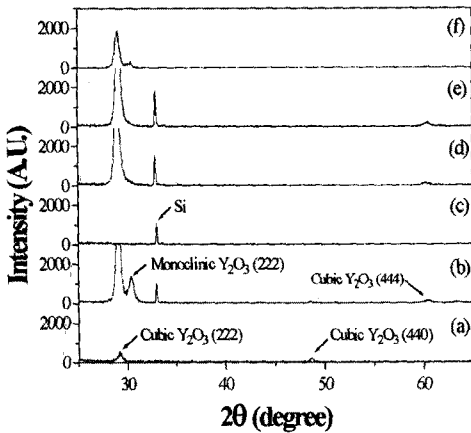


그림 2. XRD patterns of Y_2O_3 films for (a) room temperature and $900^\circ C$ RTA temperature (b) $300^\circ C$ temperature and $900^\circ C$ RTA temperature (c) $400^\circ C$ temperature and $700^\circ C$ RTA temperature (d) $400^\circ C$ temperature and $800^\circ C$ RTA temperature (e) $400^\circ C$ temperature and $900^\circ C$ RTA temperature (f) $400^\circ C$ temperature, $900^\circ C$ RTA temperature and 10% O_2 partial pressure

$300^\circ C$ 이하의 기판온도나 산소분압이 10% 인 경우의 회절 peak 값은 monoclinic yttrium oxide를 나타내었다(그림 1. (b), (f)). 이러한 결과들은 기판온도나 산소분압이 감소함에 따라 성장된 Y_2O_3 박막은 본래의 산소량보다 결핍이 생겼음을 암시한다.^(4,5) 이러한 산소결핍은 Y_2O_3 박막의 monoclinic 상을 촉진시킨다. $400^\circ C$ 이상의 기판온도나 20% 이상의 산소분압 조건에서는 monoclinic 상이 사라지고 cubic 상이 지배적으로 나타났다(그림 (e)).

그림 3는 기판온도의 함수로서 격자 상수와 격자 부

정합을 보이고 있다. Y_2O_3 박막의 격자 상수는 상온에서의 $1.03nm$ 에서 $400^\circ C$ $1.06nm$ 로 증가하였다. 이 값들은 Si 격자 상수의 두 배 정도된다. Y_2O_3 박막의 격자 부정합은 상온 5%에서 $900^\circ C$ 후 열처리한 후 1.75%로 낮아졌다.

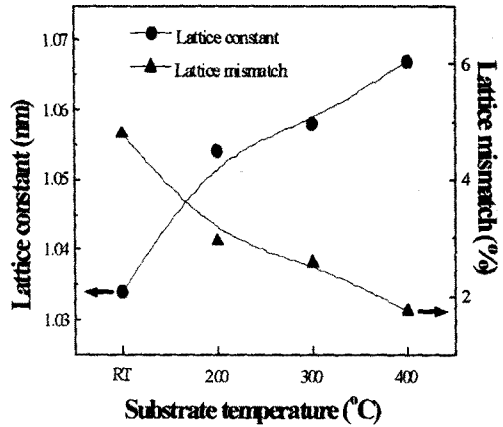


그림 3. Lattice constant of Y_2O_3 films and lattice mismatch with Si substrate as a function of substrate temperature.

RTA 처리한 Y_2O_3 박막의 I-V 특성은 $10^{-6}A/cm^2$ 에서 $10^{-8}A/cm^2$ 으로 누설전류밀도가 향상되었다. RTA 처리에 의해 누설전류의 특성이 감소하는 것은 Y_2O_3 박막의 결정성과 화학량론적으로 향상되었기 때문으로 생각된다. $400^\circ C$ 에서 성장된 Y_2O_3 박막은 파괴전압이 2MV/cm이상의 값을 보였다.

그림 4은 $400^\circ C$ 에서 증착하고 $900^\circ C$ 에서 열처리한 Y_2O_3 박막의 I-V곡선을 나타낸다. Y_2O_3 의 누설전류는 낮은 전압에서 ohmic의 움직임이 관찰되었다. 이런 결과는 Y_2O_3 박막의 conduction mechanism이 Schottky emission임을 나타낸다.^(6,7,8)

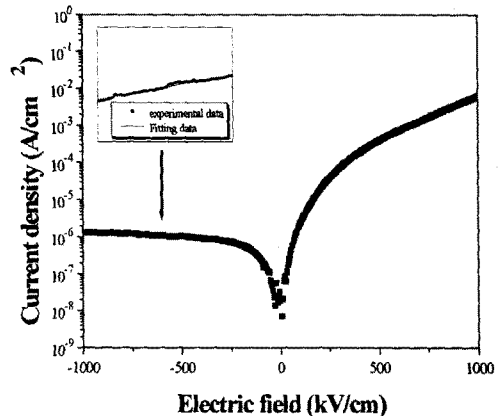


그림 4. I-V characteristic of MIS capacitor with Y_2O_3 layer grown at $400^\circ C$ and annealed at $900^\circ C$

그림 5은 Y_2O_3 층을 $400^\circ C$ 에서 증착하고 $900^\circ C$ 에서 후 열처리한 MIS capacitor의 1MHz C-V 곡선을 나타낸다. 후 열처리한 Y_2O_3 박막은 열처리하기전보다 화학량론적과 박막 결정성이 향상되었기 때문에 더 높은 유전상수와 낮은 계면트랩밀도(Dit)를 보여주고 있다.

유전상수는 열처리 전에는 4.94이였으나 RTA를 이용하여 900°C 열처리한 후 7.47로 향상되었다. 900°C에서 열처리한 후, Y₂O₃와 Si 사이에서의 D_{it}값은 C-V곡선으로부터 8.72×10¹⁰cm⁻²eV⁻¹ 정도로 낮게 계산되었다. 이러한 결과는 Y₂O₃와 Si 사이의 계면상태가 SiO₂층의 계면상태보다 더 좋다는 것을 암시한다. 그리고 간접적으로 Y₂O₃ 박막성장시 내부계면에 SiO₂성장을 잘 억제하였음을 나타낸다.

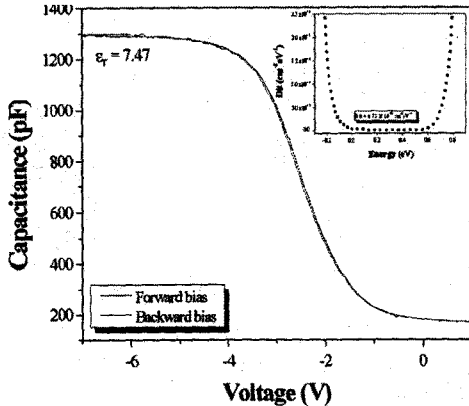


그림 5. C-V characteristic of MIS capacitor with Y₂O₃ layer grown at 400°C and annealed at 900°C

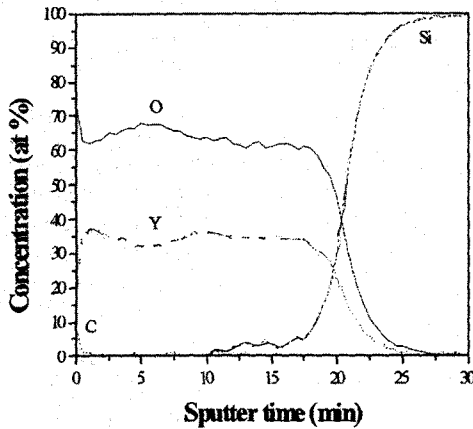


그림 6. AES depth profile for Y₂O₃/Si prepared at 400°C and annealed at 900°C

Y₂O₃와 Si 기판사이에 SiO₂층의 존재를 조사하기 위해서 AES(Auger electron spectroscopy)를 측정하였다. 그림 6은 증착온도 400°C에서 증착하고 900°C에서 후열처리한 Y₂O₃박막의 깊이에 따른 측면을 보여주고 있다.

AES를 조사한 결과 화학량론적으로 우수한 Y₂O₃박막이 형성되었음을 알 수 있었다. 탄소성분은 증착시 잔여 gas에서의 오일로 인하여 발생한 것으로 생각되어진다. 또한 Y₂O₃와 Si 기판사이에 SiO₂층이 형성되었음을 보인다. 본 실험에서 계면의 전이영역에서 과다산소 영역과 과다 yttrium 영역으로 나누어졌음이 관찰되었다. 그러나 이런 전이영역은 Y₂O₃ MIS capacitor의 전기적 성질들에 그리 큰 영향을 끼치지 않았다.

3. 결 론

본 논문에서는 MFIS 구조의 강유전체 트랜지스터용 buffer layer로서의 Y₂O₃ 박막의 가능성을 조사하였다. Buffer layer는 2단계 공정으로 낮은 온도에서 박막증착과 RTA 처리를 하여 제작하였다. 매우 얇게 Y 금속을 먼저 Si 기판위에 증착함으로써 buffer 층과 Si 기판사이에서의 SiO₂층의 생성을 효과적으로 억제하였다. 또한 RTA 처리를 함으로써 Y₂O₃박막의 10⁻⁷A/cm² 정도의 누설전류와 8.72×10¹⁰cm⁻²eV⁻¹의 D_{it}값을 향상시켰다. 400°C 정도의 기판온도나 20%의 산소분압에서는 Y₂O₃박막은 monoclinic 상이 사라졌고 cubic상이 지배적이었다. 그리고 1.75%의 낮은 격자 부경합을 얻었다.

감사의 글

본 논문은 정보통신부 대학기초연구지원사업 연구비에 의해 연구되었으며 이에 감사드립니다.

[참 고 문 헌]

- [1] S. Imada, S. Shourki, E. Tokumitsu, and H. Ishiura, Epitaxial Growth of Ferroelectric YMnO₃ Thin Films on Si (111) Substrates by Molecular Beam Epitaxy, Jpn. J. Appl. Phys., Vol 37, pp6497-6501, 1998.
- [2] Y. M. Wu and J. T. Lo, Growth of PbTiO₃ Thin Film on Si (100) with Y₂O₃ and CeO₂ Buffer Layer, Jpn. J. Appl. Phys., Vol. 37, pp.4943-4948, 1998.
- [3] S. Zhang and R. Xiao, Yttrium Oxide Films Prepared by Pulsed Laser Deposition, J. Appl. Phys., Vol. 83, No. 7, pp. 3842-3848, 1998.
- [4] M. H. Cho, D. H. Ko, K. Jeong, S. W. Whangbo and C. N. Whang, S. C. Choi, and S. J. Cho., Structure Transition of Crystalline Y₂O₃ Film on Si(111) with Substrate Temperature, Thin Solid Films, Vol. 349, pp. 266-269, 1999
- [5] M. Y. Grytsiv, V. D. Bondar, and S. I. Chykhrii, Structure of Yttria Thin Films Prepared by Reactive RF Diode Sputtering, Inorganic Materials, Vol. 32, No. 11, pp. 1202-1204, 1996.
- [6] S. M. Cho and D. Y. Jeon, Effect of Annealing Conditions on the Leakage Current Characteristics of Ferroelectric PZT Thin Films Grown by Sol-gel Process, Thin Solid Films, Vol. 338, pp.149-154, 1999.
- [7] F. Wang and S. Leppävuori, Properties of Epitaxial Ferroelectric PbZr_{0.56}Ti_{0.44}O₃ heterostructures with La_{0.5}Sr_{0.5}CoO₃ Metallic Oxide Electrode, J. Appl. Phys., Vol. 82, No. 3, 1997.
- [8] S. M. Sze, Physic of semiconductor Devices, John Wiley and Sons, pp.402-407, 1981