

Poly Back-Seal에 의한 웨이퍼 SF(Stacking Fault)감소 효과 연구

홍능표\*, 이태선, 최병하, 김태훈, 홍진웅\*  
 페어차일드코리아반도체(주), 광운대학교 전기공학과\*

The Study of SF Decrease Effect on the Wafer by the Poly Back-Seal

N-P Hong\*, T-S Lee, B-H Choi, T-H Kim, J-W Hong\*  
 FAIRCHILD SEMICONDUCTOR KOREA LTD., KwangWoon University Dept. of Electrical Eng

**Abstract** - Due to the shrinking of the chip size and increasing of the complexity in the modern electronic devices, the defect of wafer are so important to decide the yield in the device process.

The engineers has studied the wafer defects and the characteristics. They published lots of the experimental methods. I did an experiment the gettering effect of the defects due to the high temperature and the long time diffusion. Actually, As the thickness of the wafer backside polysilicon is thicker and the diffusion time is faster, the defects on the wafer are decreased.

The polysilicon grain boundaries of the wafer backside played an important part as the defect gettering site.

1. 서 론

최근 전자기기의 고기능화와 더불어 전력용 반도체 성능의 고성능화 추세에 따라 불순물을 도핑(doping)하는 기술도 여러 가지 사용되고 있으며 침적(deposition)공정과 확산(diffusion)공정이 대표적으로 사용되고 있다

소자의 고내압 구현을 위해 설계나 공정상의 여러변수가 있겠으나 그 중 하나는 깊은 접합(deep junction)에 의해 곡률반경을 크게하여 접합코너(junction edge)의 전계집중을 감소시켜 고내압을 구현하는 방법이 쓰이고 있다. 게다가 소자에 따라서 칩과 칩 또는 소자와 소자 사이의 구분(isolation)영역을 확보하기 위해서 날리 사용된다. 이를 위해 소자는 공정 진행시 침적공정과 고온,장시간의 확산공정을 진행하고 있다. 때문에 일부 제품에서는 고온 장시간의 확산공정에서 유기된 결점(defect)들이 표면에 발생하여 신뢰성이나 제품특성에 많은 영향을 주고 있다.

일반적으로 웨이퍼의 결점은 크게 웨이퍼 고유의 내부적인 영향(intrinsic effect)과 반도체 공정 진행중 발생하는 외부 영향(extrinsic effect)에 기인한 결점으로 나뉘는데 본 논문에서는 인위적인 게더링 층에따른 결점과의 관계를 기술하고자 하였다<sup>3,4,5</sup>. 결점 게더링을 위해 웨이퍼 뒷면(backside) 폴리실리콘(polysilicon)을 침적, 형성하고 전체 공정 진행 후 폴리실리콘 두께에 따른 소자의 특성을 분석하였다. 600V급 트라이액(triac)을 단위 시료로 원자재 뒷면의 폴리실리콘 두께를 달리하여 트라이액 전체공정 진행후의 표면상태와 이에 따른 소자의 전기적 특성을 분석 하였다<sup>2,3</sup>.

2. 본 론

2.1 시료 제작

트라이액은 소자의 특성상 MESA방식의 접합 터미네

이션(Junction Termination)기술을 사용하지 않는 한 칩(chip)과 칩을 구분해 주기 위한 분리(isolation)영역을 공정 상에서 형성해 주어야 한다. 때문에 고농도 불순물을 침적한 후에 고온의 분위기에서 오랜 시간의 확산공정을 거쳐야만 한다. 본 실험에 사용한 웨이퍼의 경우도 P형(p-type)소스인 BBr3로 침적한 후에 1280°C의 고온에서 약 150시간 이상을 침투시켜 분리영역을 형성하였다. 트라이액은 단방향 소자인 싸이리스터(thyristor)와는 달리 양방향 소자이므로 뒷면에 사진작업을 비롯한 기타 공정을 앞면과 동일하게 진행하였다. 이렇게 형성된 트라이액을 기본시료로 측정하였다. FZ방식 웨이퍼의 뒷면에 폴리실리콘을 침적시켜 이를 PBS(Poly Back-Seal)웨이퍼라 칭하고 초기(original)웨이퍼를 NPBS(No Poly Back-Seal)웨이퍼라 칭하였다.

2.2 실험 결과

기본시료는 <111>구조의 웨이퍼 결정결함을 분석하기 위한 SIRT(L(CrO3 50g + H2O 100ml 와 48% HF를 1:1비율로 혼합)에칭으로 시료를 처리하여 웨이퍼 표면을 관찰 하였다.

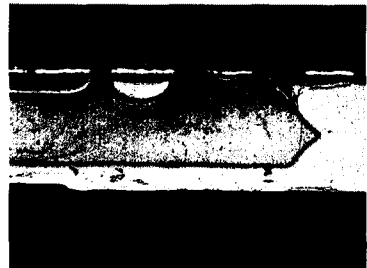


그림1. 트라이액의 단면 SEM사진

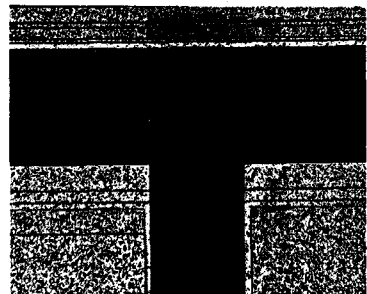


그림2. NPBS 웨이퍼 표면

그림1은 트라이액의 전체공정 진행후의 단면 스코프(Scope)사진으로 사진에서도 알 수 있듯이 앞면과 뒷면에서 형성된 P형 확산층 영역은 웨이퍼의 가운데 부근

에서 만나 이웃한 칩과 칩을 분리시키는 역할을 하고 있는 것을 나타내 주고 있다. 이 영역은 조립공정시 다이아몬드(diamond)칼날이 지나가는 절단 라인(sawing line)이 되며 이로써 칩과 칩이 서로 분리되는 것이다.

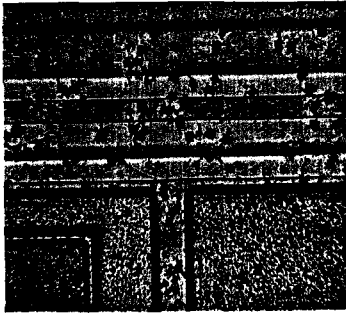


그림3. NPBS웨이퍼의 SIRTLE에칭후

그림2와 그림3에서는 NPBS웨이퍼를 사용한 트라이앵글 전체공정 진행후의 표면 사진과 SIRTLE에칭 후의 사진을 나타낸 것이다. 사진에서도 알 수 있듯이 웨이퍼 표면에 형성된 결점들은 메탈(metal)과 산화막(oxide) 제거 전인 그림2에 비해 그림3에서 보다 확연히 확인 가능하였다.

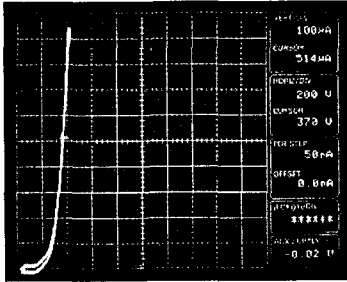


그림4. NPBS웨이퍼의 Vdrm파형

그림4는 NPBS웨이퍼를 사용한 트라이앵글의 Vdrm특성 그래프를 나타낸 것으로 바이어스(bias)초기부터 누설(leakage)전류가 증가하는 것을 볼 수 있다. 이는 그림2와 그림3을 통해서도 예상 할 수 있듯이 웨이퍼 표면의 결점 때문에 바이어스 증가에 따라 비례하는 누설전류 통로(Path)가 형성된 것으로 예상된다.

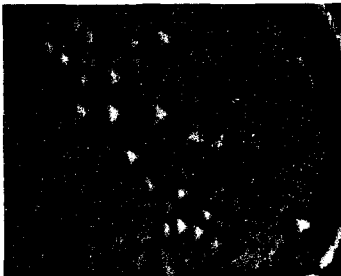


그림5. NPBS웨이퍼의 결점 확대사진

그림5는 NPBS웨이퍼의 결점을 확대한 사진으로 slip이 있는 부분이 케미컬(chemical)에칭되면서 핏트(pit)성 결점(defect)화한 것으로 SIRTLE에칭하면 대부분의 경우 EDP(Etch Pit Dislocation)를 관찰할 수 있다. 디스로케이션(dislocation)이란 크게 웨이퍼 자체가 고온 확산공정 진행시 유기되는 경우와 불순물의 침투가 본래 실리콘

격자와의 부조화(un-match)로 고온공정 진행시 나타나는 현상으로 구분된다.

그림6은 PBS-5000Å웨이퍼의 트라이앵글 공정 진행후의 SIRTLE에칭 후 사진으로 NPBS에 비하여 결점 밀도는 줄어들었으나 그림7의 Vdrm파형에서도 알 수 있듯이 고온, 장시간 확산공정 진행시 발생하는 결점들을 상당부분 게터링(gettering)하였다. Vdrm특성은 초기 NPBS웨이퍼에 비해 누설 전류 량은 다소 감소했지만 인가 전압증가에 따라 수백 마이크로 암페어(ampere)정도의 큰 누설전류 값이 나타남을 확인할 수 있다. 이는 인가 전압 증가에 따른 채널(channel)성 누설전류로 제한적으로 증가하다가 내압 부분에서는 메인(main)접합(junction)으로 대부분이 흐른다.

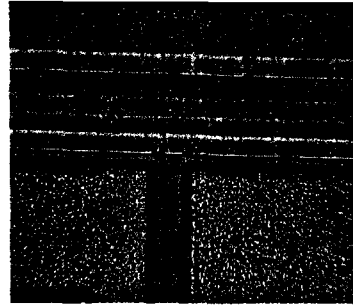


그림6. PBS-5000Å 원자재의 SIRTLE에칭 후

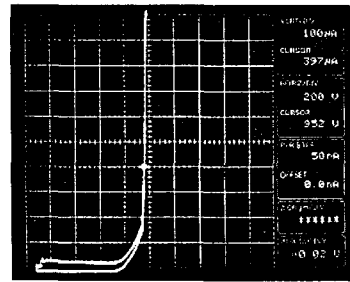


그림7. PBS-5000Å 웨이퍼의 Vdrm파형

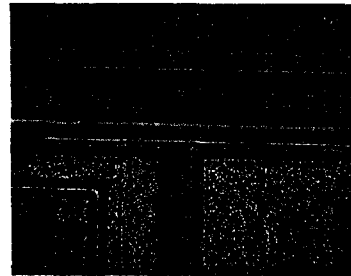


그림8. PBS-15000Å 웨이퍼 SIRTLE에칭 후

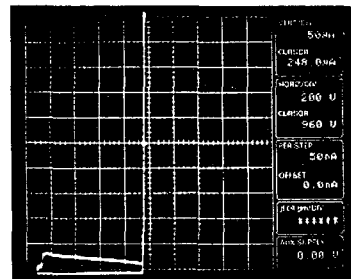


그림9. PBS-15000Å 웨이퍼의 Vdrm파형

그림8은 웨이퍼 뒷면에 폴리실리콘15000Å형성한 웨이퍼를 사용한 경우로 NPBS웨이퍼나 PBS-5000Å의 웨이퍼에 비해 크게 개선된 웨이퍼 표면상태를 확인할 수 있다. 이 역시 웨이퍼 뒷면의 폴리실리콘 영향으로 고온, 장시간 확산공정시 발생하는 결점들의 생성을 억제하여 그림3,그림6과 비교하여 현저하게 줄어든 결점 밀도(defect density)를 확인할 수 있다.

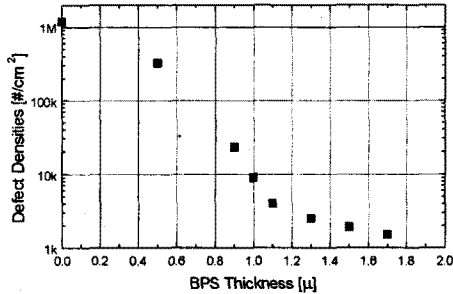


그림10. PBS두께와 결점밀도 관계

그림10은 PBS두께에 따른 웨이퍼 표면 결점밀도와와의 관계를 나타낸 그래프이다. P-ISO영역을 확보하기위해 두께별로 구분(split)된 PBS웨이퍼를 이용 BBr3 침적 후 1280°C/N<sub>2</sub> 분위기에서 130시간 침투공정 진행후 그에 따른 표면 결점과의 관계를 나타낸 그래프이다.

결점 밀도의 측정은 50μm×50μm의 면적 3포인트(points)를 측정하여 그 평균값을 단위면적으로 환산하여 계산한 값을 나타낸 것이다. 그림10을 통해서 일정온도에서의 최소 결점밀도 값을 갖는 적정 PBS두께를 예측 가능할 수 있으며 향후에는 보다 정확한 실험결과를 위해 측정 포인트의 수를 늘리며 온도에 따른 결점 밀도 및 확산 시간에 따른 결점밀도 등의 관계를 밝히는 실험이 이루어져야 한다고 생각하는 바이다.

### 3. 결 론

웨이퍼 뒷면에 형성한 폴리실리콘 두께가 15000Å에서의 표면 결점밀도가 NPBS에 비해 상당부분 개선되어 나타났으며 이로 인해 소자의 내압(V<sub>drm</sub>)특성에서도 표면 누설 전류 감소로 인한 하드(hard)한 V<sub>drm</sub>특성이 나타나는 것을 확인할 수 있었다. 이는 일반적인 확산(diffused)웨이퍼 또는 에피(epi)웨이퍼의 경우 뒷면에 고농도 기판(substrate)이 있어 공정 진행시 유발되는 결점들이 기판에 의해 게더링되거나 SCR같은 고농도 기판이 없는 전체가 저농도 웨이퍼의 경우에는 이면 고농도 대신 폴리실리콘의 그레인(grain) 바운더리(boundary)들이 웨이퍼 뒷면에서 게더링 층(site)으로 작용하여 표면 결점들을 줄일 수 있기 때문이다.

### [참 고 문 헌]

- [1] S. M. SZE, "VLSI Technology", McGRAW-HILL, 2nd Edition, p44-50, 1988
- [2] H. R. Huff, H. F. Schaake, J. T. Robinson, S. C. Baber, and D. Wong, "Some Observations on Oxygen Precipitation Gettering in Device Processed Czochralski Silicon", J. Electrochem. Soc., 130, p1551-1554, 1983
- [3] J. W. Medernach, "An Evaluation Of Extrinsic Gettering Techniques", Semiconductor Silicon 1986, Electrochem. Soc., Pennington,

New Jersey, p915, 1986

- [4] H. Rauh, "Wacker's Atlas for Characterization of Defects in Silicon", Wacker-Chemitronic GmbH
- [5] Si Characteristics Research Team, R&D Center, "Collection of the defect on Si Wafer", LG-Siltron, 1st Edition, 2000.