

Precharge형 PFD의 동작 특성 개선에 관한 연구

우영신* 김두곤 오름 성만영
 고려대학교 대학원 전기공학과 반도체 CAD 연구실

A Study on the Improvement of Characteristics of Precharge PFD

Youngshin Woo, Dugon Kim, Reum Oh, Man Young Sung
 Semiconductor & CAD Lab., Department of Electrical Engineering, Korea University

Abstract - In this paper, we introduce a charge pump PLL architecture which employs precharge phase frequency detector(PFD) and sequential PFD to achieve high frequency operation and fast acquisition.

Operation frequency is increased by using precharge PFD when the phase difference is within $-\pi \sim \pi$ and acquisition time is shortened by using sequential PFD and increased charge pump current when the phase difference is larger than $|\pi|$. So error detection range of proposed PLL structure is not limited to $-\pi \sim \pi$.

By virtue of this multi-phase frequency detector structure, the maximum operating frequency of 423MHz at 2.5V and faster acquisition were achieved by simulation.

1. 서 론

최근 Sequential PFD의 데드존을 감소시키기 위해 구조를 간단히 하고 리셋신호로서 입력 신호 자체를 사용하는 동적구조의 PFD가 다수 제안되었는데 이러한 PFD 들은 주파수차가 큰 경우, 위상차가 큰 경우, Duty Ratio 의 차이가 큰 경우에 비이상적인 특성이 나타나 여러 검출 범위가 $-\pi \sim \pi$ 으로 제한되어 이 PFD를 사용한 PLL의 Acquisition 시간을 증가시키는 단점이 있었다.

본 논문에서는 두 개의 PFD를 이용하여 주파수차와 위상차에 따라 적절한 PFD를 구동시켜 두 PFD의 장점을 결합시킬 수 있는 PLL의 구조를 제안하였다. Precharge PFD와 Sequential PFD를 사용할 경우 위상차가 $-\pi \sim \pi$ 범위내에 있을 때는 Precharge PFD를 동작시키고 위상차가 그 이상의 범위에 있을 경우에는 Sequential PFD를 동작시키면서 Charge Pump의 전류를 변화시킴으로써 Precharge PFD의 고 주파 동작과 Precharge PFD의 빠른 Acquisition 시간 특성을 결합할 수 있었고 두 개의 PFD를 사용한 CMOS PLL의 특성을 기존의 PFD를 이용한 PLL의 특성과 비교 분석하였다.

2. 본 론

2.1 Sequential PFD와 Precharge PFD의 특성 비교

PFD는 두 입력 신호의 위상차와 주파수차를 검출하는 회로로 그림 1과 같은 Sequential PFD가 주로 사용되었다. 이러한 형태의 PFD는 입력신호가 많은 게이트를 통과할 때 발생하는 딜레이 때문에 데드존이 큰 단점이 있었는데 최근 트랜지스터의 갯수를 줄이고 리셋신호로 입력신호를 사용하는 방식의 그림 2와 같은 Precharge PFD^[1-3]가 개발되어 2.5V 전원 전압 사용시 데드존이 59ps로 감소되었다. 클락 주기의 2.5%의 데드존만을 허용한다고 가정하면 클락 주기가

2.36ns인 경우에 59ps의 딜레이가 클락 주기의 2.5%가 되고 이는 이 PFD를 사용한 PLL이 423MHz의 클락 신호의 입력을 허용할 수있음을 의미한다.

그림 2의 Precharge PFD는 출력특성이 입력 신호의 Duty Cycle과 무관하면서 UP 신호와 DN 신호가 동시에 "High"가 되는 영역이 없는 일반적인 Precharge PFD이고 그 출력특성은 그림 3에 나타난 바와 같다. PFD의 두 입력 신호 REF와 FB가 주파수는 같고 REF가 위상이 앞서면서 그 위상차가 $0 \sim \pi/2$ 일 경우 REF와 FB은 (0,0), (1,0), (1,1), (0,1)의 연속이 된다. UP과 DN 신호의 초기상태가 (0,0)이라고 가정하면 각 순간의 출력은 표 1과 같이 나타난다.

REF와 FB가 (0,0),(1,0),(1,1)로 그 상태가 바뀔 때 따라 노드 PC1은 충전, 전상태유지, 방전을 하게 되고 노드 M1은 전상태 유지, 방전, 충전을 하며 UP 신호는 전상태유지, "High", "Low"가 된다. 트랜지스터 MN3는 FB신호가 먼저 "High"가 되어 DN 신호가 "High"가 되어 있는 상태에서는 REF 신호가 "High"가 되어 도 UP 신호가 "High"가 되지 못하도록 한다.

Precharge PFD는 간단한 구조로 경로를 단축하고 리셋 입력으로 입력 신호 자체를 이용하는 방법으로 딜레이를 줄이는 것 이외에 Charge Pump의 Dead Zone을 없애는 구조로 응용되는 등 다양한 활용성을 보이지만 위상차가 $-\pi \sim \pi$ 범위를 벗어나면 그림 4에 나타난 바와 같은 3가지 현상이 발생하여 Acquisition이 느려지게 된다.

첫째, REF가 "Low"이고 UP이 "High"인 상태에서는 FB 신호가 "High"가 되어도 UP 신호가 "Low"가 되지 못한다. 이는 REF, FB가 (1,0) 다음에 (0,0) 상태가 되어 MN2가 "Off"인 상태에서 FB가 "High"가 되기 때문에 노드 PC1이 "High" 상태를 유지해서 UP에 아무런 변화가 없기 때문이다. 그 대신 REF가 다음 "High"가 되는 순간 UP이 "Low"가 되는데 이는 UP이 "High"인 시간을 증가시키는 것이 아니라 결과적으로 REF가 "High"가 되는 순간 UP이 다시 "High"가 되는 것을 억제하여 전체적으로 UP이 "High"가 되어있는 시간을 급격하게 감소시키게 된다.

둘째, REF 신호와 FB 신호가 둘다 "High"일 때는 항상 UP과 DN이 "Low"가 된다. 예를 들어 FB 신호가 "High"인 경우에는 REF가 "High" 되더라도 UP 신호가 "Low"에서 "High"가 되지 못한다. 이는 REF와 FB가 (1,1)이 되는 순간 PC1이 방전되어 노드 M1의 전압을 "Low"로 만들기 때문이다.

셋째, REF의 주파수가 FB에 비해 높아도 DN이 "High"가 되는 경우가 있다. 예를 들어 REF의 주파수가 FB보다 높아도 REF, FB가 (0,0)이 된 다음 FB가 먼저 "High"가 되는 경우에는 DN이 "High"가 된다.

결국 Precharge PFD는 입력 위상차가 $-\pi \sim \pi$ 인 경우 Sequential PFD보다 미세한 위상차를 검출함으로써 PLL이 고주파에서 동작 가능하도록 하지만 그림 4에 나타난 바와 같은 단점 때문에 Acquisition 시간이 Sequential PFD에 비해 크게 증가하게 된다.

Sequential PFD를 사용한 PLL이 입력 신호를 Lock 시키는 과정에서 Sequential PFD의 UP 출력 신호를 그림 5에 UPC로 나타내었고 이 과정에 있는 REF와 FB 신호를 입력으로 하는 Precharge PFD의 UP 출력 신호를 UP으로 나타내었다. 그림 5의 UP 신호를 보면 Precharge PFD는 위상차가 $-\pi \sim \pi$ 범위 이상에 있게 되면 비이상적인 특성이 나타나 UP 신호의 폭이 줄어들어 Acquisition 시간이 증가함을 알 수 있다. 따라서 위상차가 $-\pi \sim \pi$ 인 범위에서는 Precharge PFD를 동작시키고 그 이상의 범위에서는 Sequential PFD를 동작시키면 고주파 동작과 빠른 Acquisition 특성을 결합한 Charge Pump PLL 구조를 실현할 수 있다.

2.2 2개의 PFD를 사용하는 Charge Pump PLL

두 개의 PFD를 사용하는 Charge Pump PLL의 블록 다이어그램을 그림 6에 나타내었다. Sequential PFD(SPFD)의 출력신호 UPC, DNC를 입력으로 하는 위상차 검지회로 LC가 PLL의 두 입력신호 REF와 FB의 위상차가 $-\pi \sim \pi$ 의 범위 안으로 수렴하면 OUT을 "High"로 출력하고 그 이상이 되면 "Low"로 출력한다. Charge Pump는 RESET 신호가 "Low"가 되어야 동작하므로 LC의 출력신호 OUT이 OUT의 반전된 신호로 설정하면 입력신호의 위상차가 $-\pi \sim \pi$ 의 범위에 있지 않은 경우 OUT이 "Low"가 되어 SPFD에 연결된 Charge Pump CP1만 동작하게 된다. 같은 방법으로 Locking이 진행되어 입력신호의 위상차가 $-\pi \sim \pi$ 의 범위로 수렴하게 되면 OUT이 "High"가 되어 Precharge PFD(PPFD)에 연결된 Charge Pump CP2만 동작하게 된다. 이때 최종적인 Locking은 입력신호의 위상차가 $-\pi \sim \pi$ 의 범위로 들어온 이후에 동작하는 PPFD에 의해 수행되므로 CP1의 구동전류를 CP2에 비해 크게 설정하면 PLL의 Loop Bandwidth를 유지한채 구동전류가 작은 CP2에 맞추어 로패스필터를 설계하여 Acquisition 시간을 크게 감소시킬 수 있다.

입력 위상차 범위를 판정하는 회로 LC의 회로도도 그림 7에 나타내었다. PLL의 두 입력 REF와 FB가 Lock되어 SPFD의 출력 UPC와 DNC가 모두 "Low"가 되는 시간이 길어지면 LC 내부의 로패스 필터를 거친 노드 OM의 전압이 증가하게 되고 이 전압이 차동증폭기의 다른 입력전압인 노드 BIAS의 전압보다 커지면 OUT의 신호가 "High"가 된다. 이때 BIAS 전압을 적절히 설정하면 원하는 범위내로 위상차가 작아졌을 때 OUT이 "High"가 되도록 설계할 수 있다. 단 LC내의 로패스 필터의 R,C 값은 UPC, DNC를 필터링할 수 있도록 충분히 크되 노드 OM의 전압의 증가시간이 PLL의 Acquisition보다 작게 되도록 설정되어야 한다.

그림 8은 SPFD만을 사용한 PLL과 SPFD와 PPFD를 사용한 PLL이 Lock되는 과정 중에 VCO의 입력전압변화를 도시한 것이다. PLL의 입력 주파수는 400MHz, Loop Bandwidth는 10MHz, VCO의 Gain은 300MHz/V일 때 SPFD에 연결된 Charge Pump의 구동전류를 PPFD의 구동전류에 비해 3배로 크게 설정하면 Acquisition 시간이 250ns로 SPFD만을 사용한 PLL의 Acquisition 시간인 450ns에 비해 절반 이상 감소하고 데드존이 작은 PPFD를 사용한 것과 같은 결과를 확인할 수 있었다.

3. 결 론

본 연구에서는 SPFD, PPFD와 2개의 Charge Pump를 사용하여 고주파 동작이 가능하고 동작 주파수가 변화할 때 빠른 Acquisition을 수행할 수 있는 새로운 Charge Pump PLL 구조를 제안하였다. 제안된 PLL 구조는 입력신호의 위상차의 크기에 따라 전류값이 다른 Charge Pump에 연결된 두 개의 PFD를 구동

시킴으로써 PLL의 Loop Bandwidth의 변화없이 빠른 Acquisition을 수행할 수 있었고 입력신호의 위상차가 일정범위 안으로 수렴한 후에는 딜레이가 작은 Precharge PFD를 사용함으로써 2.5V의 전원전압에서 최고 423MHz의 클럭 입력으로 구동 가능함을 확인할 수 있었다.

차후에 다른 장점을 가지고 있지만 위상차가 작은 영역에서만 이상적으로 동작하는 PFD를 PPFD 대신 사용하면 SPFD와 사용한 PFD의 장점을 결합시킬 수 있리라 생각한다.

[참 고 문 헌]

- [1] Harufusa Kondoh, Hiromi Notani, Tsutomu Yoshimura, Hiroshi Shibata, Yoshio Matsuda, "A 1.5V 250MHz to 3.0V 622MHz Operation CMOS Phase-Locked Loop with Precharge Type Phase Frequency Detector", IEICE Trans. Electron., Vol. E78C, No.4, pp.381~pp.388, April, 1995.
- [2] Hiroyasu Yoshizawa, Kenji Taniguchi, Hiroyuki Shirahama, Kenichi Nakashi, "A Low Power 622MHz CMOS Phase-Locked Loop with Source Coupled VCO and Dynamic PFD", IEICE Trans. Fundamentals, Vol. E80, No. 6, pp.1015~pp.1020, June, 1997.
- [3] Henrik O. Johansson, "A Simple Precharged CMOS Phase Frequency Detector", IEEE Journal of Solid State Circuits, Vol. 33, No. 2, pp.295~pp.299, February, 1998.

표 1. Precharge PFD의 입력력관계

REF	FB	PC1	M1	PC2	M2	UP	DN
0	0	1	1	1	1	0	0
1	0	1	0	1	1	1	0
1	1	0	1	0	1	0	0
0	1	1	1	0	1	0	0

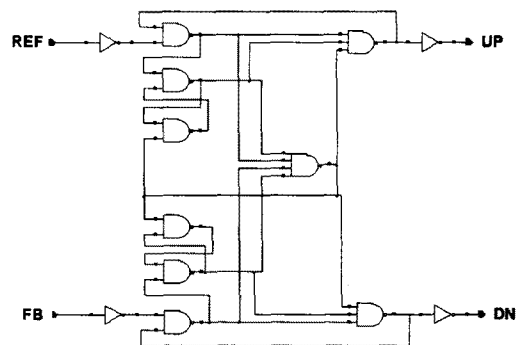


그림 1. Sequential PFD의 회로도

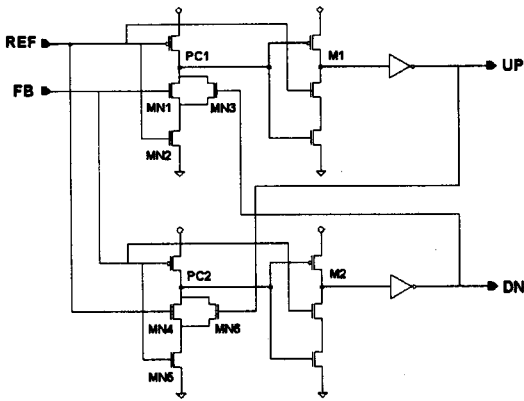


그림 2. Precharge PFD의 회로도

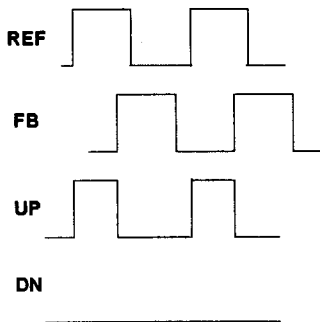


그림 3. 위상차가 $-\pi \sim \pi$ 일 경우 Precharge PFD 입출력 Timing Diagram

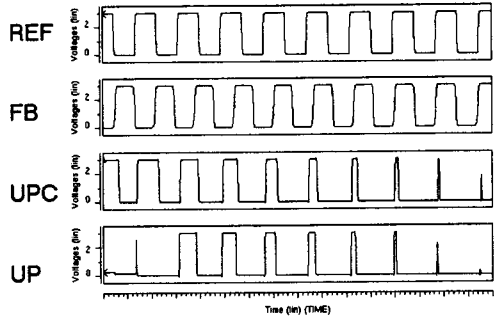


그림 5. Sequential PFD와 Precharge PFD의 출력 특성

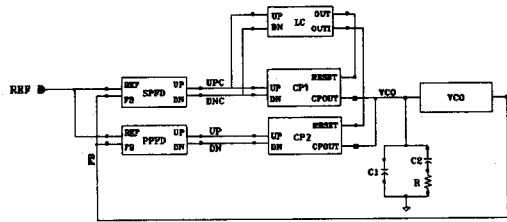


그림 6. 두 개의 PFD를 사용하는 PLL의 블락 다이어그램

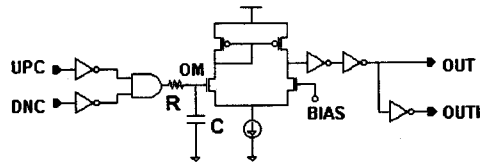


그림 7. 위상차 범위 검출 회로

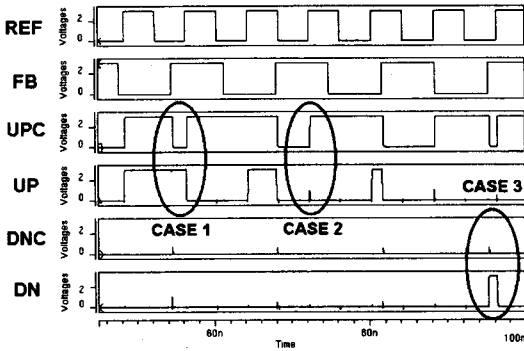


그림 4. 입력신호의 위상차가 $|\pi|$ 보다 클 때 Precharge PFD의 출력의 비이상적인 특성

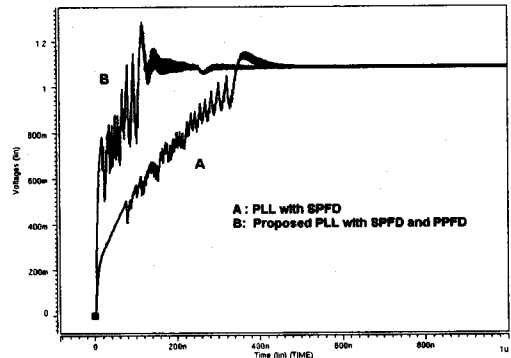


그림 8. SPFD만을 사용한 PLL과 두 개의 PFD를 사용한 경우 Acquisition 시간 비교