

## 대면적 다결정 실리콘 TFT-LCD 구동회로의 소형화

성희경, 이인환  
한양대학교 전자전기공학부

### Area-Efficient Driving of Large-Size Poly-Si TFT-LCD

Huikyung Sung, Inhwan Lee  
Division of Electrical and Computer Engineering, Hanyang University

**요약** - 본 논문은 대면적 Poly-Si TFT-LCD 구동회로의 면적을 줄이기 위한 효율적인 구동방식을 제안한다. 구체적으로 화소의 충전 시간을 줄이기 위한 화면 수평분할 구동방식과 데이터 라인 프리차징 방식을 제안한다. 또한 수평분할 구동을 위한 Bit-Reduced R-DAC를 제안한다. 마지막으로 본 논문에서는 제안하는 구동방식을 14.1" XGA 6-bit 일체형 디지털 Poly-Si TFT-LCD 구동회로에 적용하여 효율성을 검증한다. 시뮬레이션 결과 제조별 평균 구동오차는 14mV로서 1/2 LSB(≈23mV) 정확도 요구 조건을 만족한다. 데이터 드라이버의 폭은 상·하단 각각 약 6mm이며 이는 기존 설계에 비해 66% 감소한 값이다.

#### 1. 서론

저은 Poly-Si TFT-LCD는 a-Si TFT-LCD와 같이 유리 Substrate를 사용할 수 있어 대면적 직시형 디스플레이에 이용할 수 있으며, Poly-Si TFT를 이용한 구동회로를 패널에 집적하여 외부구동회로를 대체할 수 있어 생산단가를 낮출 수 있다 [1,2]. 앞으로 이 기술은 현재 LCD 시장을 주도하고 있는 a-Si TFT-LCD를 점차적으로 대체할 것으로 전망된다.

그러나 저은 Poly-Si TFT-LCD 제작 공정이 지 원하는 최소 선 폭이 대단히 크고 또한 Poly-Si TFT는 구동능력이 떨어지기 때문에 Poly-Si TFT를 이용하여 일체형 구동을 실현할 경우 구동회로의 면적이 상당히 증가한다. 구동회로의 크기가 증가하면 이에 따라 같은 화면 크기를 갖는 a-Si TFT-LCD에 비해 Poly-Si TFT-LCD 모듈의 전체 평면적이 증가하고 또한 구동회로 자체의 수율 뿐만 아니라 나아가서 TFT-LCD 모듈 전체의 수율을 감소시킨다. 이러한 문제는 대면적, 고해상도로 갈수록 더 심각하다. 따라서 대면적, 고해상도 Poly-Si TFT-LCD 구동회로 설계에서는 우선 구동회로의 면적을 줄이는 것이 대단히 중요하다.

본 논문에서는 Poly-Si TFT-LCD의 구동회로 크기를 줄일 수 있는 화면 수평분할 구동방식, Bit-Reduced R-DAC, 그리고 데이터 라인 프리차징 방식을 제안하고, 제안한 방법을 14.1" XGA 6-bit 일체형 디지털 Poly-Si TFT-LCD 구동회로에 적용하여 그 효율성을 검증한다.

#### 2. 화면 수평분할 구동방식

대면적 고해상도 Poly-Si TFT-LCD는 Poly-Si TFT의 낮은 전류 구동능력에 비해 빠른 동작속도를 요구한다. 기존 연구에서는 XGA급 동작 속도를 만족시키기 위한 구동방식을 제안하였다 [3]. 구체적으로 수직분할 구동방식과 2-페이지 구동방식을 사용하여 XGA 해상도에 따른 요구 속도를 만족하였다. 수직분할 구동방식은 화면의 홀수 번째 컬럼의 화소에서, 짝수 번째 컬럼의 화소는 하단에서 병렬로 구동하여 요구속도를 절반으로 줄였다. 또한 2-페이지 구동방식은 시프트

레지스터의 출력과 시프트 레지스터 내부에서 자동적으로 생성되는 위상이 다른 또 다른 출력신호를 이용함으로써 두 배의 시프트 레지스터 동작속도를 얻었다. 그림 1은 기존 연구의 패널 구조를 나타낸다. 패널 구조를 살펴보면 수직분할 구동에 따라 상·하단에 512개의 DAC가 위치하는 것을 알 수 있고 2-페이지 구동에 따라 256개의 시프트 레지스터가 존재함을 알 수 있다. 수직분할 구동방식을 적용했을 때의 데이터 드라이버의 폭은 상·하단 각각 18mm이다.

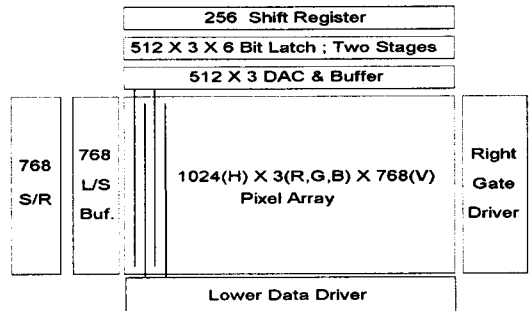


그림 1. 수직분할 구동방식

구동회로의 면적을 줄이기 위해서는 구동회로를 구성하는 개개의 모듈의 크기를 줄이는 방법과 구성 모듈의 수를 줄이는 방법을 생각할 수 있다. 그러나 구동회로를 구성하는 단위 모듈들(시프트 레지스터, 래치, D/A 변환기 등)은 단순한 구조를 갖고 있어, 이들의 크기를 더 이상 줄이기 어렵다. 따라서 본 논문에서는 구성모듈의 수를 줄이는 데 연구의 초점을 맞춘다. 구성모듈의 크기를 줄이기 위해서는 하나의 D/A 변환기가 여러 개의 화소를 구동하는 것이 필수적이며, 이를 위해서는 화소의 충전시간을 줄여야 한다.

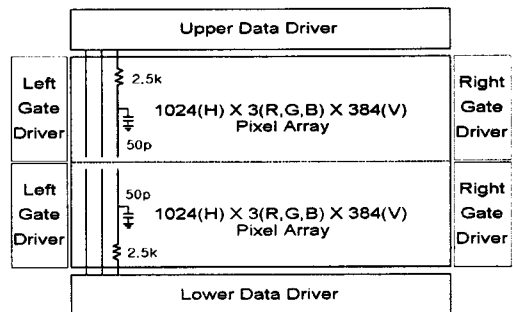
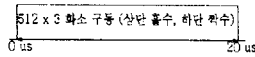


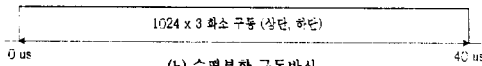
그림 2. 수평분할 구동방식

본 논문에서는 화소의 충전 시간을 줄이기 위해 화면을 수평으로 2분할하여 구동회로의 부하를 줄이는 수평분할 구동방식을 제안한다. 제안한 구동 방식에서는 패널상의 모든 컬럼의 384번째 화소들과 385번째 화소들 사이의 데이터 라인을 끊어 수평으로 분할된 패널을 상단 및 하단에서 병렬로 구동한다 (그림 2).

기존의 수직분할 구동방식과 제안하는 수평분할 구동방식 모두 상·하단 데이터 드라이버는 화면의 반을 구동하므로 타이밍 발생회로에 대한 속도 요구조건은 동일하다. 즉, 수평분할 구동방식에서는 상·하단 드라이버가 구동할 컬럼의 수는 두 배로 늘어나지만 구동할 라인의 수는 반으로 줄어 속도 특성은 같게 된다 (그림 3). 그러나 화소 충전 시간을 보면, 수평분할 구동방식에서는 데이터 라인의 총 부하가 기존 방식의 약 반으로 줄어, 부하의 시정수 면에서 약 4배의 이득을 얻을 수 있다. 따라서 하나의 D/A 변환기로 여러 개의 화소를 구동할 수 있어, 기존의 구동 방식에 비해 D/A 변환기의 수를 줄일 수 있고, 이에 따라 구동회로의 면적을 줄일 수 있다.



(a) 기존 연구의 수직분할 구동방식

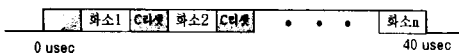


(b) 수평분할 구동방식

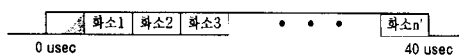
그림 3. 수평분할 구동방식의 라인타임

### 3. 수평분할 구동을 위한 D/A 변환

수평분할 구동방식의 장점을 최대한으로 활용하기 위해서는, 구동 정확도를 유지하는 범위에서 화소의 충전 시간을 최소화하여, 하나의 D/A 변환기(DAC)로 가능하면 많은 화소를 구동(Time Multiplexing by factor of  $n$ )하는 것이 중요하다. 수평분할 구동에서 하나의 라인을 구동하는데 사용할 수 있는 시간은  $40\mu\text{s}$ 이며, 역기서 게이트 라인의 ON/OFF를 위한 블랭킹 시간이 약  $4\mu\text{s}$  소요되어 사용가능 시간은  $36\mu\text{s}$ 가 된다. R-C 복합 DAC를 사용하면 각 화소를 구동할 때마다 커패시터 DAC를 구성하는 커패시터를 리셋하기 위한 시간이  $4\mu\text{s}$  정도 필요하므로, Multiplexing Factor  $n$ 의 값을 늘이는데 불리하다. 반면에 저항열 DAC를 사용하면 커패시터 리셋이 필요 없기 때문에  $n$ 의 값을 늘이기가 수월하다 (그림 4).



(a) R-C 복합 D/A 변환 방식



(b) 저항열 D/A 변환 방식

□ : 블랭킹 시간      □ : 화소 충전 시간

그림 4. 라인타임의 활용

일반적으로 R-DAC를 사용할 경우 정적 전력 소모가 증가할 수 있으나, Time Multiplexing을 사용함에 따라 전력소모가  $1/n$ 로 감소하기 때문에 별 문제가 되지 않는다. 또한 구동능력 면에 있어서는 수평분할에 따라 부하가 약  $1/4$ 로 줄기 때문에 별도의 커런트 버퍼 없이 구동이 가능하다. 그러나 회로 면적 면에 있어서는 R-DAC를 사용할 경우 R-C 복합 DAC를 사용할 때보다 회로 면적이 2배정도 증가하는 문제가 있다. (표 1).

	R-C 복합 DAC + 버퍼	R-DAC	Bit-Reduced R-DAC
(상대소요) 면적	1	2	1
구동능력	Good	Normal	Normal
정확도	Poor	Very good	Good
구동속도	Poor	Good	Good

표 1. D/A 변환 방식의 비교

본 논문에서는 Bit-Reduced R-DAC를 제안하여 R-DAC의 면적을 절반으로 줄였다. 제안하는 Bit-Reduced R-DAC에서는 액정 투과도의 좌우 대칭성을 이용한다. 액정의 투과도는 중앙을 기준으로 좌우 대칭성을 갖는다 (그림 5). 즉 0-31계조의 전압 간격과 63-32계조의 전압간격이 매우 유사하며, 따라서 이와 같은 액정의 광투과도의 대칭성을 이용하면 32개의 전압을 생성하여 액정 투과도의 대칭성을 이용하여 64개의 전압을 표현할 수 있다 [4]. 즉 32개의 계조 값만 변환하는 5-bit 저항열과 디코더를 이용해 6-bit DAC를 구현할 수 있다.

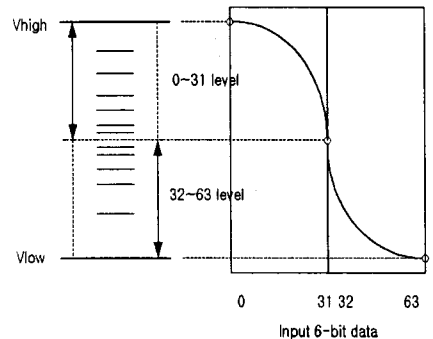


그림 5. 액정의 광투과율

그림 6은 31개의 저항열을 사용한 6-bit DAC를 나타내고 있다. 이 회로의 동작을 살펴보면 6-bit의 디지털 화상신호를 받아 상위 1-bit(MSB, 스위치 S1)값이 0이면 중앙을 기준으로 0-31계조에 해당되는 기준전압(Ref a)을 선택하며 1이면 32-63계조에 해당되는 기준전압(Ref b)을 선택한다. 그리고 하위 5-bit는 전압의 간격을 결정하는 저항을 선택하게 되어 총 64계조를 표현한다. 이 때 하위 5-bit 입력은 MSB 값이 0일 경우 원래 신호가 입력되고, MSB 값이 1일 경우 원래 신호가 반전된 값이 입력되며, 이 기능은 그림 22의 스위치 S2 - S6에 의해 수행된다.

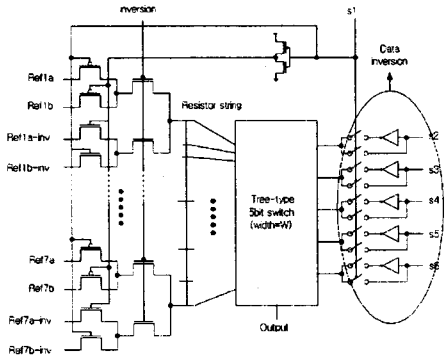


그림 6. 6-bit Bit-Reduced R-DAC

이와 같이 액정의 대칭성을 이용한 Bit-Reduction 방법을 이용하여 DAC를 구현할 경우, 필요한 저항의 수를 반으로 줄일 수 있고 또한 디코딩에 필요한 스위치 수를 반으로 줄일 수 있어 DAC의 면적을 절반으로 줄일 수 있다.

#### 4. 충전시간을 줄이기 위한 프리차징

액정은 그 양단에 직류 성분의 전압이 계속적으로 인가되면 화상 전압이 변화해도 액정의 광 투과율이 변화하지 않는 현상이 발생하고, 액정의 양단에 축적 되는 전하에 의한 화면의 잔상 현상 때문에 화질이 떨어지게 된다. 이를 해결하기 위한 방안으로 패널을 구동하는 구동 회로에서 화소에 인가되는 화상 신호의 극성을 주기적으로 반전시켜 화상 신호의 직류성분을 제거하는 극반전 방식을 이용한다.

극 반전 구동방식 중 행 반전 구동과 점 반전 구동의 경우 매 라인을 구동 할 때마다 데이터 드라이버에서 반전된 전압을 인가해 주어야 한다. 이 때 데이터 라인의 전압 스윙 폭이 커지고 따라서 화소 충전시간이 증가하게 된다 [5]. 이는 한 DAC가 여러 화소를 구동하는데 제한점이 된다. 본 연구에서는 전압 스윙 폭을 줄이기 위한 방안으로 데이터 라인 프리차징 방식을 제안한다.

제안하는 데이터 라인 프리차징 방식은 한 라인을 구동하기에 앞서, 인접한 데이터 라인이 서로 다른 극성의 계조 중간 값을 갖도록 데이터 라인을 미리 충전 또는 방전함으로써, 실제 화소 구동에 필요한 전압 스윙 폭 및 이에 따른 화소 충전시간을 줄인다.

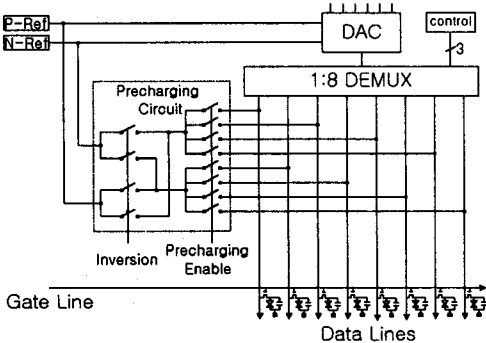


그림 7. 프리차징 회로

그림 7은 Multiplexing Factor  $n$ 이 8일때, 점 반전 구동을 지원하는 프리차징 회로의 예를 나타낸다. 프리차징 회로는 인버전 신호와 프리차징 이네이블 신호에 의해 제어된다. 인버전 신호는 매 라인타임마다 컬럼에 인가되는 프리차징 래퍼런스 전압의 극성을 반전시키며, 프리차징 이네이블 신호는 라인타임 내에서의 프리차징 구간을 결정한다. 프리차징은 두 게이트라인에 연결된 화소 TFT들이 동시에 On되는 문제를 피할 수 있는 블랭킹 타임 이후부터 DAC가 화소에 전압을 인가하는 시점 이전까지 일어난다. 그림 8은 프리차징이 라인타임의 어느 부분에서 일어나는지를 보인다. 그림 9는 화소에 최대 계조 전압 값을 인가할 때의 프리차징 반전 파형을 나타낸다.

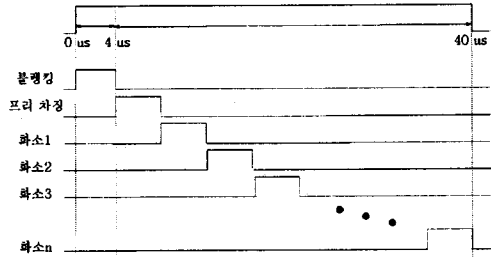


그림 8. 프리차징의 타이밍

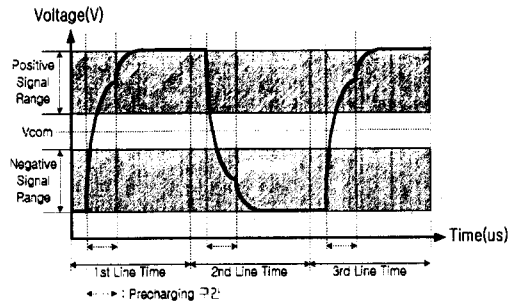


그림 9. 프리차징 전압 파형

#### 5. 수평분할 구동방식의 구현

하나의 DAC가  $n$ 개의 화소를 구동할 경우,  $n$ 의 값을 결정하기 위하여 프리차징 시간과 충전 시간을 시뮬레이션을 통해 추정한다. 시뮬레이션에서는 구동 전압 범위의 최대 계조 값에서 반대 극성의 각 계조 값으로 반전할 때의 계조별 구동오차를 추출함으로써 프리차징 시간과 화소 충전 시간을 추정한다. 계조별 구동오차는 Poly-Si TFT의 불균일도를 고려하여 추출한다. 구체적으로 저항 값의 불균일도는 2%, Poly-Si TFT의 전계 이동도 및 문턱전압의 불균일도는 10%로 추정하여 성능평가를 하였다. 시뮬레이션 결과 4 $\mu$ s의 프리차징 시간과 4 $\mu$ s의 충전시간을 갖을 때 6-bit 구동에서의 1/2 LSB (=23mV) 정확도를 만족한다. 이때 계조별 평균 구동오차의 전체 평균은 약 14mV이다. 그림 10은 계조별 구동오차를 나타낸다.

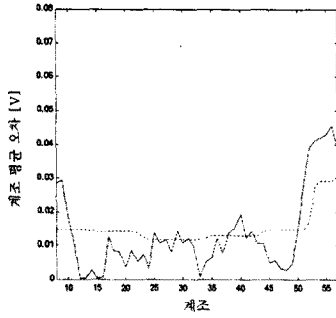


그림 10. 계조별 구동오차

화소의 프리차징 시간이  $4\mu s$  그리고 충전 시간이  $4\mu s$  로 결정됨에 따라  $14.1''$  XGA급 Poly-Si TFT-LCD에서 하나의 DAC로 8개의 화소를 구동(1:8 DEMUX) 할 수 있으며, 이에 따라 실제 필요한 DAC의 수는 상·하단 각각  $1024 \times 3$ 에서  $128 \times 3$ 으로 감소한다. 그림 11은 구동회로의 전체 구성을 나타내며, 실제한 구동회로에서는 N번째 게이트 라인의 Off 지연과 N+1번째 게이트 라인의 On 지연에 따른 블랭킹에  $4\mu s$ 를 사용하고, 패널 전체의 데이터 라인을 프리차징 하는데  $4\mu s$ 를 사용한다. 나머지  $32\mu s$  동안, 시프트 레지스터, 래치1, 래치2 그리고 DAC로 구성된 하나의 모듈이 상·하단에서 각각 8개의 화소를 순차적으로 구동한다. 이러한 수평분할, 데이터 라인 프리차징, 그리고 Bit-Reduced R-DAC를 사용한 데이터 드라이버의 폭은 약  $6mm$ 로 추정되며, 이는 기존 설계에 비해 약 66% 감소한 값이다. 그리고 R-DAC의 사용에 따른 정적 소모 전력은  $691mW$ 이다.

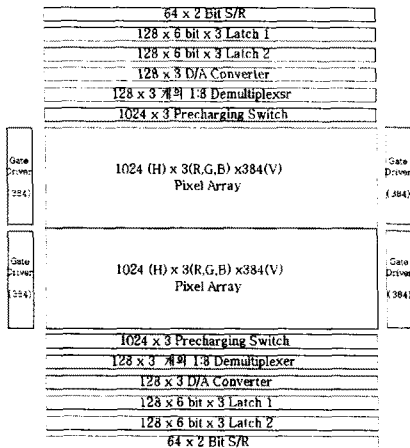


그림 11. 전체 패널의 구성

## 6. 결 론

본 논문에서는 대면적 Poly-Si TFT-LCD 구동회로의 면적을 줄이기 위한 효율적인 구동방식을 제시하였다. 구체적으로 화소 충전 시간을 줄이기 위한 화면 수평분할 구동방식과 데이터 라인 프리차징 방식을 제안하였다. 또한 수평분할 구동을 위한 Bit-Reduced R-DAC를 제안하였다. 마지막으로 제안한 구동방식을  $14.1''$

XGA 6-bit 일체형 디지털 Poly-Si TFT-LCD 구동회로에 적용하여 정확도를 검증하고 면적을 추정하였다. 구체적으로 시뮬레이션을 통해  $4\mu s$ 의 프리차징 시간과  $4\mu s$ 의 화소 충전 시간을 결정하였고 이에 따라 구동타이밍과 데이터 드라이버 구조를 결정하였다. 제안하는 구동방식은 XGA급의 요구속도와 6-bit 정확도를 만족함과 동시에 기존 연구의 구동방식에 비해 면적을 66% 감소시키고 DAC의 정적 소비전력을 75% 감소시켰다. 따라서 제안하는 방식은 대면적 Poly-Si TFT-LCD 구동회로의 소형화에 유용한 방법임을 알 수 있다.

## (참 고 문 헌)

- [1] H. Ibaraki, "Low-Temperature Poly-Si TFT Technology", SID, pp. 172-175, 1999
- [2] C. Reita, "Fabrication and Performance of Integrated Drivers", AMLCD WORKSHOP'95, pp. 53-56, 1995
- [3] Minhoo Lee, "Integrated Digital Driving of Large-Area Poly-Si TFT-LCD", 한양대학교 석사학위 논문, 1999
- [4] Y. Matsueda, "A 6-bit-Color VGA Low-Temperature Poly-Si TFT-LCD with Integrated Digital Data Drivers", SID, pp. 879-882, 1998
- [5] T. Furuhashi, "A 64-Gray-Scale Digital Signal Driver for Color TFT-LCDs", SID, pp.359-362, 1994