

FPGA를 이용한 프로그래시브 스캔 카메라 접속 모듈 개발

김정훈, 전재욱, 변종은
 성균관대학교, 성균관대학교, 넥스트아이

Development of Progressive Scan Camera module using FPGA

Jeong-Hun Kim, JaeWook Jeon, Jong-Eun Byun
 Sungkyunkwan Univ., Sungkyunkwan Univ., NextEye

Abstract - In machine vision fields around FA, there have been demands for functions to capture high speed moving objects as blur-free images. By electronic shutters, progressive scan cameras can do it. This paper develops a module to connect a progressive scan camera, XC-55.

1. 서 론

기존에는 RS-170 카메라를 사용해서 비전시스템을 구축하는 것이 일반적이었다. 그러나 표준 카메라만 가지고는 빠른 물체를 촬영하거나 작은 광원에서 물체를 촬영하는데 어려움이 있다. 왜냐 하면 RS-170 카메라만 가지고 촬영 하려 하면 영상이 뭉개져서 뿌옇게 찍힐 수 있기 때문이다. 이런 목적을 수행하기 위해서는 트리거 입력에 따라 아주 짧은 순간 영상을 포착 할 수 있어야 한다. 이런 목적을 위해서 만들어진 카메라가 프로그래시브 카메라이며 기존의 RS-170 카메라에 몇몇 기능이 포함된 특징을 보인다. 결국 이런 카메라를 접속할 수 있는 모듈이 필요하게 된다. 모듈은 기본적으로 기존의 비전 시스템에 쉽게 삽입할 수 있는 형태이어야 하기 때문에 메모리에서 데이터를 읽어 가는 입장에서 기존 시스템과 같은 형태로 저장할 수 있게 하였다. 비 표준 카메라는 인터페이스 모듈에서 카메라로 공급되는 신호들이 존재하며 정확한 타이밍에 의해서 신호를 만들어 주어야 한다. 특히 외부 트리거 신호에 의해서 영상을 얻거나 셔터 스피드를 바꾸어 줌으로써 빠른 물체를 찍기 위해서는 이런 모든 기능들이 프로그램에 의해서 제어 가능해야 한다. 때문에 이 부분은 FPGA 칩에 VHDL 코드로 설계하였다. 사실 프로그래시브 스캔 카메라는 기본적으로 RS-170의 모든 기능을 포함하고 있기 때문에 인터페이스 모듈은 프로그램에 의해서 표준카메라와 프로그래시브 카메라를 선택해서 각각 접속 할 수 있다. 또한 카메라 모듈만 독립적으로 테스트하기 위해서 일반 흑백 모니터를 사용하였다. 이런 모든 내용을 이 논문에서 다루고자 한다.

2. 본 론

2.1 모듈 전체 구조

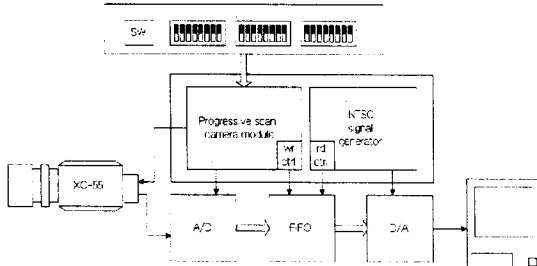


그림 1 프로그래시브 스캔 카메라 모듈 사용 예

그림 1에서 보듯 시스템은 크게 ADC, FIFO, DAC, 제어 모듈로 나눌 수 있다. 제어 모듈은 덤 스위치에 의해서 셔터 스피드를 조절 할 수 있고 푸시 스위치에 의해서 트리거 입력을 한다. FIFO에 순차적으로 카메라 영상은 저장되고 NTSC 신호에 맞게 흑백 모니터에 출력되게 된다. 즉 라이트와 리드 모듈 사이에는 비동기로 동작하며 다른 비전 시스템에서 쉽게 연결해서 사용할 수 있는 구조로 되어 있다. 여기서는 실험을 목적으로 NTSC 모듈이 사용되고 있으며 실제 비전 시스템에 적용할 때에는 생략해도 상관없다. 단지 DAC 부분에 DSP 처리부나 PC가 물리게 된다. FIFO로 구성되기 때문에 입력 버스와 출력 버스 사이에 라인이 충돌하는 것을 고려할 필요는 없어서 시스템을 보다 간단하게 구현할 수 있다.

2.2 Progressive Scan Camera module

여기서는 Sony XC-55를 기초로 두고 설계가 되었다. 이 회사의 셔터 스피드 제어 방법인 E-DONPISHA II 에 따라 신호를 만들어 주게 되어 있다. 카메라로 공급 되는 신호는 External Trigger(EXTTRG), External Horizontal sync.(EXTHD), External vertical sync.(EXTVD) 신호이며 5V 입력 신호이다. 프로그래시브 스캔카메라 모듈을 제어하는 신호로는 Trigger input(TRGIN), Trigger width(TRGWIDTH), Non Interaced and Interaced select signal(NIIN), FIFO Control signal 이 존재한다. 모두 이 모듈을 동작시키는데 관여를 하는 신호이다. TRGIN은 영상을 캡처하기 위한 외부 신호이며 카메라로 공급되는 EXTTRG 신호의 기준이 된다. TRGWIDTH는 셔터 스피드를 조절할 수 있는 20비트 신호이며 시스템 내의 덤 스위치에 의해서 그 값을 바꿀 수 있다. NIIN 신호는 모듈을 인터레이스로 할지 인터레이스로 할지 변경하는 신호이며 XC-55 카메라의 모드와 일치 시켜야 정상 작동할 수 있다. 다음 그림 2 는 카메라 모듈의 구조를 나타내고 있다.

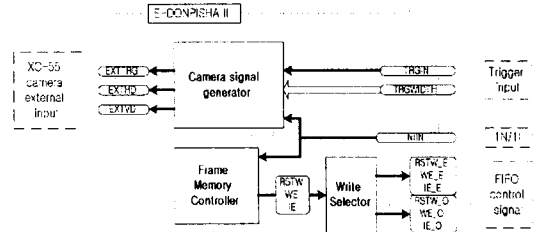


그림 2 카메라 모듈 구조

2.2.1 수평 동기 와 수직 동기 신호 생성

XC-55 카메라는 인터레이스모드로 영상을 출력할 수도 있고 년인터레이스모드로 영상을 출력할 수도 있다. 때문에 각각의 모드를 고려해서 모듈을 구현해야 한다. 수직 주파수는 15.734kHz이므로 샘플링 클럭에 따라 한 수평주기를 카운트하는 값이 정해진다.

12.2727MHz를 기준 클럭으로 해서 수평 주기를 만들어 주었다. HD의 로우 영역은 6.36 μ s 만큼 만들어 줌으로써 신호를 만들 수 있었다. 여기서 만들어 진 HD 신호는 VD신호를 만들어 주기 위한 라인 클럭으로 사용된다. 그러나 수직동기 신호는 인터레이스인지 년 인터레이스인지에 따라 다르기 때문에 NIN신호에 의해서 구별해 주었다. 즉 NIN이 '1'이면 VD 포트로는 년 인터레이스 신호가 출력이 되고 NIN이 '0'이면 VD 포트로는 인터레이스 신호가 출력이 된다.

2.2.2 외부 트리거 신호 생성

카메라의 셔터 스피드를 외부에서 제어하기 위해서는 트리거 신호를 입력해 줌으로써 가능하다. 이것은 E-DONPISHA II 규격에 따라 트리거신호를 만들어 주어야 한다. 즉 카메라에 트리거 신호를 입력한 다음에 일반적으로 140 μ s인 TR시간 후에 VD신호를 만들어 주고 위에 만들어 준 HD신호를 동기를 시켜주어서 만들어 주면 된다. 우선 E-DONPISHA II의 타이밍을 보면 다음과 같다.

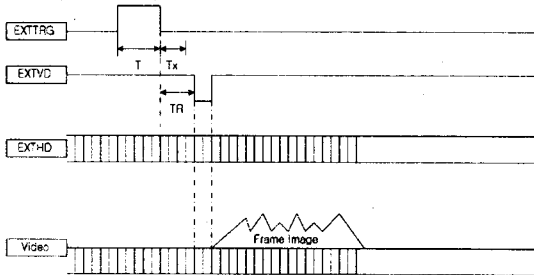


그림 3 E-DONPISHA II 타이밍 도

E-DONPISHA II 타이밍은 출력되는 비디오 영상의 순서를 고려하지 않는다면 인터레이스 모드와 년 인터레이스 모두 같은 형태이다. 때문에 각각을 따로 생각할 필요는 없다. 그러나 출력되는 영상이 프레임이나 필드의 차이만 있을 뿐이다. 셔터 스피드는 고정된 시간(8 μ s)에 트리거 펄스 폭에 해당하는 시간을 더함으로써 제어할 수 있다. HD와 VD 신호는 카메라에 트리거 신호를 입력한 후에 TR시간 지나서 입력할 수 있다. TR시간은 140 μ s ~ 3ms 사이이며 가장 짧은 시간에 트리거 입력으로부터 비디오 신호를 얻기 위해서 TR을 140 μ s로 설정한다. 그리고 개발된 시스템에서 셔터 스피드를 바꾸어 주기 위해서는 TRGWIDTH를 조절하게 되는데 이것은 다음과 같은 식에 의해서 조절된다.

$$TRGWIDTH = \frac{\text{shutterspeed} - 8\mu s}{0.082 * 16} \quad (1)$$

원하는 셔터스피드(shutter speed)값이 있으면 식(1)에 대입하면 TRGWIDTH를 얻을 수 있다. 기준 클럭인 12.2727MHz를 16분주한 값을 트리거 신호를 만드는 클럭으로 사용했기 때문에 구해진 값을 0.082 * 16으로 나누어주었다. 트리거 입력은 외부에서 푸시 스위치에 의해서 작동되고 TRGWIDTH는 덤스위치로 설정이 된다.

2.2.3 FIFO에 영상 저장

만들어진 제어 신호를 바탕으로 640 * 480의 영상을 FIFO에 저장하게 된다. FIFO는 어드레스 편이 외부에 나와 있는 것이 아니기 때문에 정확한 타이밍에 의해서 저장해야 하며 FIFO의 라이트 어드레스를 리셋할 때 주의해야 한다. 여기서는 (0,0) 픽셀에서 리셋을 할 수 있도록 구성하였다. 즉 매번 트리거 입력이 들어오면 FIFO는 리셋이 되고 차례대로 영상이 저장되며 다음 트리거 신호가 들어 올 때까지 FIFO는 리셋이 되지 않기 때문에 영상이 정지해 있는 효과를 얻을 수 있게 된다. 또한 FIFO는 홀수라인을 저장할 프레임 메모리와 짝수라인을 저장할 프레임 메모리가 존재한다. 이렇게 메모리를 두 개를 사용할 이유는 년 인터레이스 모드와 인터레이스 모드사이에서 같은 순서로 영상이 저장되

게 하기 위해서다. 년 인터레이스 모드에서는 한 VD짜이를 동안에 480라인의 영상이 나오기 때문에 짝수 FIFO와 홀수 FIFO를 교대로 라이트 하게 된다. 그러나 인터레이스 모드에서는 홀수필드 동안에는 홀수 FIFO에 순차적으로 라이트 하고 짝수 필드 동안에는 짝수 FIFO에 순차적으로 라이트 하는 방법을 사용해서 결국 각각의 FIFO에 짝수홀수가 나뉘는 형태로 저장되게 된다.

2.2.4 카메라 모듈 시뮬레이션

여기서는 VHDL을 시뮬레이션 하기 위해서 ALTERA의 MAX+plus II ver 9.01를 사용하였다. 그림 4는 HD,VD신호를 시뮬레이션 한 결과이다. 각각은 카메라에 공급되는 신호이며 FIFO에 라이트를 하기 위해서는 이 신호가 변형되어 사용된다.

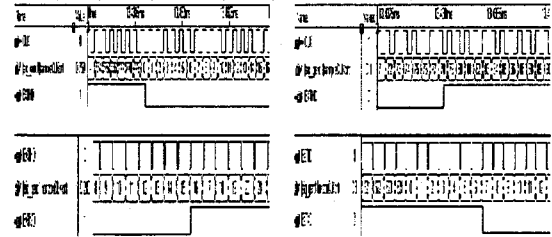


그림 4 HD, VD신호 시뮬레이션

HD, VD 신호는 스위치에 의해 트리거 신호에 따라 카메라에 공급되는 EXTTRG 신호를 만들어 준다. 물론 덤스위치값 TRGWIDTH에 따라 시뮬레이션 값이 다르겠지만 여기서는 임의로 500을 설정해 두었다. 트리거 입력은 '0' 신호로 인식이 된다.

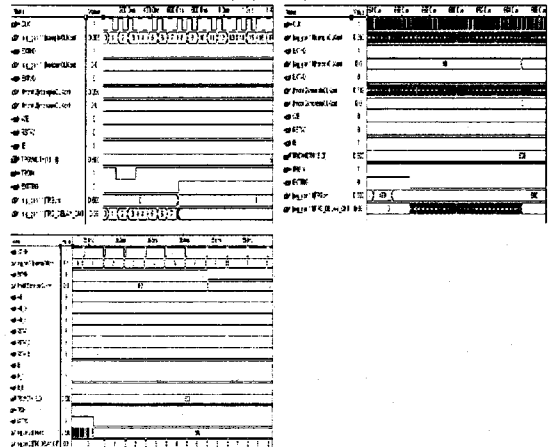


그림 5 EXTTRG 신호 시뮬레이션

그림 5의 첫 번째 결과는 트리거 입력(TRGIN)에 의해서 EXTTRG 신호가 '1'이 됨을 보여주고 있다. TRGWIDTH가 500으로 설정되어 있기 때문에 500에서 EXTTRG 신호가 '0'으로 바뀐다. EXTTRG 신호가 '0'이 된 후 바로 VD 신호가 나오는 게 아니라 약 6VD 시간 후에 신호가 발생함을 볼 수 있다. 즉 실험에선 TR시간을 최소 값인 140 μ s 가 아닌 381 μ s로 설정을 해 두었다.

2.3 NTSC 신호 발생기

카메라 모듈에 의해서 영상정보가 FIFO에 쓰여지고 정확하게 영상이 저장되어있는지 확인할 필요가 생긴다. 확인하는 방법으로 FIFO에 있는 데이터를 일반 흑백 모니터에 디스플레이 하려고 한다. 그러기 위해서는 우선 NTSC 신호를 규격에 맞추어서 만들어 주어야 한다. NTSC 신호는 홀수 필드와 짝수 필드로 구별되어 있기 때문에 짝수 메모리 홀수 메모리로 나누어 있는 FIFO를 필드 타입에 맞추어서 디스플레이 하면 된다. 다음

그림 6은 NTSC 신호 발생기의 전체 구조를 나타내고 있다.

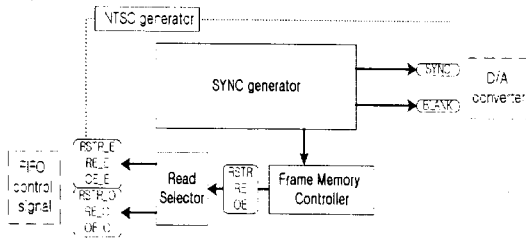


그림 6 NTSC 신호 발생기 전체 구조

수평 동기 신호와 수직동기 신호를 각각 만들고 그 두 신호를 합쳐서 복합 영상신호를 만들어 준다. 이때 각 필드가 시작할 때 평활화 구간이 존재하며 홀수 필드와 짝수 필드에 대해서 각각 만들어 주어야 한다. 이 구간 안에서는 1/2H 인 싱크가 존재한다. 물론 전체 타이밍만 맞추어도 화면상에 디스플레이 되지만 여기서는 스팩에 있는 데로 같게 만들어 주었다. 평활화 구간은 9H 동안 존재하며 각각 세 부분으로 나누어서 (a,b,c)로 표기한다. 여기서 a, b, c 구간 모두 수평 동기 신호 구간의 1/2이 되게 만들어 주며 b에서는 특히 반전된 동기신호를 만들어 준다. (a,b,c)를 1/2H를 기준으로 개수를 적으면 홀수 필드에서는 (6,6,6)이고 짝수 필드에서는 (7,6,5)이다. 그 외에 두 필드 사이에 복합 동기신호를 만드는데 있어서 차이는 없다. 이런 규칙에 따라 시뮬레이션을 해보면 그림 7과 같이 얻어질 수 있다.

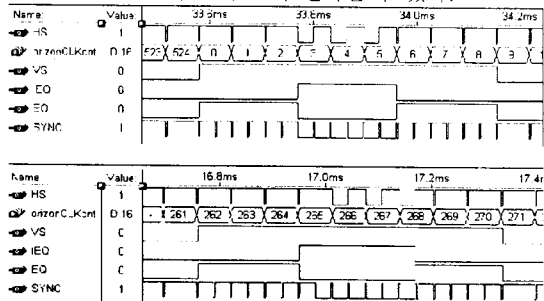


그림 7 NTSC 동기신호 발생

여기서 만들어진 동기 신호를 바탕으로 FIFO로부터 640 * 480 픽셀의 영상 데이터를 읽어와 모니터에 출력해 준다.

2.4 모듈 사이즈

FLEX 6000 시리즈인 EPF6016TC144-2 칩을 사용하였다. 칩에는 프로그래시브 스캔 카메라 모듈과 NTSC 모듈이 포함된 사이즈이다. 다음 표 1은 MAX+plus II 의 RPT 정보를 바탕으로 기술한 것이다. 그림 8은 완성된 외관을 나타내고 있다. 변환기판을 사용했기 때문에 전체 외관은 크게 보이지만 실제로는 적은 양의 칩으로 구성되었음을 볼 수 있다.

표 1 모듈 사이즈

종류	갯수
Input pin	26
Output pin	17
Dedicated input pin	2/4 (50%)
Total I/O pin	41/113(36%)
Total logic cells used	327/1320 (24%)
Flip Flop	137

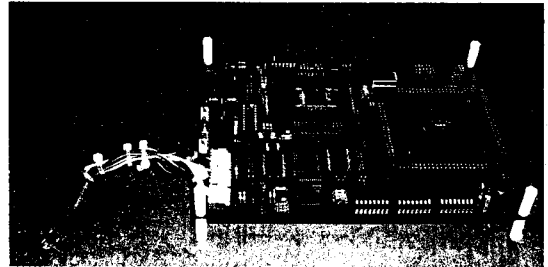


그림 8 완성된 모듈
3. 결 론

본 논문에서는 FPGA를 이용해서 프로그래시브 스캔 카메라 모듈 개발 과정에 대해서 살펴보았다. 어떻게 보면 RS-170 카메라 모듈만큼 구조가 간단하다고 볼 수 있다. RS-170 카메라 모듈은 카메라에서 들어오는 복합영상신호로부터 신호를 분리하고 그 신호로부터 프레임 메모리를 제어하는 신호를 만들어야 하기 때문에 카메라 영상에 노이즈가 끼면 동기 신호가 불안정해지는 특성을 보인다. 그러나 프로그래시브 스캔 카메라에서는 내부 동기로부터 출발하기 때문에 노이즈에 강한 특성을 보인다. 프로그래시브 스캔 카메라 외에도 많은 종류의 카메라가 존재한다. 듀얼 탭 카메라 라인스캔 카메라가 그것인데 그런 모든 카메라를 접속할 수 있는 모듈을 개발하는 것이 궁극적인 목적이며 현재 진행중이다.

(참 고 문 헌)

- [1] "Sony XC-55 Application Guide", Sony
- [2] R.D.M.Hunter, "Introduction to VHDL", CHAPMAN & HALL, 1996
- [3] Douglas L.Perry, "VHDL", McGraw-Hill, 1994
- [4] Ramesh Jain, "MACHINE VISION", McGraw-Hill, 1995
- [5] Louis J. Galbati, "Machine Vision and Digital Image Processing Fundamentals", Prentice-Hall, 1990