

영상 신호 처리용 8-bit 10-MHz A/D 변환기

박 창 선*, 손 주 호*, 이 준 호*, 김 중 민*, 김 동 용*
전북대학교 전자정보공학부
전화 : (0652) 270-2395 / 팩스 : (0652) 270-2394

A 8-bit 10-MHz A/D Converter for Video Signal Processing

Chang-Sun Park*, Ju-Ho Son*, Jun-Ho Lee*, Chong-Min Kim*, Dong-Yong Kim*
Faculty of Electronic and Information Engineering, Chonbuk National University
E-mail : changsunny@netsgo.com

Abstract

In this work, a A/D converter is implemented to obtain 8bit resolution at a conversion rate of 10Msample/s for video applications. Proposed architecture is designed low power A/D converter that pipelined architecture consists of flash A/D converter. This architecture consists of two identical stages that consist of sample/hold circuit, low power comparator, voltage reference circuit and MDAC of binary weighted capacitor array. Proposed A/D converter is designed using 0.25 μ m CMOS technology. The SNR is 76.3dB at a sampling rate of 10MHz with 3.9MHz sine input signal. When an 8bit 10Msample/s A/D converter is simulated, the Differential Nonlinearity / Integral Nonlinearity (DNL / INL) error are ± 0.5 / ± 2 LSB, respectively. The power consumption is 13mW at 10Msample/s.

I. 서 론

디지털 컴퓨터 기술의 급속한 발전으로 멀티미디어 제품, 통신 장비 등 많은 전자 시스템에서 디지털 신호 처리 기술이 광범위하게 사용되고 있다. 아날로그 디지

털(Analog/Digital, A/D) 변환기는 전자 시스템의 전반 부에서 아날로그 신호를 디지털 신호로 바꾸어 간단하고 신뢰성 있는 디지털 신호 처리가 가능하게 하는 것으로서, 최근 영상 신호처리 기술이 향상됨에 따라 저전압, 저전력의 A/D 변환기를 많이 요구하고 있다. 지금까지 구현된 다양한 A/D 변환기 구조 중에서 영상 신호 같은 고속 응용에 적용될 수 있는 변환기 구조로는 플래시 구조, 2스텝 방식, 그리고 파이프라인드 구조 등이 있다.^[1] 그 중에서도 저전압, 저전력 응용 구조 중 상대적으로 적은 칩 면적과 적은 전력 소모를 구현하기 위해서는 파이프라인드 구조의 A/D 변환기가 많이 이용되고 있다.^[2]

본 논문에서는 기존에 파이프라인드 구조에서 많이 쓰이고 있는 플래시 구조의 A/D 변환기의 많은 전력 소모의 단점을 보완하기 위해 저전력 특성을 가질 수 있는 새로운 A/D 변환기를 제안하고, 제안한 구조를 이용하여 영상 신호처리가 가능한 8bit 10MHz A/D 변환기를 설계하였다.

II. 제안된 구조의 A/D 변환기 설계

2.1 전형적인 파이프라인드 변환기 구조

일반적으로 k단으로 구성된 파이프라인드 A/D 변환

기 형태를 그림 1(a)에 나타내었다. 그림 1(b)에 나타나 있는 것처럼 각 단은 샘플/홀드 회로, N 비트 플래시 A/D 변환기, N 비트 디지털 아날로그(Digital/Analog, D/A) 변환기, 펌프, 잔류전압 증폭기로 구성되어 있으며, D/A 변환기, 펌프, 잔류전압 증폭기는 하나의 Multiplying Digital to Analog Converter(MDAC)으로 그 기능을 모두 구현할 수 있다.^[3]

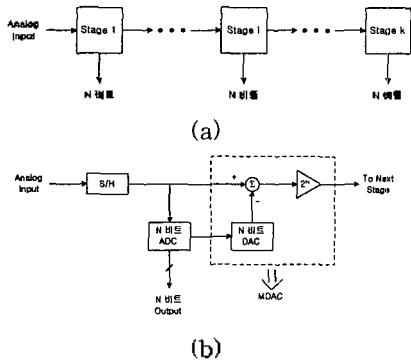


그림 1. (a) 전형적인 k단 파이프라인드 A/D 변환기, (b) i번째 단의 블록도

Fig. 1. (a) Typical k-Stage Pipelined A/D Converter, (b) Block Diagram of Stage I.

그림 2는 MDAC의 동작원리를 잘 나타내어 주고 있다. 먼저 그림 2(a)의 입력 샘플링 기간에는 아날로그 그 입력 전압이 MDAC 캐패시터의 아래 부분으로 샘플되어 캐패시터에 저장된다. 이때 증폭기 입력단이 증폭기 출력단과 스위치(SW1)를 통하여 직접 연결되며 출력에는 증폭기의 오픈 전압이 나타난다. 그림 2(b)의 증폭기간에는 캐패시터 아래 부분이 아날로그 입력 전압에 상응하는 A/D 변환기의 출력 디지털 코드에 따라 기준 전압(V_{ref})이나 접지 전압으로 연결된다. 이때 증폭기 출력으로부터 재생된 아날로그 전압과 샘플된 입력 전압과의 차이인 잔류 전압이 2^N 배로 증폭되어 나타나게 된다.^[4] 이 증폭된 잔류 전압은 다음 단으로 보내어져서 LSB를 얻는데 사용된다.

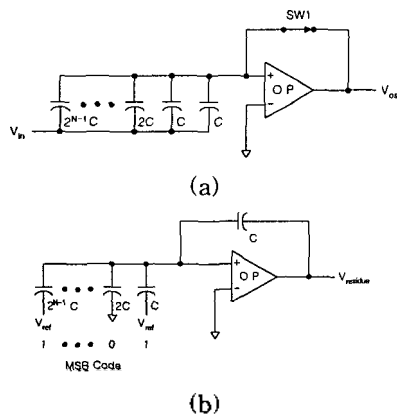


그림 2. MDAC의 동작, (a)입력 샘플링 기간, (b)오차 증폭

Fig. 2. MDAC Operations. (a) Input Sampling Mode. (b) Error Amplification

2.2 기존의 구조와 제안된 구조의 비교

기존의 파이프라인드 구조에서는 샘플/홀드 회로, N 비트의 플래시 A/D 변환기, MDAC으로 구성되어 있다. 파이프라인드 구조에서 사용되어지는 N 비트의 플래시 A/D 변환기는 N 비트를 얻고자 할 때 2^N-1 개의 비교기를 필요로 한다. 파이프라인드 구조를 2단이나 3단으로 구성하여 원하는 비트를 얻고자 하는 경우 많은 비교기를 사용하게 되고 이에 비례하여 전력 또한 증가하게 된다.

제한한 구조의 N 비트 A/D 변환기로 구성된 8비트 A/D 변환기의 블록도는 그림 3에 나타내었다. 기존의 파이프라인드 구조는 플래시 A/D 변환기를 가지고 있지만 제안하는 구조는 플래시 A/D 변환기 대신 제안한 A/D 변환기를 사용하였다.

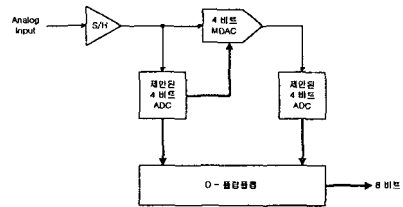


그림 3. 8비트 A/D 변환기 블록도

Fig. 3. Block Diagram of 8bit A/D Converter.

제안한 구조의 A/D 변환기를 그림 4에 나타내었다. 비교기를 직렬로 배열하여 비교기의 출력값을 데이터로 사용하도록 하였으며, N비트 해상도를 위해 N개의 비교기를 사용하였다. 기존의 축차 비교 구조에서 한 개의 비교기만으로 동작하는 것에 비해 많은 비교기를 사용하지만 속도를 향상시킬 수 있다. 축차 비교 구조에서 한번의 비교기 동작을 위해 한 블럭을 사용하지만 제안한 구조에서는 비교기 출력값에 의해 다음 비교기의 기준 전위를 바꾸어 주므로 축차 비교 구조보다 빠른 동작이 가능하다. 또한 기존의 파이프라인드 구조보다는 훨씬 적은 비교기를 사용하여 전력소비가 적다.

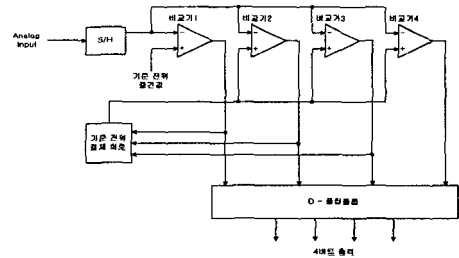


그림 4. 제안한 비교기의 직렬 배열 구조 내의 4비트 A/D 변환기

Fig. 4. Proposed 4 bit A/D Converter in Series Comparator Architecture

2.3 제안된 구조의 동작

그림 4에서 입력신호가 샘플/홀드 회로에 입력된 후 홀드된 주기 동안에 비교기 4개가 순차적으로 동작하도록 하였다. 변환 동작 원리는 먼저 홀드된 신호가 비교기 1, 2, 3, 4에 모두 입력되고 각각 기준 전위는 아직 입력되지 않은 상태에서 비교기 1은 항상 1/2 기준 전위에 연결되어 비교기 1을 동작시킨다. 이때 비교기 1에서 나온 출력값은 D플립플롭에 저장되며 또한 비교기 2의 기준 전위를 바꾸어 준다. 이때 비교기 2는 동작을 수행할 것이고 비교기 1과 같은 동작을 반복하게 된다. 비교기 1, 2, 3, 4에 의해 전송된 디지털 출력값은 D플립플롭에서 동시 동작을 위한 과정을 거치고, 완성된 4비트 디지털 출력값을 얻게 된다. 이 출력값은 또한 MDAC에 전달되어 홀드된 주기동안의 전압과의 차인 잔류전압이 2⁴배 증폭되어 다음 단계에 전달되어진다. 샘플/홀드 회로가 홀드된 주기동안에 MDAC은 이 전압을 받아들이는 샘플 주기가 되고 MDAC이 증폭 주기 동안에 샘플/홀드 회로는 샘플 주기가 된다.

III. 회로 설계

3.1 샘플/홀드 회로

continuous time 신호를 discrete time 신호로 변환하는 샘플/홀드 회로는 신호처리 시스템에 있어서 기본 블록들 중의 하나이다.^[3] 샘플링 주기보다 홀드 주기에서 부하 캐패시턴스가 크게 되며, 홀드 주기에서 샘플/홀드 회로 부하는 MDAC의 캐패시터, 스위치의 기생 캐패시터 및 4개의 비교기 입력 캐패시터로 구성되며 전체적으로 6pF 정도의 크기를 갖는다. 샘플/홀드 회로는 최소 8비트 이상의 정확도를 가져야하므로, 10MHz의 클럭을 사용한다고 할 때 약 10ns내에 settling을 완료시키기 위한 -3dB 주파수는 다음 식 [1]으로부터 f_{-3dB} 는 88.3MHz가 된다.^[5]

$$t = 8 \ln 2 \tau = 5.55 \tau = \frac{5.55}{2 \pi f_{-3dB}} = 10ns \quad [1]$$

따라서 샘플/홀드 회로의 증폭기 입력단에 필요한 transconductance g_m 은 다음 식 [2]와 같이 계산된다.

$$g_m = 2\pi * 6 \text{ pF} * 88.3 \text{ MHz} = 0.0033 (/m\Omega) \quad [2]$$

시뮬레이션 결과 샘플/홀드 회로의 증폭기 이득은 52dB, 단위 이득 주파수는 313MHz 정도이며 위상 여유는 52° 정도의 결과를 얻었다.

3.2 MDAC 회로

MDAC은 비교기 출력이 코드화된 디지털 신호이기 때문에 코드화된 디지털 신호를 바로 사용할 수 있는 이진 가중 캐패시터 열을 이용하여 구성하였으며 단위 캐패시터는 0.05pF이다. MDAC의 증폭기의 부하는 스

위치 기생 캐패시터, 4개의 비교기 입력 캐패시터로 구성되며 전체적으로 0.15pF 정도의 크기를 갖는다. MDAC은 최소 4비트 이상의 정확도를 가져야 하므로, 10MHz의 클럭을 사용한다고 할 때 10ns내에 settling을 완료시키기 위한 -3dB 주파수는 다음의 식 [3]으로부터 f_{-3dB} 는 44.1MHz가 된다.

$$t = 4 \ln 2 \tau = 2.77 \tau = \frac{2.77}{2 \pi f_{-3dB}} = 10ns \quad [3]$$

주어진 10ns내에 4비트의 수준으로 출력이 settling하기 위해 필요한 MDAC의 증폭기 입력단에 필요한 transconductance g_m 은 다음 식 [4]와 같이 계산된다.

$$g_m = 2\pi * 0.15 \text{ pF} * 44.1 \text{ MHz} = 0.041 (/m\Omega) \quad [4]$$

MDAC에서 사용된 증폭기는 샘플/홀드 회로에서 사용된 증폭기와 동일한 구조로 구성되어 있으며, 시뮬레이션 결과 MDAC의 증폭기의 이득은 52dB, 단위 이득 주파수는 180MHz 정도이며 위상 여유는 52.8° 정도의 결과를 얻었다.

3.3 클럭 발생기

변환 동작 원리에서 본 바와 같이 먼저 홀드된 신호가 비교기 1, 2, 3, 4에 모두 입력되고 각각 기준 전위는 아직 입력되어 있지 않은 상태에서 비교기 1은 항상 1/2 기준 전위에 연결되어 비교기 1을 동작시킨다. 이때 비교기 1에서 나온 출력값은 D플립플롭에 저장되며 또한 비교기 2의 기준 전위를 바꾸어 준다. 이러한 동작을 비교기 4까지 반복하게 된다. 이처럼 비교기가 순차적으로 동작하기 위해 순차적인 클럭이 필요로 하게 된다. 그림 5은 클럭 발생기의 블록도이다. 클럭 발생기는 주어진 클럭(CLK)을 10분주하며, 각 단의 D플립플롭의 출력은 주어진 클럭의 2주기만큼의 위상차이가 나게 된다. 100MHz 클럭을 입력 클럭으로 사용하였을 때 Q1, Q2, Q3, Q4, Q5는 10MHz의 출력을 갖으며, 각각 20ns만큼의 위상차이가 나게 된다. MC신호에 의해 10분주 또는 11분주를 할 수 있으며, 본 회로에선 MC를 0으로하여 10분주하였다.

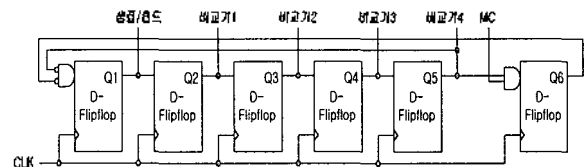


그림 5. 클럭 발생기 블록도

Fig. 5. Block Diagram of Clock Generator

IV. 시뮬레이션 결과 및 고찰

설계된 A/D 변환기 시스템은 0.25 μ m CMOS 공정 파라미터를 이용하여 HSPICE로 시뮬레이션하였으며, 아

남 0.25 μ m n-well 5-metal 1-poly COMS 공정으로 설계되었다.

그림 6은 램프 입력에 의한 출력값을 나타내었고, DNL은 ± 0.5 LSB, INL은 ± 2 LSB의 결과를 나타내었다. 또한 3.9MHz의 사인 입력 신호를 10MHz 샘플링 클럭을 사용하였을 때 이를 FFT를 측정된 결과를 그림 7에 나타내고 있다. 측정결과 76.3dB의 SNR값을 얻었으며, 이는 식 [5]을 이용하여 12.3비트의 ENOB를 구할 수 있다.

$$ENOB = \frac{SNR - 1.76dB}{6.02} \quad [5]$$

표 1은 제안된 8비트 10MHz A/D 변환기의 성능 측정 결과를 요약하였다.

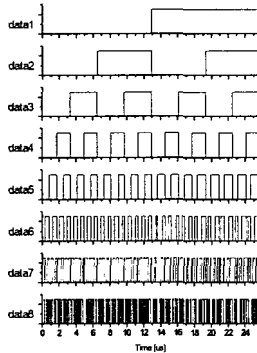


그림 6. 램프 입력에 의한 8비트 디지털 출력값
Fig. 6. 8bit Digital Output of Ramp Input.

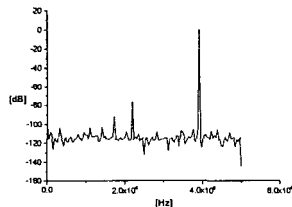


그림 7. 8비트 A/D 변환기의 FFT 결과(3906250Hz
사인 입력파, 10Ms/s, 256points)

Fig. 7. FFT Result of 8bit A/D Converter.
(3906250Hz Sine Input, 10Ms/s, 256points)

해상도	8bit
샘플링주파수	10MHz
공급전압	2.5V
소모전력	13mW
DNL	± 0.5 LSB
INL	± 2 LSB
입력전압	1 V _{p-p}
공정	0.25 μ m n-well 5-metal 1-poly CMOS

표 1. 제안된 8비트 10MHz A/D 변환기의 측정 결과
Table. 1. Measured Performance of Proposed 8bit
10MHz A/D Converter.

V. 결론

A/D변환기는 고속, 저전력을 위한 연구가 되고 있으며, 성능 향상을 위해 여러 가지 구조가 도입되고 있으나 기존 구조가 가지는 문제에 의해 한계를 가진다. 이러한 구조의 문제를 극복하기 위해 본 논문에서는 전력 소모를 최소화한, 기존의 파이프라인드 A/D 변환기 구조를 사용되어지는 플래시 구조의 A/D 변환기를 새로운 구조로 제안하여 8비트 10MHz의 A/D 변환기를 설계하였다. 영상 신호처리가 가능한 8비트 10MHz의 A/D 변환기는 두 개의 단으로 구성되어 있고, 각 단은 4비트의 제안된 A/D 변환기와 4비트의 MDAC으로 구성되어 있다. 설계된 A/D 변환기는 0.25 μ m CMOS 공정 파라미터를 이용하였으며, DNL/INL은 각각 $\pm 0.5/\pm 2$ LSB이었으며, 3.9MHz 사인 입력파를 10MHz 샘플링 클럭을 사용하여 FFT를 측정하여 76.3dB의 SNR을 얻었으며, 13mW의 전력을 소모를 측정하였다. 향후 제안된 A/D 변환기는 INL/DNL 향상 및 스위치의 잠을 감소 위한 연구가 좀 더 지속되어야 하며, 8비트 이상의 해상도를 갖는 파이프라인드 구조에 응용이 가능하다.

참고 문헌

- [1] Raf Roovers, and Michiel S. J. Steyaet, "A 175MS/s, 6b, 160mW 3.3V CMOS A/D Converter.", *IEEE J. Solid-State Circuits*, vol. 31, no. 7, pp. 938-994, Jul. 1996.
- [2] C. Conroy, D. Cline, and P. Gray, "An 8-b 85-MS/S Parallel Pipelined A/D Converter in 1- μ m CMOS.", *IEEE J. Solid-State Circuits*, vol. 28, no. 12, pp. 447-454, Apr. 1993.
- [3] K. Matsui, T. Matsuura, S. Fukasawa, Y. Izawa, Y. Toba, N. Miyake, and K. Nagasawa, "CMOS Video Filters Using Switched Capacitor 14MHz Circuits.", *IEEE J. Solid-State Circuits*, vol. SC-20, pp. 1096-1102, Dec. 1985.
- [4] S. Lee and B. Song, "Digital-Domain Calibration of Multistep Analog-to-Digital Converter.", *IEEE J. Solid-State Circuits*, vol. 27, pp. 1679-1688, Dec. 1992.
- [5] 최희철, 안길조, 이승훈, 강근순, 이성호, 최명준, "10-bit 20-MHz CMOS A/D 변환기", 대한전자공학회논문지, 제33권, A편, 제19호, pp. 152-161, 1996.