

동적 전원 전류(Dynamic Power Supply Current:DPSC)를 이용한 새로운 SRAM Transparent 테스트

김홍식, 강성호
연세대학교 전기컴퓨터 공학과

A New SRAM Transparent Testing Methodology : Using Dynamic Power Supply Current

Hong-sik Kim, Sungho Kang
Department of Electrical and Computer Engineering, Yonsei University

Abstract - 고성능 시스템이 개발됨에 따라 실시간 테스트의 중요성이 증가하고 있다. 메모리의 경우 저장된 값을 보존하면서 테스트할 수 있는 Transparent 테스트 알고리즘들이 개발되고 있다. 본 논문에서는 테스트 시간과 오버헤드를 줄일 수 있는 새로운 Transparent 테스트 알고리즘을 제안한다. 제안하는 알고리즘은 SRAM의 전이 쓰기 동작 중에 발생하는 동적 전원 전류를 이용하는 방법이다. 동적 전원전류와 고장 모델과의 상관 관계를 규명한 결과 기존의 알고리즘보다 많은 고장 모델들을 테스트 할 수 있음을 발견하였다. 또한 쓰기 동작 중의 전류를 감지하기 때문에 압축치를 생성할 필요가 없어 그에 따른 테스트 시간과 오버헤드를 줄일 수 있다. 본 논문에서는 기존의 March 알고리즘들을 본 테스트 방법에 적합하도록 변형하는 방법을 설명하고 기존의 transparent 알고리즘들과의 테스트 시간 고장 검출률 그리고 BIST 구현시의 하드웨어 오버헤드 측면에서 비교를 한다.

keywords: Transparent 테스트, March 알고리즘, BIST

1. 서 론

VLSI 제조기법이 발달함에 따라 RAM(Random Access Memory)의 집적도가 증가하고 있다. 그러나 이러한 경향은 RAM 테스트를 보다 어렵게 하고 있다. 더욱이 내장 메모리의 경우 그 테스트 접근은 더욱 어려워지고 오랜 테스트 시간을 필요로 한다. 이러한 문제점을 해결하기 위해 제안되는 방법이 내장된 자체 테스트(Built-In Self Test: BIST) 기법이다[1]. 수많은 BIST 기법들이 제안되어 왔다[2-4]. 메모리 테스트의 또 다른 중요한 과제 중의 하나가 Transparent 테스트이다. 이것은 일종의 실시간 테스트인데 사용중인 데이터 값을 유지하면서 메모리의 고장을 테스트하는 기법이다. 메모리 테스트를 위해 널리 사용되는 March 알고리즘은 쉽게 Transparent 테스트를 위한 알고리즘으로 변환될 수 있음이 제안되었다[5]. Transparent March BIST를 적용할 경우 동작 중인 시스템 내에서 RAM이 동작 중에 저장값을 유지하면서 주기 적으로 테스트 될 수 있다.

Nicolaidis 변환법칙은 몇 가지 동작을 추가함으로써 기존의 테스트 알고리즘을 Transparent 알고리즘으로 변환할 수 있다[6]. 변환된 테스트는 압축치 생성과 테스트의 두 단계를 통해 적용된다. 압축치 생성 단계에서 RAM에 읽기 동작만을 수행하여 저장값에 따라 압축치가 생성된다. 그리고 테스트 단계에서 읽기와 쓰기 동작이 가해져서 두 번째 압축치를 생성한다. 그리고 나서 두 개의 압축치를 비교하여 고장유무를 판별한다.

Nicolaidis의 transparent 테스트에서는 두 가지 현실적인 문제점이 발생한다. 고장 메모리로부터 계산된

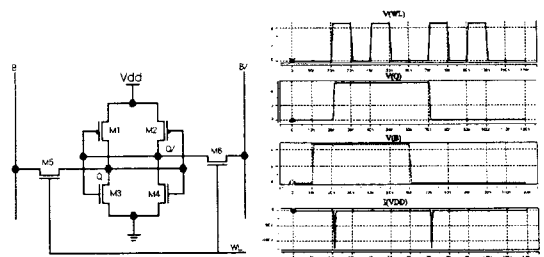
두 개의 압축치가 서로 동일한 aliasing이 발생할 수 있고 또한 압축치를 생성하고 저장해야하는 추가 하드웨어가 필요하다. 이것은 압축치를 이용하는 transparent BIST의 공동된 문제점이다. 이 문제를 해결하기 위해 본 논문에서는 동적 전원 전류(Dynamic Power Supply Current: DPSC)를 이용한 새로운 transparent 테스트 방법론을 제안한다. DPSC 기법을 이용한다면 압축치를 생성하기 위한 추가의 단계 및 그에 따른 하드웨어가 불필요하기 때문에 BIST 회로의 하드웨어 오버헤드와 테스트 시간을 상당히 줄일 수 있다. DPSC 테스트는 압축치를 생성하는 대신에 메모리의 쓰기 동작에서 전류 감지기를 통해서 여러 전류를 감지한다. 따라서 테스트 시간이 상당히 감소 될 수 있으며 또한 기존의 transparent BIST에 비해 훨씬 적은 하드웨어 오버헤드를 갖는다.

본론에서는 DPSC 테스트의 기본 개념과 DPSC를 이용한 transparent 테스트 방법론 및 특성을 설명한다. 마지막으로 결론에서 DPSC transparent 기법의 장점을 요약한다.

2. 본 론

2.1 DPSC 테스트의 기본 개념

6 트랜지스터 CMOS SRAM 셀의 경우 약간의 누설전류 이외에는 Vdd와 GND 사이에 전류가 흐르지 않는다. 셀이 상태를 전이할 경우에만 순간적인 Vdd와 GND 간의 path 형성과 노드 캐패시턴스의 영향으로 순간적인 DPSC가 발생한다. 그림 1은 6 트랜지스터 CMOS SRAM의 전이 쓰기 동작에서의 HSPICE 시뮬레이션 결과이다. 전이 쓰기 동작은 분명한 전류 펄스를 생성한다. 고장 셀의 스위치 동작의 경우 정상 전류와는 다른 전류 펄스를 생성할 것이고 따라서 비정상적인 전류 펄스 레벨의 감지는 메모리 셀의 고장을 의미한다 [7]. 비정상적인 전류 펄스 레벨과 기존의 고장 모델 사이의 상관 관계가 다음에 설명된다.



(a) 6 트랜지스터 SRAM 셀
그림 1. SRAM 셀과 전이 쓰기의 시뮬레이션 결과

2.1.1 어드레스 디코더 고장의 테스트

어드레스 디코더의 고장은 그림 2와 같이 분류된다

[8]. 분류된 고장 모델은 다음과 같이 테스트 가능하다.

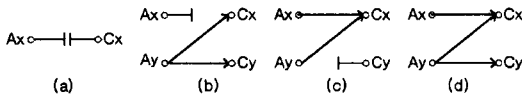


그림 2. 어드레스 디코더에 대한 고장 모델

- (a) 셀 x에는 쓰기 동작을 할 수 없기 때문에 셀 x에 대한 전이 쓰기 동작은 전류 펄스를 발생시키지 못한다.
- (b) 셀 x에 대한 쓰기 동작은 전류 펄스를 발생시키지 못한다. 또한 셀 y에 대한 전이 쓰기 동작은 셀 x와 y에 모두 쓰기 동작을 수행하기 때문에 정상 셀의 두 배에 해당하는 전류 펄스를 발생한다.
- (c) 셀 x가 1(또는 0) 값을 갖고 있을 때, 셀 y에 대한 1(또는 0)으로의 쓰기 동작은 전류 펄스를 발생하지 않는다.
- (d) 셀 x와 y가 1(또는 0) 값을 갖고 있을 경우 셀 y에 대한 전이 쓰기 동작은 셀 x와 y에 동시에 수행되기 때문에 전류 펄스는 정상경우의 두 배가 된다. 또한 연속되는 x에 대한 전이 쓰기 동작은 이미 셀들이 모두 전이되어 있기 때문에 전류 펄스를 발생하지 않는다.

이상과 같이 모든 어드레스 디코더의 고장 모델들은 어드레스 증감 과정의 전이 쓰기 동작을 통해 테스트 가능하다.

2.1.2 고착고장 및 전이고장에 대한 테스트

무고장 셀의 경우 전이 쓰기 동작은 전류 펄스가 발생시키지만 고착고장을 갖고 있는 셀에 대한 전이 쓰기 동작은 셀이 특정 값에 고착되어 있기 때문에 전류 펄스를 발생시키지 못한다. 전이 고장에 대한 테스트는 고착고장 테스트와 비슷하다. 상승 전이 고장의 경우에 1로의 전이 쓰기 동작은 전류 펄스를 발생하지 않는다. 마찬가지로 하강 전이 고장은 0로의 전이 쓰기 동작에 의해 전류 펄스가 발생하지 않는다.

2.1.3 결합고장 테스트

2.1.3.1 반전 전이 고장

반전 전이 고장은 결합셀에 대한 상승(또는 하강) 전이 동작이 피결합셀 값을 반전시키는 고장이다. 이 경우에 한 셀에 대한 전이 쓰기 동작은 두 개의 전이를 야기하기 때문에 전류 펄스 레벨이 정상경우의 두 배가되어 테스트 가능하다.

2.1.3.2 동행결합고장

동행결합 고장은 결합셀에 대한 상승(또는 하강) 전이 동작이 피결합셀을 특정 값으로 강제로 고정시키는 고장이다. 따라서 다음과 같은 결합 고장이 가능하다. $\langle \uparrow; 0 \rangle$, $\langle \uparrow; 1 \rangle$, $\langle \downarrow; 0 \rangle$, $\langle \downarrow; 1 \rangle$ 따라서 피결합셀을 적절한 값으로 만들어 준 다음에 결합셀에 전이 쓰기 동작을 수행하면 전류 펄스가 정상적인 경우의 두 배가되어서 테스트 할 수 있다.

2.1.3.3 동적 결합고장

동적 결합고장은 결합셀에 대한 읽기 동작 또는 비전이 쓰기 동작이 피결합셀의 값을 변화시키는 고장이다. 읽기 동작이나 비전이 쓰기 동작은 전류 펄스를 발생하지 않는다. 그러나 동적 결합고장이 존재하면 결합셀에 대한 읽기 또는 비전이 쓰기 동작이 피결합셀 값을 전이시키기 때문에 전류 펄스를 발생하게 된다. 따라서 동적 전류 고장 또한 테스트 가능하다.

결합 고장에 대한 시뮬레이션 결과가 그림 3에 있다. 결합 고장이 분명하게 정상 경우보다 두 배의 전류 펄스

를 발생하는 것을 알 수 있다.

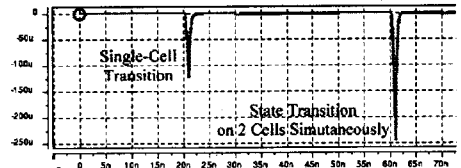


그림 3. 결합고장에 대한 시뮬레이션 결과

2.2 DPSC를 이용한 Transparent

DPSC 테스트는 쓰기 동작에서 고장을 검출한다. 따라서 압축치 생성이나 비교기가 필요 없다. 따라서 테스트 시퀀스와 하드웨어 오버헤드가 기존의 것보다 줄어든다. 이 절에서는 메모리 테스트 알고리즘을 transparent 알고리즘으로 변환하는 방법 및 기존의 Nicoaidis 변환 방법과 비교한다.

2.2.1 DPSC transparent 변환 법칙

DPSC transparent 테스트는 압축치 생성을 위한 추가 과정이 불필요하다. 따라서 오직 전이 쓰기 동작만이 필요하다. 전이 쓰기 동작을 수행하기 위해 쓰기 동작 앞에 읽기 동작을 추가한다. March 알고리즘에 대한 전체 변환 법칙은 다음과 같다. MAIn을 원본 March 알고리즘이라고 하자.

Step 0 : MAIn의 테스트 시퀀스의 처음 동작이 쓰기 동작이면, 그 줄의 시작에 읽기 동작을 추가한다. (MA0)

Step 1 : 고장 excitation에 불필요하다면 MA0에서 초기 및 최종 시퀀스를 제거한다. (MA1)

Step 2: a_i 을 MA1의 첫 번째 시퀀스의 셀 i 에 대한 읽기 동작의 데이터라고 하고, r_i 를 MA0의 첫 번째 시퀀스의 셀 i 에 대한 읽기 동작의 데이터, 그리고 w_i 를 MA1의 시퀀스의 쓰기 동작의 값이라고 하자. 만약 $w_i = r_i$ 이면 a_i 를 그 쓰기 동작의 값으로 사용하고 $w_i \neq r_i$ 이면 \bar{a}_i 를 사용한다. (MA2)

Step 3 : 만약 어떤 셀들에 대한 마지막 쓰기 동작의 값이 그것들의 초기값의 반대 값이 된다면, 알고리즘의 마지막에 읽기 동작과 쓰기 동작을 추가한다. 이때 쓰기 동작의 값은 읽은 값의 반대 값으로 정한다.

2.2.2 제안된 알고리즘의 효율성

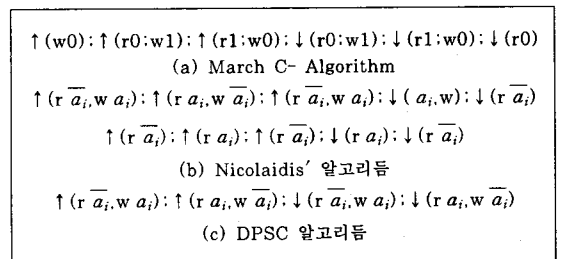


그림 4. March C-에 대한 변환법칙 적용

그림 4는 March C- 알고리즘에 대한 변환 예이다. 그림 4(a)는 원본 March C- 알고리즘이고, 이 알고리즘은 어드레스 디코더 고장, 고착고장, 전이고장, 반전 결합고장 및 동행 결합 고장을 테스트할 수 있다. 그림 4(b)는 변환된 Nicolaidis transparent 알고리즘인데

원본 알고리즘과 동일한 고장을 테스트할 수 있다. 그림 4(c)는 제안된 알고리즘이다.

제안된 알고리즘의 효율성은 고장 검출률과 테스트 시간, BIST 구현시 하드웨어 오버헤드 등의 관점에서 논할 수 있다.

a. 검출 가능한 고장 모델의 범위

그림 4(c)의 M1 and M2는 테스트 셀들을 a_i (또는 \bar{a}_i)에서 \bar{a}_i (또는 a_i)로의 전이 쓰기가 가해지도록 한다. 따라서 고착고장과 a_i (\bar{a}_i)에서 \bar{a}_i (또는 a_i)로의 전이 고장을 테스트 할 수 있다. 마찬가지로 M3, M4에서 \bar{a}_i (a_i)에서 a_i (또는 \bar{a}_i)로의 전이 고장을 테스트 할 수 있다. 따라서 모든 고착고장과 전이 고장이 테스트 가능하다.

M1	M2	M3	M4
$\bar{a}_i \rightarrow a_i$	$a_i \rightarrow \bar{a}_i$	$\bar{a}_i \rightarrow a_i$	$a_i \rightarrow \bar{a}_i$
\bar{b}_i	b_i	\bar{b}_i	b_i
a_i	\bar{a}_i	a_i	\bar{a}_i
$\bar{b}_i \rightarrow b_i$	$b_i \rightarrow \bar{b}_i$	$\bar{b}_i \rightarrow b_i$	$b_i \rightarrow \bar{b}_i$

표 1. 결합고장테스트를 위한 셀상태

표 1은 DPSC 테스트가 동행결합고장을 테스트하는 과정을 보여준다. 각 March 요소에서의 테스트 시퀀스의 상태가 나타나 있다. i 가 낮은 어드레스 j 가 높은 어드레스라고 하자. 편의상 \bar{a}_i 에서 a_i 의 전이를 상승 전이, 그 반대의 경우를 하강 전이라고 하자. 어드레스 i 에 대한 동행결합 고장을 테스트하기 위한 상태 조건은 다음과 같다. $\langle \downarrow; \bar{b}_i \rangle$, $\langle \uparrow; b_i \rangle$, $\langle \downarrow; \bar{b}_i \rangle$ 그리고 $\langle \uparrow; b_i \rangle$ 마찬가지로 어드레스 j 에 대한 동행결합 고장을 테스트하기 위한 상태 조건은 $\langle \bar{a}_i; \downarrow \rangle$, $\langle a_i; \uparrow \rangle$, $\langle \bar{a}_i; \downarrow \rangle$ 그리고 $\langle a_i; \uparrow \rangle$ 이다. 따라서 표 1에 의해 모든 조건이 만족됨을 알 수 있다. 따라서 제안된 알고리즘은 동행결합 고장을 테스트할 수 있다.

또한 제안된 알고리즘은 어드레스 증감에 따른 전이 쓰기를 수행하기 때문에 어드레스 고장 테스트 조건을 만족한다. 그리고 동행결합고장 테스트는 반전 결합고장 테스트를 포함하기 때문에 테스트 가능하다.

모든 고장들이 연계되었다 할지라도 DPSC 테스트는 고장을 자극하는 순간에 테스트하기 때문에 테스트 가능하다. 따라서 제안된 변환 범칙에 의해 변환된 March C-에 대한 DPSC transparent 테스트는 기존의 March 테스트로 테스트 할 수 있는 고장 이외에 Linked 동행결합 고장 및 동행 결합과 연계된 전이 고장들을 추가로 테스트 할 수 있다.

b. 테스트 시간

$\uparrow(w_0): \uparrow(r_0, w_1, r_1, w_0, r_0, w_1): \uparrow(r_1, w_0, w_1): \downarrow(r_1, w_0, w_1, w_0): \downarrow(r_0, w_1, w_0)$ (a) March B 알고리즘
$\uparrow(r a_j, w \bar{a}_j, r \bar{a}_j, w a_j, r a_j, w \bar{a}_j): \uparrow(r \bar{a}_j, w a_j, w \bar{a}_j): \downarrow(r \bar{a}_j, w a_j, w \bar{a}_j, w a_j): \downarrow(r a_j, w \bar{a}_j, w a_j)$ $\uparrow(r a_j, w \bar{a}_j, r \bar{a}_j, w a_j, r a_j, w \bar{a}_j): \uparrow(r \bar{a}_j, w a_j, w \bar{a}_j): \downarrow(r \bar{a}_j, w a_j, w \bar{a}_j, w a_j)$ (b) Nicolaidis' 알고리즘

그림 5. March B에 대한 Nicolaidis' transparent 알고리즘

원본 March C- 알고리즘은 10N의 복잡도를 갖는

다. 여기서 N은 메모리 셀의 크기이다. Nicolaidis의 transformation 알고리즘은 14N의 복잡도를 갖는다. 하지만 제안된 변환 알고리즘 8N의 복잡도를 갖는다. 이것은 Nicolaidis 알고리즘보다 훨씬 낮은 복잡도이다. 앞 절에서 설명하였듯이 테스트 가능한 고장의 종류 또한 증가하였다. 제안된 알고리즘과 같은 고장을 검출할 수 있는 기존의 March 알고리즘은 March B 알고리즘으로서 17N의 복잡도를 갖는다. March B 알고리즘이 Nicolaidis 알고리즘으로 변환된 경우 22N의 복잡도를 갖게 된다. 그림 5는 변환된 알고리즘을 보여준다. Nicolaidis 알고리즘은 제안된 알고리즘에 비하여 14N의 복잡도가 높은 것이다. 즉 March B로 테스트 할 수 있는 고장을 테스트하기 위해 DPSC transparent 테스트는 Nicolaidis 테스트에 비하여 36%의 테스트 시간으로 동일한 고장을 검출할 수 있다.

c. BIST 하드웨어

제안된 transparent BIST 구조가 그림 6에 있다. 전류의 정밀도에 따른 제약으로 메모리 뱅크는 몇 개의 하위블록으로 분할된다.

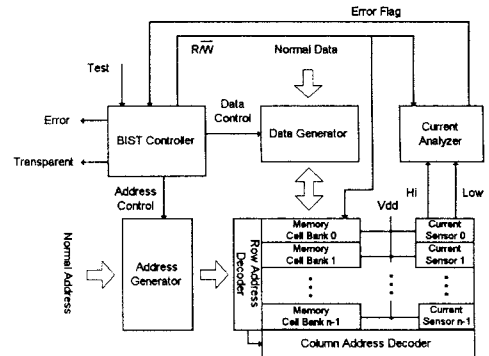


그림 6. 전체 BIST 구조

기존의 Nicolaidis transparent BIST와 비교해서 가장 특징적인 부분은 결과분석기이다. DPSC 테스트에서는 쓰기 동작 중의 전류 펄스를 측정해서 결과분석을 수행한다. 기존의 transparent BIST는 비교기와 압축기, 그리고 압축치를 저장하기 위한 저장 메모리 등이 필요하다. 전류 감지기는 몇 개의 트랜지스터를 사용해서 만들 수 있으므로 [7] 하드웨어 오버헤드를 크게 줄일 수 있다. 또한 데이터/어드레스 생성 및 제어기에 관해서는 제안된 알고리즘이 March 알고리즘의 변종이기 때문에 그 BIST 구조는 기존의 것과 거의 동일한 구조를 갖는다. 그런데 DPSC 테스트 시퀀스는 기존 transparent 테스트 시퀀스보다 훨씬 짧기 때문에 데이터 생성기 및 제어기의 구조가 더욱 간단해질 것이다.

3. 결론

본 논문에서는 DPSC를 이용한 새로운 transparent 테스트 기법을 제안한다. DPSC 테스트는 읽기 동작에서 고장 검출을 하지 않고 쓰기 동작중의 전류 펄스를 감지하여 고장을 검출한다. 전이 쓰기 동작은 전류 펄스를 생성하고 비전이 쓰기 동작은 전류 펄스가 발생하지 않는다. 이와 같은 특성을 이용하여 특정 동작 시에 전류 펄스를 측정함으로써 고장을 테스트 할 수 있는 것이다. 따라서 기존의 transparent 테스트가 만드는 압축치는 필요가 없다. 그 결과 테스트 시퀀스가 줄어들고 하드웨어 오버헤드가 감소한다. 또한 고장을 자극함과 동시에 검출이 이루어지기 때문에 연계고장을 추가로 검출할 수도 있다. March C- 알고리즘의 경우 Nicolaidis 알고리즘은 14N의 복잡도를 갖지만 제안된 알고리즘은 8N으로 연계고장을 추가로 검출할 수 있었다. 이 정도의 고장 검출을 March B의 고장검출률에

상용하는 것인데 이와 같은 고장 검출률을 얻기 위한 기존의 transparent 알고리즘은 $22N$ 의 복잡도가 필요하다. 또한 단순한 알고리즘은 단순한 BIST 구조를 가능케 하고 따라서 적은 오버헤드의 BIST 구현이 가능하다.

[참 고 문 헌]

- [1] R. Dekker, F. Beenker, and L. Thijssen : A Realistic Self-Test Machine for Static Random Access Memories Proc. 1988 Int. Test Conf. pp. 353-361[1]
- [2] V. C. Alves, M. Nicolaidis, P. Lestrat, and B. Courtois : Built-in Self Testing a Switching Memory in a Telecommunication IEEE Int. Conf. On Computer-Aided Design, November, 1991, pp. 248-251.
- [3] P. H. Bardell, W. H. McAnney, and J. Savir : Built-in Self Test for VLSI: Pseudo-random Techniques (New York, John Wiley & Sons, 1987)[2]
- [4] H. Cheung, S. K. Gupta : A BIST Methodology for Comprehensive Testing of RAM with Reduced Heat Dissipation Proc. IEEE Int. Test Conf. Oct. 1996, pp. 23-32
- [5] M. Nicolaidias : Transparent BIST for RAMs Proc. IEEE Int. Test Conf., 1992, pp. 598-607
- [6] M. Nicolaidis : Theory of Transparent BIST for RAMs in IEEE Trans. on Computers, October 1996, pp. 1141-1155
- [7] J. Liu, R. Z. Makki, A. Kayssi : Dynamic Power Supply Testing of CMOS SRAMs Asian Test Symposium, 1998
- [8] A. J. van de Goor : Testing Semiconductor Memories: Theory and Practice (John Wiley and Sons, 1991)