

고속동작과 빠른 Acquisition 특성을 가지는 Charge Pump PLL의 최적설계에 관한 연구

우 영신*, 성 만영
고려 대학교 전기공학과 반도체 CAD 연구실

A Study on the Optimum Design of Charge Pump PLL for High Speed and Fast Acquisition

Youngshin Woo*, Man Young Sung
Semiconductor & CAD Lab., Department of Electrical Engineering, Korea University

Abstract - This paper describes a charge pump PLL architecture which achieves high frequency operation and fast acquisition. This architecture employs multi-phase frequency detector comprised of precharge type phase frequency detector and conventional phase frequency detector.

Operation frequency is increased by using precharge type phase frequency detector when the phase difference is small and acquisition time is shortened by using conventional phase frequency detector and increased charge pump current when the phase difference is large.

By virtue of this multi-phase frequency detector structure, the maximum operating frequency of 694MHz at 3.0V and faster acquisition were achieved by simulation.

PFD는 간단한 구조와 리셋 입력으로 입력 신호 자체를 이용하는 방법으로 딜레이를 줄이는 것 이외에 Charge Pump의 Dead Zone을 없애는 구조로 응용되는 등 다양한 활용성을 보이지만 래치를 사용하지 않는 구조적인 문제로 입력 위상차가 클 때 비이상적인 특성을 보여 Acquisition 시간이 증가되는 단점이 있다.

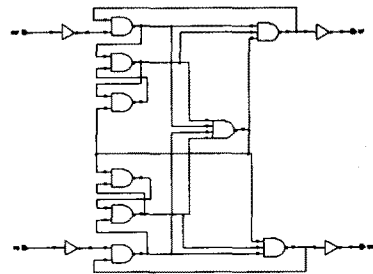


그림 1. 기존의 3상 PFD 회로도

1. 서 론

최근 CPU, 메모리, 통신용 칩에 광범위하게 사용되는 PLL의 고속 동작에 대한 연구가 활발히 진행되고 있다. 고속 동작에 대한 요구조건을 만족시키기 위해선 PLL의 입력단인 PFD(Phase Frequency Detector)가 측정 가능한 위상차가 가능한 작아야 하는데 기존의 3상 PFD는 출력이 여러 단의 게이트를 거쳐야 되기 때문에 이를 줄이는데 한계가 있었다. 최근 간단한 구조로 측정 가능한 위상차를 36ps 이내로 크게 감소시킨 Precharge PFD가 등장했는데 이 PFD는 래치를 사용하지 않기 때문에 위상차가 큰 경우와 Duty Ratio의 차이가 큰 경우 비이상적인 특성이 나타나 PLL의 Acquisition 시간을 증가시키는 단점이 있었다.

본 논문에서는 위상과 주파수차가 작을 때에는 Precharge PFD를 동작시키고 위상과 주파수차가 클 때는 기존의 3상 PFD를 동작시키면서 Charge Pump의 전류를 변화시킴으로써 Precharge PFD의 고주파 동작과 기존 3상 PFD의 빠른 Acquisition 시간 특성을 결합한 PFD 구조를 제안하고 이 PFD를 사용한 CMOS PLL의 특성을 기존의 PFD를 이용한 PLL의 특성과 비교 분석하였다.

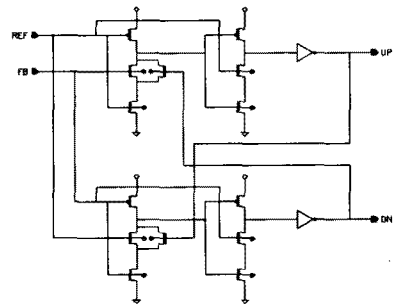


그림 2. Precharge PFD 회로도

2. 본 론

2.1 3상 PFD와 Precharge PFD의 비교

PFDD는 두 입력 신호의 위상 차이와 주파수 차이를 검출하는 회로로 현재까지 래치 같은 메모리 소자를 사용하는 그림 1과 같은 3상 PFD가 주로 사용되었다. 이러한 형태의 PFD는 입력 신호가 많은 게이트를 통과할 때 발생하는 딜레이에 의해 작은 위상차는 검출해 낼 수 없었는데 최근 트랜지스터의 갯수를 줄여 고주파 동작이 가능한 그림 2와 같은 Precharge PFD^{[1]-[3]}가 개발되어 측정 가능 위상차가 36ps 이내로 감소되었다. Precharge

따라서 위상차가 작은 영역에서는 안정적으로 동작하는 Precharge PFD를 구동시키고 위상차가 큰 영역에서는 기존의 3상 PFD를 구동시킬 수 있다면 두 PFD의 장점을 결합할 수 있다. 게다가 위상차의 범위가 큰 경우 구동하는 Charge Pump의 전류량을 증가시키면 PLL 시스템의 Loop Bandwidth ω_n 을 변화시키지 않으면서 Acquisition 시간도 감소시킬 수 있다.

2.2 주파수와 위상 오차 범위의 검출

2.2.1 주파수와 위상 오차의 범위

S1, S2, S3, S4를 PFD의 두 입력 REF, FB가 각각 (1,0), (1,1), (0,1), (0,0)일 경우에만 "High"가 되는 신호이고 S1_b, S2_b, S3_b, S4_b를 각각 그 역신호라고 하면 REF와 FB의 상태가 그림 3 b)와 같이 S4, S1, S2, S3,

S4 혹은 S4, S3, S2, S1, S4의 연속이 되는 경우 주파수 차와 위상차가 일정 영역 안으로 수렴했음을 나타낸다고 본다. 마찬가지로 그림 3 a)와 같은 입력 신호의 상태는 주파수 차와 위상차가 일정범위를 넘어선 것으로 간주하고 그림 3의 c) 같은 상태는 두 신호가 완전히 Locking 되었음을 나타낸다고 간주한다. Locking이 된 상태에서는 두 신호의 어긋난 상태를 나타내는 신호 S1과 S3을 사용할 수 없으므로 카운터 회로로 2REF와 같은 보조 신호를 만들어 인접한 S2의 상태를 S2_1과 S2_2로 구분하여야 한다.

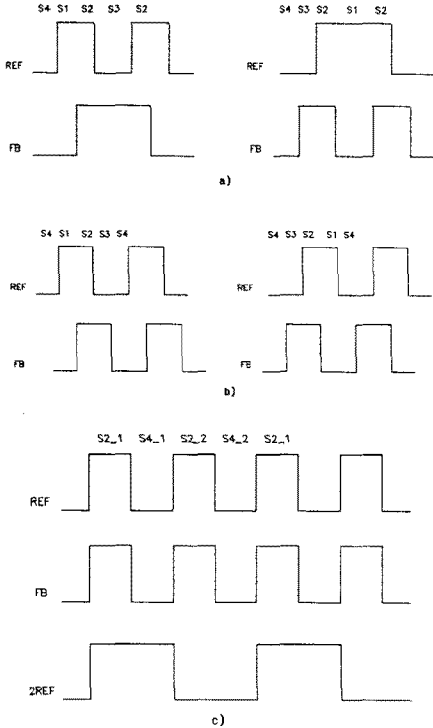


그림 3. 주파수와 위상차의 범위 구분 방법

- a) 두 신호의 주파수차와 위상차가 큰 경우
- b) 두 신호의 주파수차와 위상차가 작은 경우
- c) 두 신호가 완전히 Locking이 된 경우

따라서 그림 3의 a) 상태, b) 상태, c) 상태를 구분하는 검출 회로를 이용하여 a) 상태에서는 150 μ A의 Charge Pump 전류를, b) 상태에서는 100 μ A의 Charge Pump 전류를, c) 상태에서는 50 μ A의 Charge Pump 전류를 사용하면 PLL의 Loop Bandwidth ω_n 을 50 μ A의 Charge Pump 전류를 사용하는 PLL과 같은 값으로 유지한 채 Acquisition 시간을 크게 감소시킬 수 있다.

2.2.2 주파수와 위상차의 범위 검출 회로

그림 4는 Switch 신호가 입력되었을 때만 Input 신호를 Output에 전달하고 그 값을 유지하되 RESET1 혹은 RESET2가 "High"가 되면 Output이 "Low"가 되는 회로이다. 단 RX가 "Low"인 동안에는 RESET1 혹은 RESET2가 "High"라도 Output이 "Low"가 되지 않는다. 예를 들어 S4를 Switch에 인가하면 그 값이 전달되는 동안에 리셋되면 안되므로 RX를 S4_b로 하여야 하고 S2와 S3를 리셋 신호로 설정하면 다음 단의 Switch 신호가 S1인 경우에만 Output이 "High" 상태를 전달한다. S2, S3인 경우에 대해선 리셋되기 때문에 "High" 상태

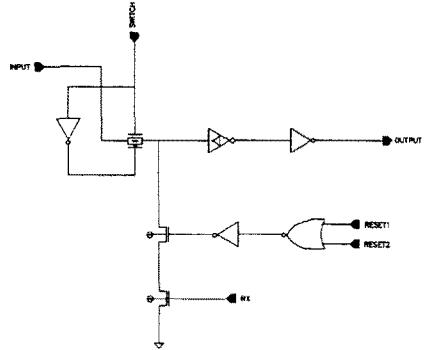


그림 4. 리셋 신호가 있는 Latch의 회로도

를 전달하지 않는다.

그림 4의 회로를 SQC라고 하면 그림 5 회로는 S4, S1, S2, S3, S4가 연속적으로 "High"가 되는 경우에만 OUTM1이 "High"이고 그 값을 그 다음 입력이 S1인 경우에만 출력 OUTI1에 전달하고 그 이외의 신호가 인가되면 OUTM1이 OUTI1과 차단되어 OUTI1은 이전 값을 유지하게 된다. 위상차가 커서 S4, S1, S2, S3, S2의 연속이 입력되면 R1 신호로 출력부분이 리셋되어 출력 OUTI1이 "Low" 상태가 되고 트랜스미션 게이트 TG1이 "ON"되면서 출력이 새로운 입력을 받을 수 있는 상태가 되어 다시 S4, S1, S2, S3, S4가 입력될 때까지 "Low" 상태를 유지한다.

같은 회로를 REF와 FB 신호를 바꾸어 연결하고 그 출력을 OUTI2로 연결하면 REF 신호가 FB 신호에 대해 위상이 빠른 경우와 느린 경우에 모두 반응하는 회로를 만들 수 있다.

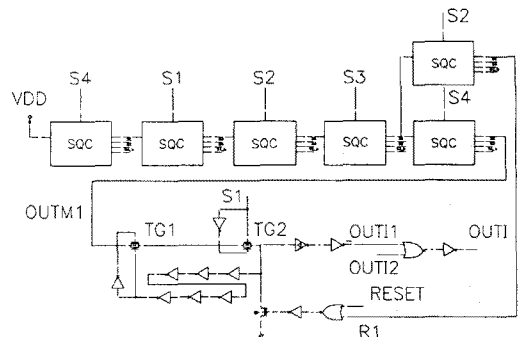


그림 5. S4, S1, S2, S3, S4 연속 신호 검출기

그림 6의 회로는 S2_1, S4_1, S2_2, S4_2가 연속적으로 "High"가 입력되는 경우에만 출력 OUTM이 "High"이고 그 값을 S2_1이 그 다음 입력이 S2_1인 경우에만 출력 OUTI2에 전달한다. S1이나 S3와 같은 Locking에서 벗어났음을 알리는 신호가 인가되면 리셋되어 출력 OUTI2가 "Low" 상태가 되고 TG1이 "ON"되어 새로운 입력을 받을 수 있는 상태가 되고 다시 S2_1, S4_1, S2_2, S4_2, S2_1의 연속이 입력될 때까지 "Low" 상태를 유지한다. SQCR은 SQC 회로에 S1과 S3 신호에 대한 RESET 입력이 있다는 점이 다르다.

주파수차와 위상차가 더 큰 영역을 같은 방법으로 여러 단계로 분할하여 단계별로 증가하는 전류량을 가진 Charge Pump를 적용하거나 다른 구조의 Charge Pump를 사용함으로써 더욱 빠른 Acquisition을 수행할 수도 있다.

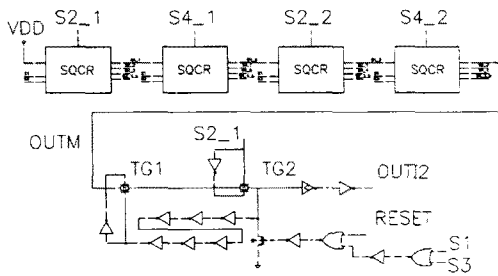


그림 6. S2, S4, S2, S4 연속 신호 검출기

3개의 Charge Pump를 사용한 전체 PLL 회로를 그림 7에 나타내었다. PFD1은 기존의 3상 PFD이고 PFD2는 Precharge PFD이다. $150\mu\text{A}$ 와 $100\mu\text{A}$ 의 구동전류를 가지고 있는 Charge Pump는 기존의 3상 PFD에 의해 구동되고 $50\mu\text{A}$ 의 구동전류를 가지고 있는 Charge Pump는 Precharge PFD에 의해 구동된다. 사용된 VCO(Voltage Controlled Oscillator)는 동작 주파수 범위가 $35\text{MHz} \sim 500\text{MHz}$ 로 K_{vco} (이득)은 250MHz/V 이다. 루프필터는 Charge Pump의 전류가 $50\mu\text{A}$ 인 경우에 대해 PLL의 Loop Bandwidth가 2MHz 이고 Phase Margin이 56° 이 되도록 $C1 = 235\text{pF}$, $C2 = 24\text{pF}$, $R = 1.1\text{k}\Omega$ 로 설정하였고 입력 주파수는 283MHz 로 설정하였다.

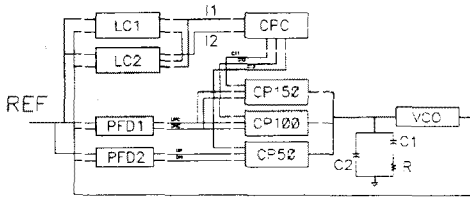


그림 7. 제안된 PFD를 포함한 PLL 회로도

(00),(11),(00),(11)의 연속 신호를 검사하는 회로 LC1과 (00),(10),(11),(01)의 연속 신호를 검사하는 LC2 회로의 출력을 입력으로 받아 CPC(Charge Pump Controller) 회로가 위상차가 큰 경우에는 $150\mu\text{A}$ 의 구동 전류를 가지고 있는 Charge Pump만을 구동하고, 주파수차와 위상차가 일정 영역 안으로 수렴하면 $100\mu\text{A}$, 완전히 Locking이 되면 $50\mu\text{A}$ 의 공급전류를 가지고 있는 Charge Pump만을 구동하게 된다.

그림 8과 그림 9는 기존의 3상 PFD를 이용한 PLL과 제안된 다중 PFD를 이용한 PLL의 시간에 따른 VCO의 입력 전압의 변화를 도시한 것이다. $50\mu\text{A}$ 의 구동 전류를 가진 Charge Pump와 기존의 3상 PFD만을 이용한 PLL로 입력 주파수 283MHz 를 Locking 시키기 위해선 $10\mu\text{s}$ 가 걸리지만 제안된 PLL은 $4.4\mu\text{s}$ 가 걸림을 알 수 있다. 제안된 PLL의 VCO 입력 전압은 Locking이 되기까지 기울기가 변해가면서 증가하는데 초기엔 $150\mu\text{A}$ 의 Charge Pump가 구동하여 빠르게 증가하다가 $2.4\mu\text{s}$ 에서 주파수차와 위상차가 일정한 영역 안으로 수렴하게 되면 $100\mu\text{A}$ 의 Charge Pump가 구동하고 $4\mu\text{s}$ 에서 $50\mu\text{A}$ 의 Charge Pump만이 구동하게 된다. 이후에 입력 주파수가 급변해도 항상 $150\mu\text{A}$, $100\mu\text{A}$, $50\mu\text{A}$ 순서로 Charge Pump가 동작하게 되어 빠르게 Locking이 된다. Precharge PFD의 딜레이는 36ps 로 본 PLL은 3V 의 전원전압으로 최대 694MHz 에서 동작가능함을 알 수 있다.

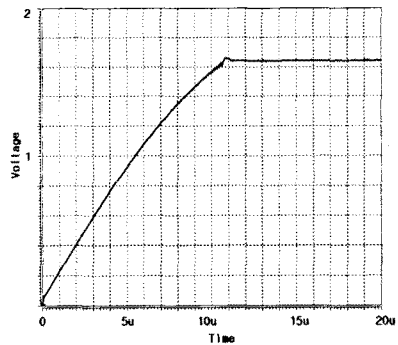


그림 8. 기존 3상 PFD를 사용한 PLL의 VCO 입력전압

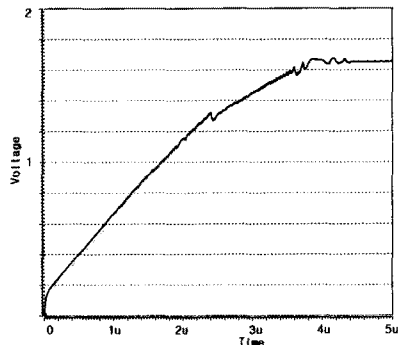


그림 9. 다중 PFD를 사용한 PLL의 VCO 입력전압

3. 결 론

본 연구에서는 기존 3상 PFD, Precharge PFD와 3개의 Charge Pump를 사용하여 고주파 동작이 가능하고 동작 주파수가 변화할 때 빠른 Acquisition을 수행할 수 있는 새로운 Charge Pump PLL 구조를 제안하였다. 제안된 PLL 구조는 주파수차와 위상차의 크기에 따라 전류값이 다른 Charge Pump를 구동시킴으로써 PLL의 Loop Bandwidth ω_n 을 변화시킴 없이 빠른 Acquisition을 수행할 수 있었고 Locking이 이루어진 후에는 딜레이가 작은 Precharge PFD를 사용함으로써 694MHz 에서 동작 가능함을 알 수 있었다.

위상차가 큰 영역을 더 세분하면 Acquisition 시간을 더욱 감소시킬 수 있고 차후에 위상차가 작은 영역에서만 이상적으로 동작하기만 하면 되는 더욱 간단한 구조의 빠른 PFD를 개발하면 PLL의 동작 가능 주파수를 더욱 증가시킬 수 있으리라 생각된다.

(참 고 문 헌)

- [1] Harufusa Kondoh, Hiromi Notani, Tsutomu Yoshimura, Hiroshi Shibata, Yoshio Matsuda, "A 1.5V 250MHz to 3.0V 622MHz Operation CMOS Phase-Locked Loop with Precharge Type Phase Frequency Detector", IEICE Trans. Electron., Vol. E78C. No.4, pp.381~pp.388, April, 1995.
- [2] Hiroyasu Yoshizawa, Kenji Taniguchi, Hiroyuki Shirahama, Kenichi Nakashi, "A Low Power 622MHz CMOS Phase-Locked Loop with Source Coupled VCO and Dynamic PFD", IEICE Trans. Fundamentals, Vol. E80, No. 6, pp.1015~pp.1020, June, 1997.
- [3] Henrik O. Johansson, "A Simple Precharged CMOS Phase Frequency Detector", IEEE Journal of Solid State Circuits, Vol. 33, No. 2, pp.295~pp.299, February, 1998.