

적용 등화기를 이용한 Feedforward 선형증폭기에서의 등화기 차수 결정

정지성*, 유경렬

한양대학교 전기공학과 신호 및 시스템 연구실

The Order Selection of Equalizer in Feedforward Power Amplifier Linearizer using Adaptive Equalizer

Jee Sung Chung*, Kyung Yul Yoo

Dept. of Electrical Engineering, Hanyang University.

Abstract - 본 논문에서는 feedforward 선형 증폭기에서의 지연 불일치에 의한 효과를 최소화하기 위한 등화기의 차수 결정에 관하여 수학적 접근과 모의실험을 하였다. 현재 feedforward 선형 증폭기에서 주로 사용하는 vector modulator는 지연 불일치에 확실한 개선을 이루지 못하고 있다. 이것을 극복하고자 vector modulator를 등화기로 대체하고 증폭기와 시지연선의 최대시간불일치와 sampling frequency와의 관계로 등화기의 차수를 결정하여 지연 불일치에 의한 오류 제거 능력을 향상시켰다.

1. 서 론

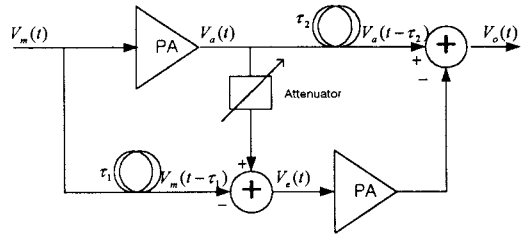
Feedforward 선형 증폭기는 광대역 입력신호를 증폭함에 있어 안정성과 정밀성을 이루기 위한 목적으로 사용된다. 현재 적용 feedforward 선형 증폭기에 대한 많은 알고리즘이 소개되어졌다.[1~4] 실제 선형 증폭기의 제작에 있어 각각의 증폭기와 시지연선(time delay line)의 시간 정렬을 정확히 일치시킨다는 것은 불가능하다. 광대역 신호를 사용하는 feedforward 선형 증폭기에서는 시지연선의 불일치로 인해 대역폭 외의 왜곡신호를 정확히 제거하지 못하는 효과를 나타낸다.[1] 시지연 불일치의 정밀한 교정 없이는 안정적이고 정밀한 오류신호 제거를 이룰 수 없다. 이를 극복하기 위해 증폭기와 시지연선의 최대 지연 불일치를 구하여 적용 등화기의 최대 차수를 정한다면 최적화된 시스템을 구성할 수 있다. Feedforward 선형 증폭기의 기본 구조는 (그림1)과 같다.[3] 그림에서 첫 번째 폐회로(loop)는 신호제거 회로이고 두 번째 폐회로는 오류제거 회로이다. 신호제거 회로에서 아래쪽에 있는 시지연선과 주증폭기의 시지연이 부정확하다면 신호제거가 정밀하게 이루어지지 않는다. 오류 제거 폐회로에서도 마찬가지로 위쪽의 시지연선과 보조 증폭기의 시지연의 불일치로 오류신호가 정밀하게 제거되어지지 않는다. 적용 등화기를 사용한 feedforward 선형 증폭기의 구조는 (그림2)와 같다. (1) (그림3)은 본 논문에서 제시하는 적용 등화기를 이용한 feedforward 선형 증폭기의 구조이다. 이 구조는 (그림2)와 달리 감쇠기의 다음 단계에 등화기가 위치한다. 첫 번째 폐회로에서 등화기가 증폭기의 앞단에 위치한다면 등화기는 증폭기와 시지연 불일치로 인한 오류들을 동시에 교정하도록 동작한다. 이 경우 등화기의 오류 정정은 정밀하지 못하게 된다. 그러나 감쇠기의 다음 단계에 등화기가 위치한다면 증폭기에서 발생하는 오류를 교정하는 것이 아니라 단지 시지연 불일치에 대한 교정만을 수행하게 된다. 적용 등화기를 사용한 feedforward 선형 증폭기에서 등화기의 계수 값들은 일반적으로 최소자승기법(LMS:Least Mean Square)을 사용한다. 본 논문에서도 최소자승기법을 이용하여 계수값을 갱신한다.

본 논문에서는 시지연 불일치로 인해 발생하는 오류 제거 능력의 저하에 대한 수학적 접근과 feedforward 선형 증폭기의 구조를 변화하여 시지연 불일치를 정밀하게 교정하도록 시도하였다.

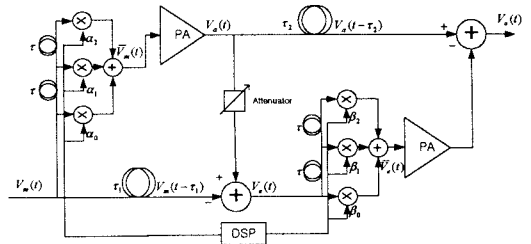
2. 본 론

2.1 지연 정렬 불일치에 의한 효과

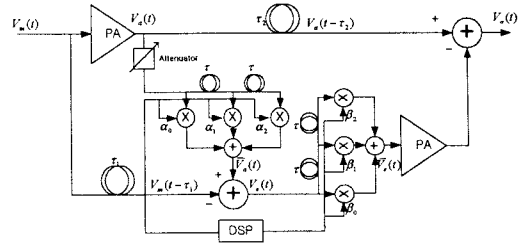
$V_m(t)$ 을 입력신호, $V_e(t)$ 을 오류신호, $V_a(t)$ 을 증폭기 출력신호, $V_o(t)$ 을 feedforward 선형 증폭기의 출력신호, $d(t)$ 을 증폭기에 의한 비선형 왜곡신호라 하자. 그리고 τ , τ_1 , τ_2 을 각각 등화기 지연시간, 신호제거 폐회로의 지연 불일치 시간, 오류신호제거 폐회로의 지연 불일치 시간이라 하자. 모든 지연 불일치는 시지연선이 증폭기의 시지연보다 늦다고 가정한다.



(그림1) 일반적인 feedforward 선형 증폭기 구조



(그림2) 적용 등화기를 이용한 feedforward 선형 증폭기 구조



(그림3) 본 논문이 제시한 적용 등화기를 이용한 feedforward 선형 증폭기 구조

2.1.1 신호제거 폐회로

입력신호를

$$V_m(t) = A \cos(\omega t + \theta) \quad (1)$$

라 하자. 여기서 ω 는 입력신호의 주파수이고 θ 는 입력신호의 위상이다. A 는 입력신호의 크기이다. 이때 증폭기 출력신호 $V_a(t)$ 는

$$V_a(t) = G V_m(t) + d(t) \quad (2)$$

여기서 G 는 증폭기의 선형 이득이다. 선형 이득 G 를 단위 이득이라 가정하자. 이때 오류신호는

$$\begin{aligned} V_e(t) &= V_a(t) - V_m(t - \tau_1) \\ &= A \cos(\omega t + \theta) - A \cos(\omega(t - \tau_1) + \theta) + d(t) \\ &= A \{ \cos(\omega t + \theta)(1 - \cos \omega \tau_1) \\ &\quad - \sin(\omega t + \theta) \sin \tau_1 \} + d(t) \end{aligned} \quad (3)$$

여기서 $A \{ \cos(\omega t + \theta)(1 - \cos \omega \tau_1) - \sin(\omega t + \theta) \sin \tau_1 \}$ 는 완전히 제거되어야 할 신호이다. 하지만 시지연 τ_1 에 의해 순수한 비선형 왜곡신호 $d(t)$ 이외의 불필요한 오류신호로 남는 것이다. 여기서 보듯이 시지연 불일치로 인하여 신호제거회로의 목적을 달성하지 못하고 있다는 것을 볼 수 있다.

2.1.2 오류신호제거 폐회로

오류신호제거 폐회로에서 feedforward 증폭기의 출력신호 $V_o(t)$ 는

$$\begin{aligned} V_o(t) &= V_a(t - \tau_2) - V_e(t) \\ &= A \cos(\omega(t - \tau_2) + \theta) \\ &\quad - A \{ \cos(\omega t + \theta)(1 - \cos \omega \tau_1) + \sin(\omega t + \theta) \sin \tau_1 \} \\ &\quad + d(t + \tau_2) - d(t) \end{aligned} \quad (4)$$

여기서 $A \cos(\omega(t - \tau_2) + \theta)$ 이외에 다른 신호들은 시지연 불일치에 의한 왜곡신호와 비선형 왜곡신호들이다. 이때 τ_1 으로 인한 왜곡신호는 신호제거 폐회로에서 완전히 제거되어졌다 가정하자. 이때 출력신호는

$$V_o(t) = A \cos(\omega(t - \tau_2) + \theta) + d(t + \tau_2) - d(t) \quad (5)$$

이다. 여기서 비선형 왜곡신호는 τ_2 로 인해 정밀하게 제거되어지지 않는 것을 볼 수 있다. τ_2 가 매우 작은 값(수 ns(10^{-9}))을 가진다 할지라도 비선형 왜곡신호는 완벽히 제거되지 않는다.

2.2 적응 등화기 차수 결정

그림 3에서 τ_1 과 τ_2 는 증폭기와 시지연선의 불일치 시간차이다. 실제 시스템 구성시 각 제품마다 다른 값을 가지게 되고, 환경에 의해서 변화하게 된다. 이에 대한 최대 지연불일치 시간을 설계 시 미리 고려한다. 각 시지연 불일치 시간을 정확히 찾아내기 위해서는 sampling 주기를 시지연 불일치 시간의 1/2이하로 결정하여야 한다. 즉 시지연 불일치 시간에 대한 Nyquist rate이상의 sampling 주기를 사용하여야만 한다. Sampling 주파수는 DSP의 능력에 의해 정해져 진다. 이것은 DSP의 최대 sampling 주파수를 이용하였을 경우 시지연을 찾을 수 있는 범위가 미리 정해진다는 뜻이다. 효율적인 연산량을 위해 최적의 등화기의 차수를 결정해야 한다. 다시 말하자면 DSP의 sampling 능력과 연산능력을 고려하여 등화기의 차수를 결정하여야 한

다. DSP의 능력을 고려한 최대 sampling 주기를 T_s 라 하고 이 주기가 시지연 τ_1 과 τ_2 의 1/2이하라고 가정한다면 지연된 sample수를 측정할 수 있다.

$$NT_s = \tau_1 \text{ or } \tau_2 \quad (6)$$

이때 N 은 등화기의 차수 결정에 중요한 요소가 된다. 등화기의 계수값들이 시지연 불일치를 정밀하게 교정하기 위해서는 대칭등화기의 형태를 나타내야 한다. 대칭등화기를 위해서는 적응 등화기의 차수가 $2N+1$ 이 되어야만 한다.[4]

2.3 등화기 계수값 갱신

2.3.1 신호제거 폐회로

$V_m(t)$, $V_e(t)$, $V_a(t)$, $V_o(t)$ 을 대역제한 입력신호의 기저대역 표현이라 하자. 여기서 소개하는 신호제거 폐회로에서 등화기 위치는 신호감쇠기 다음에 위치한다. 이곳에 등화기를 위치시킨 이유는 주증폭기와 시지연선의 시지연 정렬을 좀 더 정밀하게 정렬 시키기 위한 것이다. 즉 등화기의 역할은 증폭기를 통해 시지연된 입력신호와 시지연선으로 인한 시지연차이를 최소화하는데 목적을 가진다. 등화기를 통과한 증폭신호는 다음과 같이 표현할 수 있다.

$$\overline{V_a}(kt) = \sum_{i=0}^{2N} \alpha_i V_a(kt) \quad (7)$$

여기서 α_i 는 등화기의 계수값들이다.

α_i 를 갱신하는 방법은 최소자승기법(LMS)을 사용하였다. α_i 을 갱신은 다음과 같다.

$$\alpha_i(k) = \alpha_i(k-1) - \mu_a V_e(kT) V_m'(kT - iT) \quad i=0,1,\dots,2N \quad (8)$$

여기서 μ_a 는 step-size이다.

등화기 계수 값들은 결국 주증폭기의 특성과 시지연시간에 최적화된 값으로 수렴한다.

2.3.1 오류신호 제거 폐회로

오류신호제거 폐회로에서 등화기 위치는 증폭기의 앞단에 위치한다. 등화기를 지난 오류신호는 다음과 같이 표현한다.

$$\overline{V_e}(kt) = \sum_{i=0}^{2N} \beta_i V_e(kt) \quad (9)$$

여기서 β_i 는 등화기의 계수 값들이다.

β_i 를 갱신하는 방법은 신호제거 폐회로와 마찬가지로 최소자승기법(LMS)을 사용하였다. β_i 를 갱신은 다음과 같다.

$$\beta_i(k) = \beta_i(k-1) - \mu_\beta V_o(kT) V_e'(kT - iT) \quad i=0,1,\dots,2N \quad (10)$$

여기서 μ_β 는 step-size이다.

등화기 계수 값들은 신호제거 폐회로와 마찬가지로 보조 증폭기의 특성과 시지연시간에 최적화된 값으로 수렴한다.

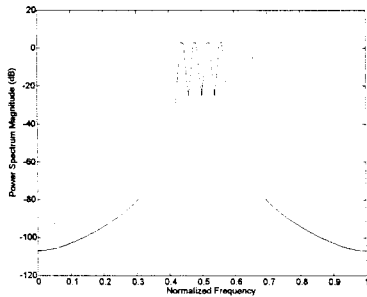
3. 모의 실험

본 논문에서의 모의 실험은 기저대역에서 일정 주파수

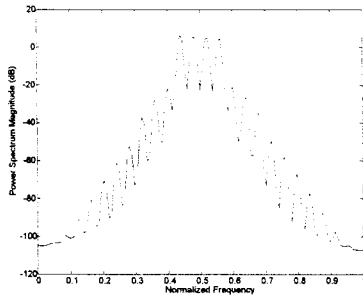
떨어진 4개의 CW(carrier wave) 신호를 이용하여 실험하였다. 제시한 알고리즘은 신호제거 폐회로에서 주증폭기 앞단의 등화기[1]을 감쇠기의 다음 단으로 이동하여 시지연 정렬을 정밀하게 조정하는데 있다. 그림3은 본 논문이 제시한 적응 등화기를 이용한 feedforward 선형 증폭기의 구조이다.

(그림4)는 입력신호의 주파수 스펙트럼이다. 모든 그림의 주파수는 표준화된 주파수(normalized frequency)이다. (그림5)는 증폭기를 통과하여 비선형 왜곡신호가 포함된 증폭기 출력신호의 주파수 스펙트럼이다. (그림6)은 시지연이 없다는 가정 아래 vector modulator를 이용하여 비선형 왜곡신호를 제거한 feedforward 선형 증폭기의 출력신호이다. 이 그림에서 시지연이 일어나지 않는다면 비선형 왜곡신호가 40dB 이상 제거 됨을 볼 수 있다. (그림7)은 (그림6)에서 사용한 시스템에서 신호제거폐회로와 오류신호제거 폐회로에 시지연 불일치 τ 가 발생했을 때의 feedforward 선형 증폭기의 출력신호이다. 여기서 증폭기의 비선형성 때문에 발생한 왜곡신호가 거의 제거 되지 않는 것을 볼 수 있다.

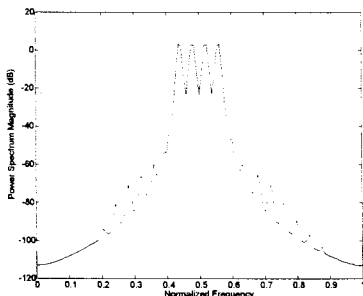
(그림8)은 본 논문에서 제시한 feedforward 선형 증폭기의 구조를 이용하여 시지연 불일치를 교정한 출력신호이다.



(그림4) 4-tone CW signals



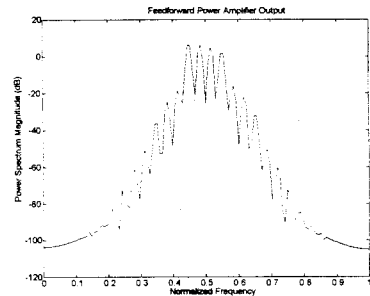
(그림5) 증폭기 출력신호



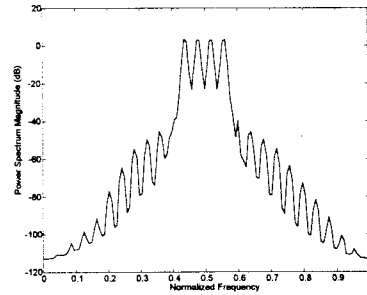
(그림6) 시지연이 없는 feedforward 선형증폭기의 출력신호

3. 결 론

모의 실험 결과에서 보듯이 vector modulator를 사용한 적응 feedforward 선형증폭기는 두 폐회로에 시지연 불일치가 발생하지 않을 경우 매우 정밀하게 오류신호를 제거한다. 하지만 시지연 불일치가 발생하였을 경우 vector modulator만으로는 정밀한 시지연 정렬을 이루지 못 함을 볼 수 있다. 이것을 적응 등화기를 사용하므로써 정밀한 시지연 정렬을 이룰 수 있음을 보여준다. 그림 8에서 시지연 불일치가 없는 환경 보다는 정밀한 오류 제거는 이루어지지 않는다. 하지만 오류신호가 40dB이하로 제거되어 졌다. 즉 최소 20dB이상의 오류정정을 이룰 수 있다. 본 논문에서는 최적의 등화기 차수 결정을 통해 feedforward 선형증폭기의 시지연 정렬과 등화기 위치를 교정하므로써 지연 불일치를 기존의 알고리즘보다 정밀하게 교정할 수 있다는 것을 보였다.



(그림7) 시지연이 발생한 feedforward 선형 증폭기에서의 출력신호



(그림 8) 본 논문이 제시한 적응등화기를 이용한 feedforward 선형증폭기를 사용하여 시지연을 교정한 출력신호

(참 고 문 헌)

- [1] J. T. Chen, H. S. Tsai and Y. K. Chen, "Adaptive joint linearisation/equalisation with delay alignments for a wideband power amplifier", Electronics Letters, Vol 34, pp. 514-515, 1998
- [2] K.J. Parsons and P.B. Kenington, "Effect of delay mismatch on a feedforward amplifier", IEE Proc.-Circuits Devices Syst., Vol. 141, pp. 140-144, 1994
- [3] S. J. Grant, J. K. Cavers, and P. A. Goud, "A DSP controlled adaptive feedforward amplifier linearizer", in 5th Int. Conf. Universal Personal Communications, Cambridge, MA, Vol. 2, pp. 788-792, 1996
- [4] S. Haykin, Adaptive Filter Theory, 3rd ed. Englewood Cliffs, NJ: Prentice-Hall, 1996