

2.8기가비트급 Serial-Link Chip에 적용되는 저전압 IPLL설계

정세진 이현석 성만영*
(주) 더즈텍 *고려대학교 전기공학부

A IVC based PLL(IPLL) Design for 2.8Gbps Serial-Link Chip

Se-Jin Jeong, Hyun-Seok Lee, Man-Young Sung*
DOESTEK Co. * Dept. of Electrical Engineering, Korea Univ.

Abstract - 2기가비트급 이상의 Serial-Link Chip에 적용되는 PLL의 특성은 lock-in-time이 빨라야 하며 low VDD 동작을 확보해야 한다. 본 논문은 2.8기가비트급의 인터페이스 전송칩에 사용되는 PLL에 내부전원 공급기를 설계하여 외부전원 3.3V시에 2.5V를 제공하며 이를 PFD/CP/VCO에 개별적 적용하는 제어방법 및 회로를 제안하며 이에 따르는 IPLL의 Lock-In-Time을 1mS 이내로 설계하였으며 외부동작 주파수는 100MHz이상이며 인터페이스 전송량은 2.8기가비트에 이른다. 저전압 설계를 통한 동작전류를 내부전원 제어를 통해 순차적(Sequential Method)동작을 시킴으로 IPLL 동작시의 전류소모를 2mA이하로 제한하였다. 본 논문에서는 2.8기가비트급 인터페이스 전송칩에 적용한 IPLL의 회로 및 내부전원 공급기의 제어 방법 및 설계결과를 제안하며 이에 따르는 전송칩의 동작방법을 제안한다.

1. 서 론

고해상도 Flat Panel Display interface를 만드는 데 가장 큰 걸림돌이 되었던 사실은 해상도가 증가하면 할수록 요구되는 비디오 신호 전송률이 많아지는데 병렬 신호 라인 수의 증가와 풀 스윙 신호는 비디오 신호 전송률이 증가함에 따라 전력소모가 크게 된다. 본 논문의 IPLL이 적용된 Serial-Link Chip은 4채널로 구성된 FPD 인터페이스 칩으로 스탠다드 CMOS 공정을 사용하여 비용을 증가시키지 않으면서 고속이고 작은 수의 패럴렐 라인과 저전압 스윙(300mV)의 시리얼 인터페이스를 이용, 저전압 스윙 및 차동 출력 신호로 FPD의 고해상도를 유지하면서 고속 데이터 전송(2.8Gbps), 저전력 소모(250mW), 큰 밴드위스(350 Megabyte/sec)를 실현하며 이에 적용된 IPLL(IVC-PLL)은 칩의 동작주파수에 따라 클럭 및 VCO의 카운터의 조합에 따라 VCO의 영역을 2가지(Low/High)로 결정하여 근접한 주파수 영역을 결정해주어 외부클럭과 Phase 및 Delay를 동기시켜주는 응답속도(Acquisition Time)를 1mS 이내(본칩의 100Mhz 경우 500nS)로 줄일수 있었으며 IPLL의 공급전원으로는 외부전원 3.3V시 2.5V의 내부전압을 칩내에서 공급하여 저전압 IPLL을 구현하였으며 Power-Down모드를 지원하기 때문에 저전력 효율의 극대화를 만족시킨다.

본 논문에서는 IPLL의 구현배경 및 동작원리 그리고 새로운 VCO 제어방법과 회로를 제안함과 동시에 IPLL이 적용된 칩의 성능 및 설계결과를 토대로 IPLL의 장 단점을 연구 분석코자한다.

2. 본 론

2.1 Serial-Link-Chip의 구성

(Fig.1)은 0.25um Design Rule로 설계된 칩의 Function Diagram으로 R/G/B Data를 2.8Gbps의

고속데이터 전송을 실현하며 4개의 채널이 있으며 1개의 Differential 클럭채널이 존재한다. 여기에 적용된 IPLL은 IVC를 적용함으로써 공급전원에 따른 PLL의 Jitter를 배제할 수 있었으며 Power-Down시에는 Stand-By IVC만 동작함으로써 IPLL의 전력손실을 줄일 수 있었다.

2.2 IPLL의 구성회로 및 제어

(Fig.2)는 IPLL의 구성도로 보편적인 PFD 및 CP를 가지고 있으며 Low Frequency 및 High Frequency의 2범위를 가지고 있는 7단의 인버터타입의 VCO가 적용되었다. 이를 제어하기 위한 카운터 타입의 클럭 카운터 및 VCO 카운터가 존재하며 외부클럭주파수에 따라 VCO의 동작 영역(즉 Acquisition Timed을 줄이기 위한)을 판별해주는 회로로 구성되어 있다. PLL의 저전압 및 공급전압의 변화에 따른 Jitter의 최소화를 위하여 적용된 내부전원(IVC)의 전압은 2.5V이며 칩능력의 저하를 가져오지 않는 범위에서 저전압화를 이루며 칩의 주파수에 따른 IVC회로의 제어 방법도 전류소모차원에서의 전류원소스를 조절한다. 이와 같은 방법은 Power-Down모드에서는 Active IVC를 비활성화 시킴으로 IPLL에 필요한 최소한의 Capability만을 갖게된다. (Fig.3)의 보편적 PFD/CP의 회로이며 (Fig.4)(Fig.5)(Fig.6)은 본 논문에서 적용한 IPLL의 VCO 및 그 제어회로와 방법이다. 우선 외부 클럭이 100Mhz 이상인 경우에는 (Fig.5)(a)(b)의 카운터가 일정클럭후에 기준 주파수에 비교하여 (Fig.6)의 High Frequency용 VCO 활성화신호인 PON이 Low상태로 래치된다. 이로써 VCO의 안정화상태(Lock-In)까지의 시간을 앞당길 수 있었다. (Fig.6)의 CNTOFF는 IPLL의 추가적인 전류소모원인 카운터를 VCO 작동영역을 판별한후에 비활성화 시킴으로 일정시간후에는 추가적인 전류소모를 억제시키는 신호이다.

2.3 시뮬레이션 결과 및 분석

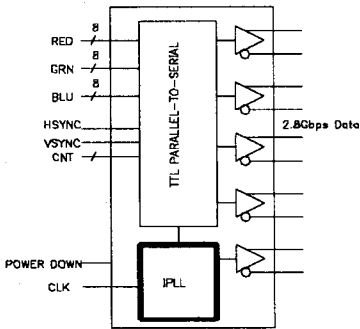
(Fig.7)(a)(b)는 외부클럭주파수가 50Mhz인 경우와 100Mhz인 경우의 IPLL 특성 시뮬레이션 파형으로 (a)에서는 150nS에서 주파수결정영역이 있음을 볼 수 있으며 Lock-In Time이 500nS인것을볼 수 있다. (b)의 100Mhz경우에는 주파수결정영역이 80nS에서 보이며 VCO의 동작영역을 High Frequency로 간주하여 PON이 활성화 되어 VCO의 주파수가 높아짐을 볼 수 있다. 상기 (a)(b)에서 CNTOFF는 160nS/90nS에서 활성화되어 불필요한 카운터의 동작을 방지한다. (Fig.8)은 설계된 Serial-Link Chip의 부분적 Layout이며 0.25um Design Rule로 설계되었으며 2P5M로 설계되었다.

3. 결 론

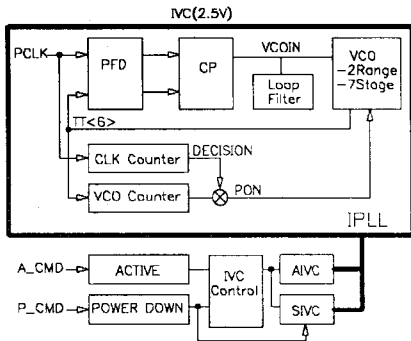
2.8Gbps Serial-Link Chip에 적용된 IPLL의 lock-in-time은 50Mhz 동작시에는 500nS, 100Mhz 동작시에는 400nS임을 알수있으며 내부전원(IVC)를 적용함으로써 공급전원변화에 따른 PLL의 오동작 및 Jitter를 0.1nS이하로 줄일 수 있었다. 특히 Power-Down 모드를 적용한 IPLL의 설계로 효과적인 저전압 및 저전력을 구현했으며 2영역, 7단 VCO의 카운터를 통한 활성영역결정회로를 통해 PLL의 Lock-In Time을 안정적으로 1mS이하로 만들 수 있었다.

[참 고 문 헌]

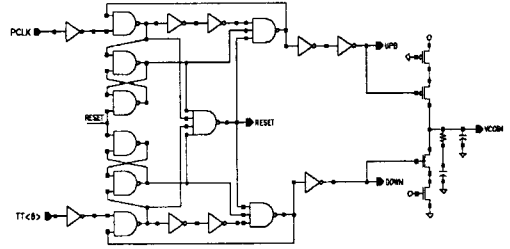
- [1] Herve Marie, "R,G,B Acquisition Interface with Line-Locked Clock Generator for Flat Panel Display", IEEE JSCC, VOL. 33, NO. 7, JULY 1998
- [2] Yoshiharu Aimoto, "A 7.68GIPS 3.84GB/s 1W Parallel Image-Processing RAM Integrating a 16Mb DRAM and 128 Processors" ISSCC pp.372-373, 1996
- [3] Vincent R.von Kaenel, "A High-Speed, Low-Power Clock Generator for a Microprocessor Application", IEEE JSCC VOL.33, NO. 11, NOVEMBER 1998
- [4] John G. Maneatis, "Low-Jitter Process-Independent DLL and PLL Based on Self-Biased Techniques", IEEE JSSCC VOL.31, NO. 11, NOVEMBER 1996



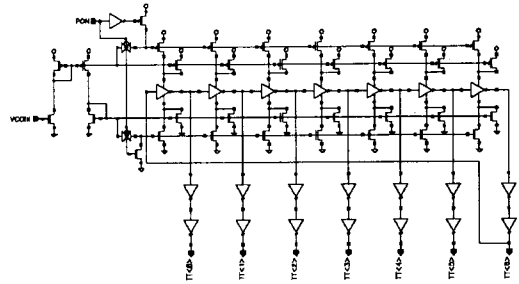
<Fig.1> Chip Function Diagram



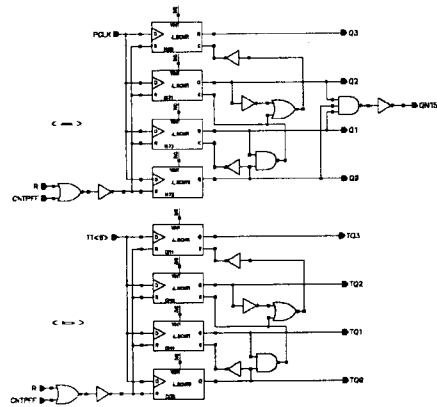
<Fig.2> IPLL의 구조 및 제어



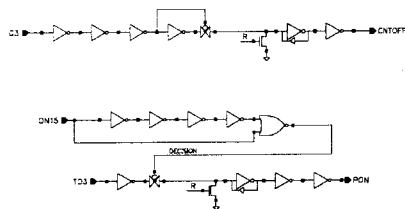
<Fig.3> PFD/CP 회로



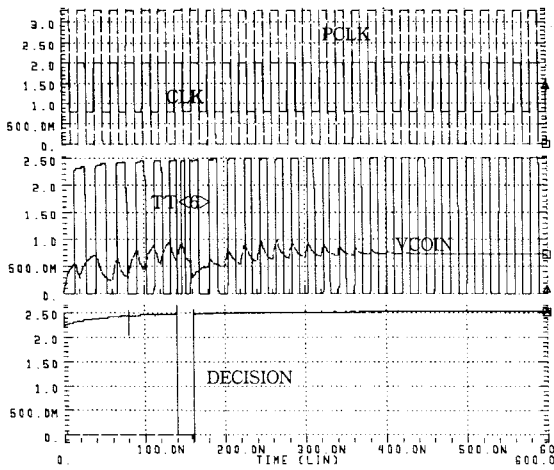
<Fig.4> 7단 VCO(2Range) 회로



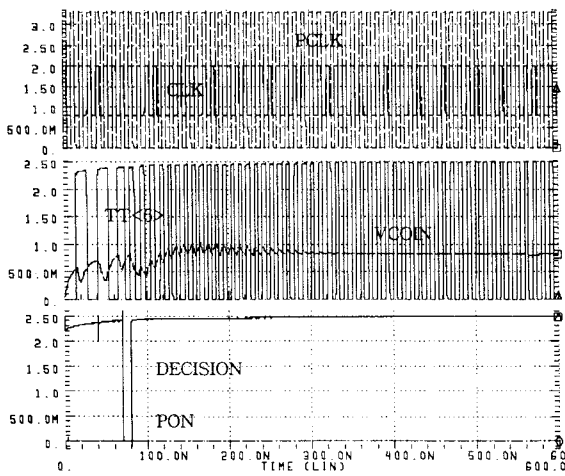
<Fig.5> (a) CLOCK 카운터 (b) VCO 카운터



<Fig.6> VCO 동작영역 결정 회로

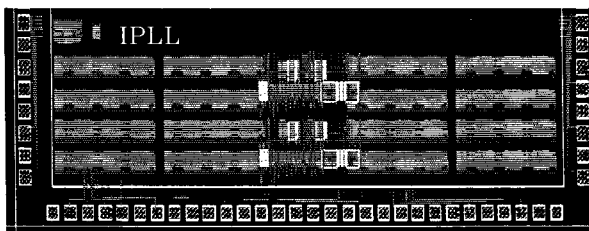


(a) CLK주파수 = 50Mhz



(b) CLK주파수 = 100Mhz

<Fig.7> 시뮬레이션 결과
 (@VDD=3.3, IVC=2.5V, Temp.=100'C)



<Fig.8> 설계된 칩 Layout