1999년도 대한전기학회 정기총회 및 추계학술대회 논문집 1999. 11. 20

FE-tip을 이용한 Nano-Lithography 기술에 관한 연구

최재혁, 박선우, 김철주
서울시립대학교 전자 · 전기공학부

A Study on the Nano-Lithography using FE-tip

Choi JeHyuk, Park SunWoo, Kim Chulju
School of Electrical Engineering

Abstract - In this study, we developed FE-tip lithography system that could apply to multi-tip system and did lithography using FE-tip. The software that control FE-tip lithography system, was proposed for acquiring more adaptive data to compensate the effect of fluctuation. We found that the fluctuation effect was reduced. The minimum line width was related to applied voltage and we observed a movement of Z-axis piezo stage to correct the error of this system. When FE current was 5nA, scanning speed was 3 ㎛/sec and applied voltage was 200V, we made a line pattern which had minimum line width of 614 ㎚.

If we reduce applied voltage to several decades and increase scanning speed to 20㎛/sec, it is possible to get the minimum line width of 100 ㎚. The proposed system can be easily applied to multi FE-tip lithography system.

1. 서 론

현재 반도체 메모리 기술에서 이용되고 있는 photo-lithography 기술의 경우 패턴의 크기가 광원의 파장에 의하여 제약받기 때문에[1] 패턴의 크기를 축소하는 데에 있어서 한계에 이르렀으며, 따라서 차세대 G-bit DRAM 생산공정에 있어서 가장 먼저 개발되어야 할 기술로 지적되는 기술이 photo-lithography 기술을 대체할 새로운 lithography 기술이다.

기존의 photo-lithography 기술에서는 획득할 수 없는 nanometer 크기의 패턴을 형성할 수 있다는 점으로 인하여 최근에 많은 연구가 이루어지고 있는 기술이 SPM (Scanning Probe Microscope)을 이용한 lithography 기술이다. 지금까지 여러 가지 방법을 이용한 SPM lithography 기술이 개발되었으며 이 기술의 장점으로는 앞서 기술한 바와 같이 기존의 photo-lithography 기술에서 획득할 수 없는 nanometer 크기의 패턴 형성이 가능하다는 점이다. SPM lithography 기술의 또 다른 이점은 SEM을 이용한 E-Beam lithography 기술과 달리 낮은 에너지 준위의 E-Beam을 이용하기 때문에 시료가 손상되지 않으며 proximity effect 또한 발생하지 않는다는 점이다. 이 SPM lithography 기술을 이용하여 SET (Single Electron Transistor)를 제작하고자 하는 연구 또한 활발히 이루어지고 있다.

그러나 SPM lithography 기술 또한 단점을 가지고 있으며 생산기술에 적용하는 데에 있어서 가장 커다란 문제점으로 지적되는 것이 through-put rate가 매우 낮다는 점이다. 패턴을 형성하고자 하는 전체 영역을 하나의 tip이 scanning 하기 때문에 through-put rate가 매우 낮으며 이의 개선을 위하여 multi-tip을 이용하는 방안이 제시되었으나 구현된 바 없다. SPM의 일종인 AFM(Atomic Force Microscope)을 이용한 lithography 기술[2-11]의 경우 cantilever에 여러 개의 tip을 제작할 수 있으나 각각의 tip을 동시에 제어하기 위한 기술이 아직까지 연구된 바 없으며, 역시 SPM의 일종인 STM(Scanning Tunneling Microscope) lithography 기술[12-13]의 경우 요구되는 높은 진공도(>1×10^{-8} torr)에 도달하기까지 많은 시간이 소요되어 through-put rate를 오히려 저하시킨다.

이러한 문제점을 해결하기 위하여, 본 연구에서는 multi-tip을 이용하기 위한 기초 연구로서 FE(Field-Emission)-tip lithography 기술을 제안하였다. 비교적 낮은 진공도(≈1×10^{-6} torr)를 유지하며 FE-tip을 이용한 lithography를 수행할 수 있는 시스템을 제작하여 FE-tip lithography를 수행하였으며 이때 500㎚의 최소 선폭을 갖는 패턴을 획득하였다.

2. 본 론

2.1 실험 방법

Fig. 1은 본 실험에서 이용한 FE-tip 첨두 부분의 SEM 사진이다. FE-tip은 직경이 0.08㎜인 텅스텐 wire를 KOH 용액에 넣어 전기-화학적으로 식각하여 제작하였으며 이 사진에서 FE-tip 첨두 부분의 직경은 100㎚ 이하의 수준을 유지하고 있음을 확인하였다. 제작된 FE-tip은 절연판에 수직으로 뚫어 놓은 hole에 silver paste를 이용하여 고정하였다. Chamber에 장착된 feedthrough를 통하여 외부 power supply와 FE-tip을 배선하여 전압을 인가하였다. 만약 multi FE-tip을 이용하고자 할 경우, 절연판에 FE-tip을 고정시킬 수 있는 multi-hole을 형성하여 FE-tip들을 고정시키면 손쉽게 multi FE-tip으로의 적용이 가능하다.

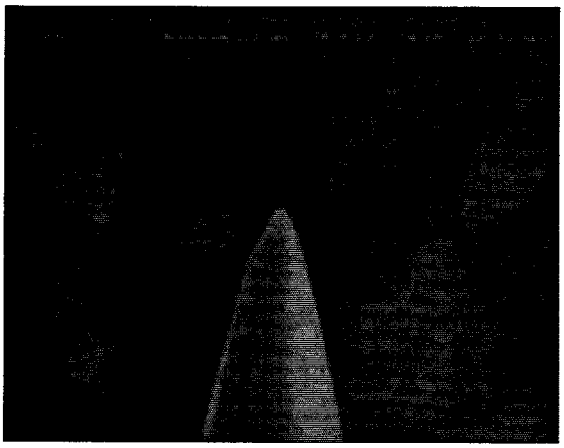


Fig. 1. SEM Image of the top of FE-tip

Electron beam resist로서 많이 이용되는 물질인 EBR(EBR-9, Toray)을 resist로 이용하였다. 형성된 EBR 박막의 두께가 두꺼울 경우 field emission에 의한 electron 방출 현상이 나타나지 않을 수 있으므로 가능한 EBR 박막의 두께를 수십 nm 수준으로 유지하여야 한다. 본 연구에서는 EBR을 Si-wafer 위에 도포한 후 5000 rpm의 회전속도로 1 분간 spin-coating 한 후 200℃에서 30분간 baking하였다. 박막의 두께는 AFM을 이용하여 측정하였으며, 측정 결과 500Å 두께의 EBR이 형성되었음을 확인하였다.

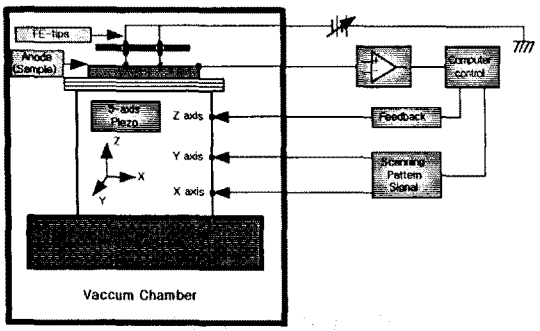


Fig. 2. Schematic Diagram of FE-tip lithography System

Fig. 2에 본 연구에서 제작한 FE-tip lithography 용 시스템의 장치 구조도를 나타내었다. EBR이 형성된 Si-wafer를 도체판에 silver paste를 이용하여 고정하였다. 외부에서 FE current를 측정하기 위하여 도체판은 feedthrough를 통하여 외부로 배선되어 있으며 FE-tip에서 방출된 전자는 시료를 감광한 다음 도체판을 통하여 외부 측정 시스템으로 흐르게 된다.

시료가 놓여진 도체판은 piezo로 구동되는 stage 위에 carbon tape를 이용하여 고정하였다. 시료와 piezo stage 사이는 절연되어 있으며 Chamber 내부의 진공도는 2×10^{-6} torr 수준으로 유지하였다.

Chamber 외부에 FE current 측정 시스템을 제작하였다. OP-Amp(AD 711)의 전류-전압 변환 회로를 이용하였으며 수 nA 수준의 current를 측정할 수 있도록 제작하였다. 전압으로 변환된 current는 A/D 변환기를 통하여 PC에 입력되어 모니터 화면상에서 current 값을 실시간으로 측정 가능하다.

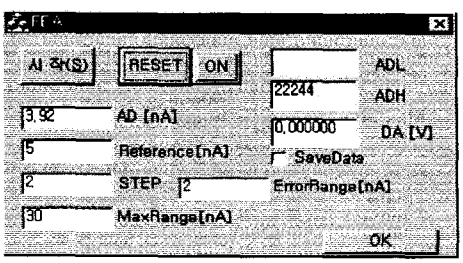


Fig. 3. The Measurement and Control Panel

Piezo stage는 X, Y, Z의 3축으로 구동이 가능하며 100㎛/150V의 동작 범위를 갖는다. Piezo stage의 동작은 D/A 변환기와 OP-Amp(3584)를 통하여 PC에서 제어하도록 제어 시스템을 구성하였다. 제어 시스템은 일정한 FE current가 방출되도록 FE-tip과 시료 사이의 거리를 일정하게 유지하도록 제작하였으며, 측정되는 FE current의 양에 따라 Z축의 piezo 시스템을 제어하도록 software를 제작하였다. 제작된 software의 측정 및 제어 화면을 Fig. 3에 나타내었다.

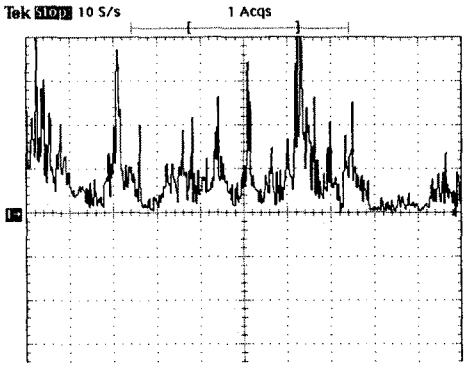
FE-tip에 각각 200V, 400V, 800V의 전압을 인가한 후, FE에 의한 전자방출을 유도하기 위하여 Z축을 구동하여 시료를 FE-tip에 근접시켰다. 이때 측정된 전류량은 FE-tip과 시료 사이의 거리와 인가한 전압에 관계하며 그 관계는 Fowler-Nordheim 관계식[14]을 만족하였다.

FE-tip을 시료에 접근시키며 방출 전류량이 설정된 5nA에 도달하였을 때 X-Y scanning을 시작하였다. 100 ㎛×100㎛의 영역을 5㎛/sec의 scanning speed로 노출하였다.

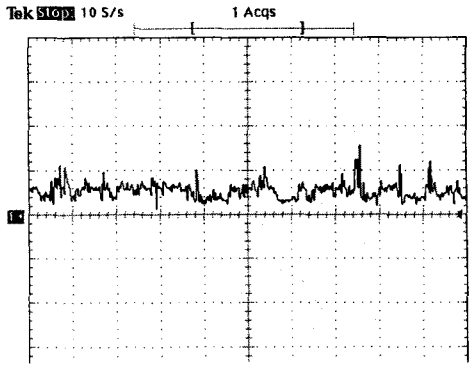
노출된 시료는 120℃에서 30분간 post-baking한 후 developer(DVL-7)에서 약 30초간 develop하였고 형성된 패턴을 AFM으로 관찰하였다.

2.2 실험 결과

Fig. 4(a)는 Z축을 시료에 근접시켰을 때 획득한 FE current 값을 오실로스코프로 관측한 사진이다. 전류량이 급격히 변화하고 있음을 알 수 있으며 이는 FE을 이용한 전자방출 현상에서 흔히 볼 수 있는 fluctuation 현상으로서 인가 전압을 고정하여도 전류는 fluctuation 하는 현상을 말한다. FE current의 fluctuation 정도는 진공도에 비례한다. 즉 진공도가 낮아지면 낮아질수록 FE current의 fluctuation 현상은 줄어들며 1×10^{-9} torr 이상의 진공도에서는 FE current의 fluctuation 정도가 무시할 수 있을 정도로 감소한다.



(a)



(b)

Fig. 4. FE current (a) when the control system is off (b) the control system is on

본 연구에서는 through-put rate를 높이기 위한 방안으로 1×10^{-6} torr 수준의 진공도에서 FE-tip lithography를 수행하고자 하였으며, 이때 발생하는 FE-tip에서의 fluctuation 현상을 보상하기 위하여 Fig.

3에서와 같이 제어 software에 ErrorRange 항목을 첨가하였다. FE current의 평균 fluctuation 양을 측정한 후, 평균 fluctuation 범위와 동일하게 ErrorRange를 설정하여 이 범위 이내에서의 전류량 변화는 무시하도록 software를 구성하였다. 이러한 보상 software의 성능을 확인하기 위하여 Z축의 제어시스템을 동작시킨 상태에서 FE current를 오실로스코프로 관찰하였고 관찰된 결과를 Fig. 4(b)에 나타내었다. Fig. 4(b)에서 볼 수 있듯이 제어시스템이 동작하지 않은 상태에서의 FE current 신호에 비하여 제어시스템이 동작할 때에 FE current fluctuation 현상은 현저히 감소하며 본 연구진이 제안한 제어시스템으로 인하여 전류 방출 특성이 개선되었음을 확인하였다.

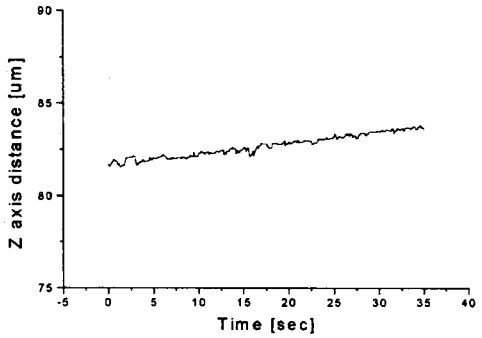
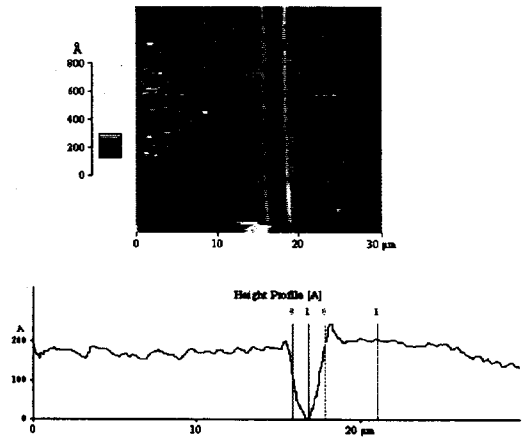


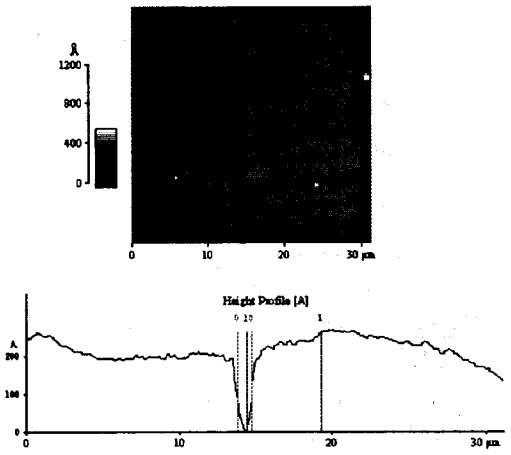
Fig. 5. Z axis displacement when the sample is scanning

시료를 scanning하며 lithography 작업을 수행할 때, 제어용 PC에서 출력하는 Z축의 전압을 관찰하였다. Fig. 5는 Z축 piezo에 출력하는 전압을 거리로 환산하여 scanning시 Z축의 거리변화를 살펴본 그림이다.

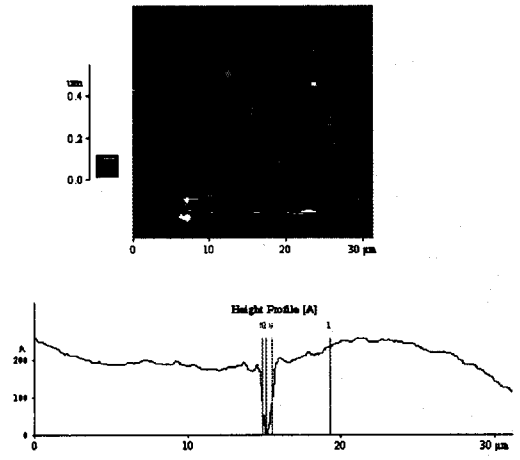
Z축 제어신호가 시간에 따라 증가하는 현상은 FE-tip 첨두 부분과 시료 표면이 완전히 평행하지 않기 때문인 것으로 생각되며, Fig. 5에서는 시료가 오른쪽으로 기울어져 있어 X축 방향으로 시료가 100㎛ 이동하였을 때 Z축 방향으로 시료가 2㎛ 이동하였음을 알 수 있다. 또한 본 연구진이 제작한 제어 시스템이 올바르게 동작하고 있음을 이 결과로부터 알 수 있다



(a) line width = 2000 ㎚



(b) line width = 982 ㎚



(c) line width = 614 ㎚

Fig. 7. AFM image of line pattern (a)when applied voltage = 800V (b)when applied voltage = 400V (c) when applied voltage = 200V

형성된 line 패턴의 폭은 전압에 비례하였다. 인가전압이 각각 800V, 400V, 200V 인 경우 형성된 line 패턴의 폭은 2000㎚, 982㎚, 614㎚였다. 인가한 전압이 상대적으로 높은 경우, 본 실험에서 설정한 5nA의 FE current를 방출하기 위해서는 시료와 FE tip과의 거리가 상대적으로 멀어야 한다는 점을 뜻하며, 이는 방출되는 electron beam에 의하여 노출되는 영역이 넓어짐을 의미한다. 따라서 인가전압이 높을수록 형성된 line 패턴의 최소선폭은 넓어지고 인가전압이 낮을수록 최소선폭은 줄어든다. Fig. 6에 각각의 인가전압에서, scanning speed = 3㎛/sec, FE current = 5nA의 동일한 공정조건으로 lithography를 수행한 후 획득한 AFM 화상을 나타내었다.

3. 결 론

본 연구에서는 multi-tip으로 적용이 가능한 FE-tip lithography 시스템을 제작하였고 FE-tip lithography를 수행하였다. FE에 의한 전자방출시 발생하는

fluctuation 현상을 보상할 수 있도록 software를 제작하였고, 보상 software에 의하여 FE current의 방출 특성이 개선되었음을 확인하였다. 인가전압이 낮을수록 형성된 line 패턴의 최소선폭을 축소할 수 있음을 확인하였고, Z축의 이동 정도를 관찰하여 제작한 시스템이 올바르게 동작하는 것을 확인하였다. FE current 5nA, scanning speed 3㎛/sec, 인가전압 200V의 공정조건에서 최소선폭이 614㎚인 line 패턴을 형성하였다.

획득한 패턴의 최소선폭이 614㎚로서 다소 넓은 편이지만, 인가전압을 50V 이내로 줄이고 scanning speed를 더 개선시킬 경우 100㎚ 이하의 패턴형성이 가능할 것으로 사료되며, multi FE-tip을 이용한 lithography 시스템으로의 적용이 매우 수월할 것으로 생각된다.

[참 고 문 헌]

[1] I. F. Thompson, C. G. Wilson, M. J. Bowden, "Introduction to Micro litho- graphy", ACS symposium series, ISSN 0097-6156; 219

[2] A. Majumdar, P. I. Oden, J. P. Carrejo, L. A. Nagahara, J. J. Graham and J. Alexander Appl. Phys. Lett. 61(19), 9 Nov. (1992)

[3] Christie R. K. Marrian and Elizabeth A. Dobisz, John A. Dagata, J. Vac. Sci. Technol. B 10(6), Nov/Dec. (1992)

[4] C. R. K. Marrian and E. A. Dobisz. R. J. Colton, J. Vac. Sci. Technol. B 9(2), Mar/Apr (1991)

[5] E. S. Snow and P. M. Campell, Appl. Phys. Lett. 64(15), 11 April (1994)

[6] Liming Tsau, Dawen Wang, and K. L. Wang, Appl. Phys. Lett. 64(16), 18 April (1994)

[7] Liming Tsau, Dawen Wang, and K. L. Wang, Appl. Phys. Lett. 65(11), 12 September (1994)

[8] F. Thibaudau, J. R. Roche, and F. Salvan, Appl. Phys. Lett. 64(4), 24 January (1994)

[9] E. E. Ehrichs, R. M. Silver, and A. L. de Lozanne, J. Vac. Sci. Technol. A. Vol. 6, No. 2, Mar/Apr (1988)

[10] S. W. Park et al, Appl. Phys. Lett. 67-16. pp. 2415-2417, 1995.

[11] 한국진공학회 학술발표회 논문개요집, pp. 118-119, 6 (1996)

[12] K. Hironaka, N. Aoki, S. Yamada, Jpn. J. Appl. Phys. Vol. 36, pp.3839-3843, June (1997)

[13] E. Dubois and J. L. Bubbendorff, Solid-State Electronics 43, pp 1085-1089 (1999)

[14] S. C. Minne, Ph. Flueckiger, H. T. Soh, and C. F. Quate, J. Vac. Sci. Technol. B. 13, 1380 (1995)