

MOSFET에서 Gate Oxide층의 교류 절연파괴 특성

박정구, 송정우, 고시현, 조경순*, 신종열**, 이용우***, 홍진웅
 광운대학교 전기공학과, 서울대학교 전기과*, 삼육의명대학 자동차과**, 대덕대학 전기과***

The AC Breakdown Properties of Gate Oxide Layer in MOSFET

Jung-Goo Park, Jung-Woo Song, Si-Hyoen Ko, Kyung-Soon Cho*
 Jong-Yeol Shin**, Yong-Woo Lee***, Jin-Woong Hong

Dept. of Electrical Eng., Kwangwoon Univ.
 * Dept. of Electrical Eng., Seoil College.
 **Dept. of Automobile, Sahmyook College.
 ***Dept. of Electrical Eng., Taedok College.

Abstract - In this paper, the AC breakdown properties to investigate the electrical properties of gate oxide layer in MOSFET was studied. 5 inch arsenic epi-wafer is selected as an experimental specimen, the power MOSFET of a general MOS structure was made. In order to analyze the physical properties of the specimen, the SIMS(secondary ion mass spectroscopy) was used.

As the experimental condition, the experimental of the AC breakdown characteristics was performed when the thickness of gate oxide layer is 600[Å] and 800[Å], the resistivity is 1.2[Ω·cm], 1.5 [Ω·cm] and 1.8[Ω·cm], and the diffusion time is 110[min] and 150[min] in temperature 30[°C]~100[°C].

From the analysis result of the SIMS spectrum, it is confirmed that the dielectric strength is decreased by contribution of the impurities addition as increasing in thickness of the gate oxide layer in MOSFET.

1. 서 론

오늘날 전자기기의 핵심소자라고 할 수 있는 반도체소자의 메모리 셀 크기와 절연막 두께는 집적도가 상승함에 따라 용량은 커지나 셀 크기는 작아지고 공정의 복잡화를 가져왔다.⁽¹⁻²⁾ 그러므로 모든 공정의 효율과 신뢰성의 확보가 중요해지고 있다. 그 중 MOSFET은 소자구조의 3차원화로 인한 전계집중 현상과 게이트 산화막의 박막화로 인해 게이트 산화막에 인가되는 전계 강도가 높아지게 된다. 이로 인해 게이트 산화막의 절연파괴가 발생하면 효율과 신뢰성 수명이 저하되므로 신뢰성 확보가 중요한 과제가 되고 있다.⁽³⁻⁴⁾

낮은 전계가 인가될 때는 문제가 되지 않던 산화막의 미소결함도 박막화됨에 따라 산화막에서는 절연내력을 저하시키는 중대한 결함이 된다. 따라서 미소결함이 없는 산화막을 얻는 것이 반도체 제조업에 있어서 가장 큰 과제이다.⁽⁵⁻⁶⁾ 최근 들어 전자기기의 고성능화와 더불어 내장 반도체 성능의 고집적, 고스피드화 추세에 따라 MOS 구조에서의 gate oxide는 점차 얇아지고 이에 따른 문제점도 야기되고 있다.⁽⁷⁻⁸⁾ 또한 gate oxide 즉 (SiO₂)경계면상에 트랩charge나 여러 형태의 이온들은 반도체 제조 공정시 어쩔 수 없이 생성되어 제품 특성에

큰 영향을 주고 있다.⁽⁹⁻¹⁰⁾

따라서, 본 연구에서는 전력용 소자의 하나인 단일 MOSFET 소자를 기본모델로 하여 gate oxide의 두께와 wafer 비저항(Resistivity)에 따라 온도 30[°C], 50[°C], 80[°C], 100[°C]에서 AC 절연파괴 특성을 연구하였다.

2. 본 론

2.1 시료제작 및 실험방법

본 실험에 사용된 시료의 제작은 5인치 arsenic epi wafer를 사용하여 일반적인 MOS(Metal Oxide Semiconductor)구조의 power MOSFET을 제작하였다. wafer위에 field 산화막을 형성한 후 gate 절연막으로 산화막(SiO₂)을 형성하였다. 산화막은 N₂, O₂분위기에서 각각 600[Å], 800[Å]의 두께로 형성하고 gate 신호를 전달할 poly gate를 형성하였다. n-ch MOSFET을 기본모델로 하였으므로 p-type불순물이 poly gate와 선택open된 실리콘 저농도 epi층에 이온 주입 되었다. 이후의 공정은 일반적인 MOS반도체 공정에 따라 n+형성과 poly gate의 절연을 위한 PSG deposition, contact을 위한 공정진행 후 Al을 4[μm]로 형성하고 원하는 형태로 Al을 선택 etching하여 전극을 구성하였다.

그리고 0.381[mmφ] Al wire를 이용하여 각각의 전극을 lead에 연결하고 epoxy molding compound를 이용하여 packing하였다. 시료의 단면구조를 그림 1에 나타내었다.

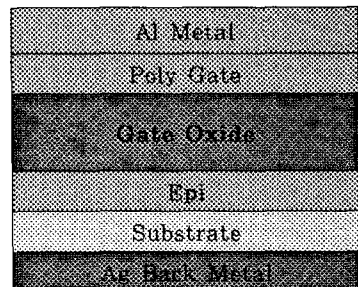


그림 1. 시료의 단면도

2.2 절연파괴 특성 실험

AC 절연파괴 실험을 하기 위해서 DC Power Supply를 이용하여 실험실에서 자체 제작한 실험장치를 구동하고, 자동온도 조절기 (HANYOUNG Co., ATC-V110)을 이용하여 온도를 제어하였으며, X-Y Recorder(YUKOGAWA, Type 3077)를 이용하여 측정값을 기록하였다.

시료에 대한 전압의 인가는 AC 절연파괴일 때 gate에 순방향 전압을 인가하고 source-drain단을 short시켜서 역 방향 전압을 인가하여 측정하였다.

시료에 대한 인가전압의 전압 상승율은 1.67[V/sec] 정도이며, 온도 30[°C], 50[°C], 80[°C], 100[°C]에서 AC 전압을 인가하여 실험을 하였으며, 절연파괴 실험장치를 그림 2에 나타내었다.

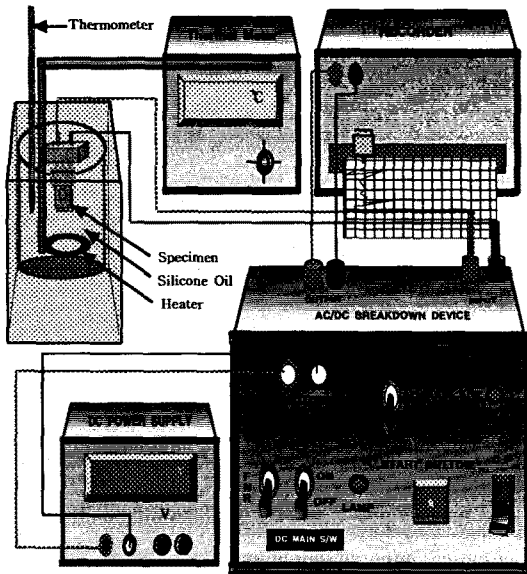


그림 2. 절연파괴 실험장치의 개략도

3. 실험결과 및 검토

3.1 물성분석

그림 3과 4는 gate oxide막 두께가 각각 600[Å]과 800[Å]이고, 비저항은 1.5[Ω·cm], 확산시간은 110(min)일 때 시료의 대한 SIMS spectrum을 나타낸 그림이다.

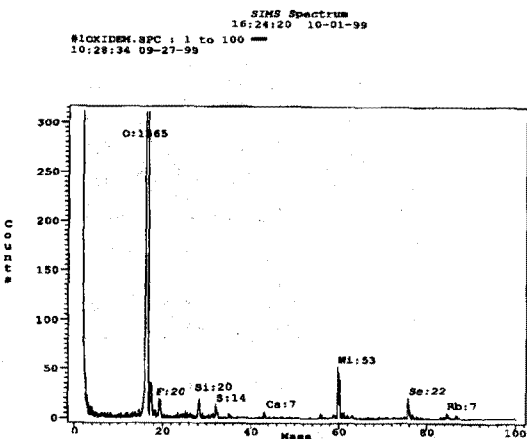


그림 3. 시료의 SIMS 스펙트럼(600[Å])

그림에서 나타낸 것과 같이 초기에 피크 값은 negative Ga source의 기여로 나타난 피크이며, gate oxide막의 두께가 800[Å]일 때 질량 함유량은 600[Å]일 때와 비교하여 크게 나타남을 확인할 수 있으며, 600[Å]일 때 나타나지 않았던 불순물들이 800[Å]일 때에는 C, Mg, Cl, Fe, Cu등이 존재하는 것을 확인하였다.

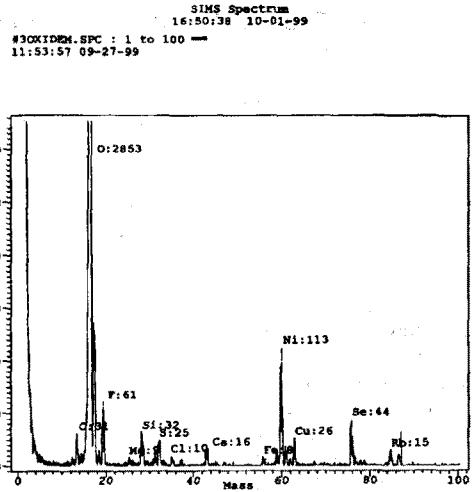


그림 4. 시료의 SIMS 스펙트럼(600[Å])

3.2 AC 절연파괴

그림 5는 600[Å]일 때 각각의 비저항에 따른 교류 절연파괴 강도의 온도 의존성을 나타낸 그림이다. 여기서 비저항이 증가할수록 절연파괴 강도는 온도가 올라갈수록 서서히 감소함을 알 수 있으며, 특히, 비저항이 1.5[Ω·cm]와 1.8[Ω·cm]인 경우에는 절연파괴 강도가 거의 비슷하게 감소하고, 1.2[Ω·cm]일 때와 달리 절연파괴 강도 차이가 저온일 때는 약 0.35(MV/cm) 정도이며, 고온일 때는 약 0.49 (MV/cm)정도 높음을 확인하였다.

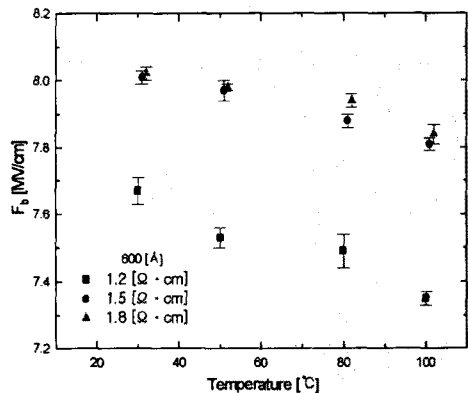


그림 5. 비저항에 따른 교류 절연파괴 강도의 온도 의존성(600[Å])

또한, 온도가 고온일수록 절연파괴 강도는 시료에 바이어스를 인가했을 때 n+ type의 carrier가 Si/SiO₂ 계면을 통해 leakage current가 온도가 저온일 때 보다 흘러 파괴강도가 낮아지는 것으로 사료된다.

그러므로 결정내를 통과하는 carrier의 이동도가 불순물 원자의 총수에 의해 영향을 받게 되어 격자내의 불순물 원자가 규칙적인 결정 구조에 미세한 변화를 일으키기 때문에 비저항에 따라 절연파괴 강도가 변하는 것을 확인하였다.

그림 6은 gate oxide 두께가 800[Å]일 때 ion 주입 후 diffusion time을 110[min]과 150[min]으로 했을 경우 절연파괴 강도를 나타낸 그림이다. 그림에서 알 수 있듯이 diffusion time을 증가시키면 절연파괴 강도는 낮아지고 측정온도가 높아지면 절연파괴 강도도 선형적으로 감소함을 확인할 수 있다.

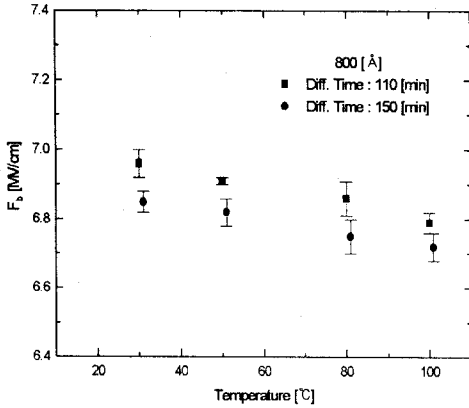


그림 6. 확산시간에 따른 교류 절연파괴 강도의 온도 의존성(800(Å))

이는 확산시간에 따라 gate oxide아래 영역의 p-type x₃차이로 확산시간이 긴 시료가 작은 시료보다 큰 x₃를 가지므로 인가전압의 상당부분이 걸리는 영역(device 동작시 gate oxide 아래 전자들이 적층되는 영역)의 감소로 인해 작게 나타난다. 또한 하부전극 역할을 하는 gate oxide하단부분의 Si/SiO₂ 계면에 잔존하는 전하의 감소 때문인 것으로 사료되며, 확산시간이 110[min]과 150[min]일 때 절연파괴 강도의 차이는 저온일 때는 0.11 [MV/cm]이고, 고온일 때는 0.13[MV/cm]정도임을 확인하였다.

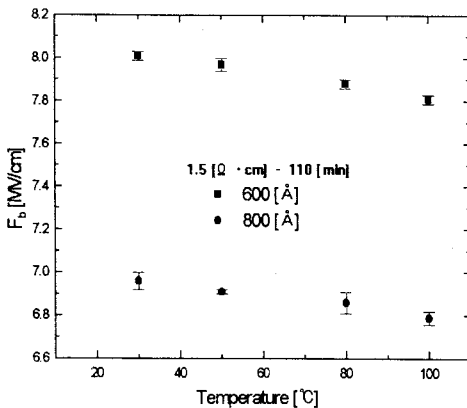


그림 7. 비저항 1.5(Ω·cm), 확산시간 110(min)에 따른 교류 절연파괴 강도의 온도 의존성 (600(Å), 800(Å))

그림 7은 각각의 비저항이 1.5(Ω·cm), 확산시간 110[min]이고, gate oxide막 두께가 600[Å], 800[Å]일 때 교류 절연파괴 강도의 온도 의존성을 나타낸 것이다. 그림에서 나타낸 것과 같이 gate oxide막 두께가 증가할수록 절연파괴 강도가 낮아지는 것을 확인할 수 있으며, SIMS 스펙트럼의 결과로부터 gate oxide막 두께가 600[Å]일 때 보다 800[Å]일 때 불순물의 함유량이 증가하여 절연파괴 강도에 기여하는 것을 확인하였다.

4. 결 론

MOSFET에서 gate oxide층의 전기적 특성을 조사하기 위해 두께 600[Å]일 때 비저항은 1.2(Ω·cm), 1.5(Ω·cm), 1.8(Ω·cm)이고, 800[Å]일 때 확산시간은 각각 110(min), 150(min)으로 시료를 제작했을 때 gate oxide층의 교류 절연파괴 특성과 물성분석을 연구한 결과는 다음과 같다.

1) 물성분석

SIMS 스펙트럼의 결과로부터 gate oxide막 두께가 600[Å]일 때 보다 800[Å]일 때 불순물의 함유량이 증가하여 절연파괴 강도에 기여하는 것을 확인하였다.

2) 절연파괴 특성

비저항에 따른 교류 절연파괴 강도는 비저항이 클수록 크게 나타남을 확인하였으며, 확산시간에 따라 gate oxide아래 영역의 p-type x₃차이가 절연파괴 강도에 기여하는 것을 확인하였다.

(참 고 문 헌)

- [1] King-Ning Tu, James W. Mayer, Leonard C. Feldman, "Electronic Thin Film Science" John Wiley & Sons, Inc., pp. 234~236, 1992.
- [2] 성영권, 학술연구총서 49, "미세화소자 전자절연과 물성", 고려대학교 출판부, pp. 27~150 1997.
- [3] Robert F. Pierret, Gerold W. Neudeck, "Semiconductor Fundamentals" Addison-Wesley Publishing co., pp. 41~42, 64~67, 1988.
- [4] Duncan A. Grant, John Gowar, "POWER MOSFETS" John Wiley & Sons, Inc., pp. 84~85, 1989.
- [5] 박정구, 홍능표, 이용우, 김왕관, 홍진웅 "The Electrical Properties of Gate Oxide due to the Variation of Thickness" KIEE, pp. 1931~1933, 1999.
- [6] Andrew S. Grove, "Physics and Technology of Semiconductor Devices" John Wiley & Sons, Inc., pp.22~31, 1967.
- [7] Richard S. Muller, Theodore I. Kamins, "INTERGRADED CIRCUITS", John Wiley & Sons, Inc., pp. 399~405, 1986.
- [8] B. JAYANT BALIGA, "MODERN POWER DEVICES" John Wiley & Sons, Inc., pp. 276~282, 1987.
- [9] M. Kamal Khan, F. Zdancewicz and A. Bhalla, "THE EFFECT OF GATE DOPING ON THE ELECTRICAL CONDUCTION & RELIABILITY OF THICK GATE OXIDES", ISPSD, pp. 137~140, 1997.
- [10] S. D. Khanin Herzen State Pedagogical University of Rusia, "Electrical Conduction and Breakdown in Amorphous Tantalum and Niobium Oxide Films", International Symposium on Electrical Insulation Materials, pp. 97~100, 1995.