

고집적 로직디바이스용 니켈 모노실리사이드의 미세구조 분석 Characterization of microstructure of Ni-monosilicide for ULSI logic device

안영숙, 송오성*서울시립대학교 재료공학과

1. 서론

Silicide물질은 디바이스저항을 감소시켜 빠른 속도를 구현하기 위해 고집적 로직디바이스 제조에 널리 사용되어 왔으나 기존에 많이 사용되는 $TiSi_2$ 와 $CoSi_2$ 에는 다음과 같은 문제가 있는 것으로 알려졌다.¹⁻⁴

$TiSi_2$ 는 고저항 C49상에서 저저항 C54 $TiSi_2$ 상으로 변태과정시 핵생성에 제한이 있어서 면저항이 선평의존성을 가지게 되어 $0.35\mu m$ 이하 선평에서는 면저항이 급격한 증가를 가져오는 것이 보고되었다.^{1,5-8} 반면 $CoSi_2$ 는 면저항의 선평의존성은 훨씬 작지만 Co의 불균일한 확산반응으로 균일한 실리사이드 두께를 얻는데 기술적 어려움이 있고 $CoSi_2$ 형태로 silicide를 형성하기 위해서 mono silicide보다 더 많은 Si이 소모되어 shallow junction transistor와 같은 차세대 디바이스를 위해서는 적합하지 않다.⁹

이에 반해 니켈모노실리사이드는 선평이 $0.1\mu m$ 이하에서도 전기저항이 커지는 현상이 없고, Ni과 Si이 1:1로 반응하기 때문에 기존 재료에 비해 얇은 실리사이드의 제조가 가능하며 이로 인하여 도펀트의 재분포 현상을 감소시킬 수 있어 유망한 차세대 실리사이드 재료로 알려져 있다.⁹ 이러한 니켈모노실리사이드를 이용하여 고집적 로직디바이스를 제조하면 GSD leakage current와 junction leakage가 설계목표를 만족하고, 건식식각(dry etch)시의 선평비가 Si에 대해 높아 전기적·공정적으로 안정하므로, $0.18\mu m$ 급 이하 CMOS 차세대 로직 디바이스에서 채용이 기대된다.¹⁰⁻¹¹

본 연구에서는 $0.18\mu m$ 급 이하 고집적 CMOS 로직디바이스의 핵심공정으로서 채용이 기대되는 니켈모노실리사이드와 그 외 생성되는 다른 실리사이드상들을 XRD(x-ray diffraction), SPM(scanning probe microscope), TEM(transmission electron microscope)을 활용하여 분석하였다.

2. 실험방법

본 연구에서는 로직디바이스의 실공정에서 채용되는 4인치 크기의 p-type(100)Si 기판을 사용하였다. Si 기판 위의 SiO_2 자연산화막은 열증착 직전 실온에서 10%HF수용액으로 5분동안 산처리하여 제거하였고, 제거 후 1시간 이내에 열증착기(evaporator, korea vacuum KVT-460)를 사용하여 Si 기판 위에 Ni을 증착하였다. 모든 시편은 99.99%순도의 Ni 소스를 이용하였으며, Ni 박막의 두께가 1000\AA 이 되도록 증착하였다. 열증착시 챔버 내 초기 진공도는 5.0×10^{-5} 로 유지되도록 하였고, 입력전원은 15W로 하였다. 각 시편에 대하여 증착된 막의 두께는 SPM(PSIA Autoprobe CP)을 이용하여 측정하였다.

완성된 Ni/Si시편들을 $2.5 \times 2.5\text{cm}$ 크기로 절단한 후, 튜브로(tube furnace)에서 50°C 간격으로

150~1000°C 온도범위에서 30분씩 열처리하여 실리사이드를 형성시켰다. 이 때의 튜브로 내의 분위기는 N₂분위기로 유지하여 표면산화를 방지하였다.

준비된 시편들에 대해, 온도별 생성상을 확인하기 위해 XRD(SEIFERT XRD 3000)를 사용하여 10~80° (2θ)의 범위에서 측정하였고 JCPDS card와 비교 및 분석하였다. 측정조건은 40kV-30mA, Cu 타겟, monochromatic K_{α1}, λ=1.54060Å, step width는 0.01° (2θ), scanning speed 0.6° (2θ)/min로 하였다. 각 열처리 온도에 따른 표면미세구조변화는 SPM을 이용하여 관찰하였다. 측정조건으로는 ultralever tip, 100μm scan을 채용하였고, scan rate 1Hz, scan range는 5μm로 하였다. NiSix와 Si기판의 계면 및 silicides의 두께를 확인하기 위하여 TEM(JEOL 2000)분석을 실시하였고, 각 층의 생성된 물질을 확인하기 위하여 EDS분석을 함께 실시하였다.

3. 결과 요약

XRD분석 결과로부터 400~700°C 온도범위에서 니켈모노실리사이드를 얻을 수 있었고 열증착법으로 제조시에도 기존의 스테터법을 사용하였을 때와 동일한 결과를 얻을 수 있음을 확인하였다. SPM분석결과로부터 Ni₂Si, NiSi, NiSi₂로 상변태가 일어날 때 시편의 표면조도가 각각 98.1, 107, 229Å으로 증가함을 알 수 있었다. 따라서 SPM을 적용한다면 반도체 디바이스 제조공정에서 니켈모노실리사이드생성 후 후속공정에서도 NiSi₂상변태를 일으키는 것을 간단히 monitoring할 수 있을 것으로 판단되어진다. TEM과 EDS 분석결과로부터 400°C 열처리 온도에서 550±120Å 두께의 shallow junction이 가능한 NiSi가 얻어짐을 알 수 있었다. 또한 약 100Å 두께의 자연산화막 SiO₂가 존재함에도 불구하고 Ni이 확산될 수 있어 비교적 평탄한 NiSi를 형성할 수 있는 것을 확인할 수 있었다.

결론적으로 니켈 모노 실리사이드를 반도체 공정에 채용시, 산화막이 남아있어도 silicide를 얻을 수 있으므로 공정상 매우 유리한 것을 확인하였고, 열증착기를 활용하여 활성화영역의 평탄도가 107Å 정도로 우수한 살리사이드 공정을 확보할 수 있었다.

참고문헌

1. Y. Hu, S. P. Tay, J. Vac. Sci. Technol. A 16(3), pp1820-1824, (1998).
2. S. Wolf, Lattice Press, pp.154-160, (1990).
3. S. M. Sze, "VLSI Technology", John Wiley & Sons, (1988).
5. T. Ohguro, s. Nakamura, H. Iwai, IEEE T-ED'94, 2305, (1994).
6. V. Probst, H. Schaber, A. Nitwalsky, J. Appl. Phys., 70(2), 708, (1991).
7. H. Jiang, C. M. Osburn, P. Smith, J. Electrochem. Soc., 139(1), 196, (1992).
8. National Technology Roadmap for Semiconductors, (Semiconductor Industry Association, 1994).
9. E. G. colgan, Thin solid films. 279, 193, (1996).
10. A. lauwers, Q. F. Wang, B. Dewerrdi, and K. Maex, App. Surf. Sci. 91, 12, pp1820-1824, (1995).
11. K. Maex, Mater. Sci. and Eng., R11, Nos.2-3, (1993).