

RB 복소수 필터구조와 DLMS 알고리즘을 이용한 Pipelined ADFE의 설계

안 병규^o, 신 경욱

금오공과대학교 전자공학부

Byung-Gyu An, Kyung-Wook Shin

School of Electronic Eng., Kumoh National Univ. of Technology

ABSTRACT

This paper describes a design of pipelined adaptive decision-feedback equalizer (PADFE) for high bit-rate wireless digital communication systems. To enhance the throughput rate of ADFE, two pipeline stages are inserted into the critical path of ADFE by using delayed least-mean-square (DLMS) algorithm. Redundant binary (RB) arithmetic is applied to all the data processing of ADFE including filter taps and coefficient update blocks. When compared with conventional methods based on two's complement arithmetic, the proposed approach reduces arithmetic complexity, as well as results in a very simple complex-valued filter structure, thus suitable for VLSI implementation. The design parameters (filter tap, coefficient and internal bit-width, etc.) and equalization performance (bit error rate, convergence speed, etc.) are analyzed by algorithm-level simulation using COSSAP. The PADFE was designed using VHDL and Synopsys, and mapped into two ALTERA FLEX10k100 FPGAs.

I. 서 론

적응 결정귀환 등화기 (Adaptive Decision-Feedback Equalizer; ADFE)는 디지털 통신 시스템에서 제한된 채널 대역폭에 의하여 발생하는 심볼간 간섭 (Inter-Symbol Interference ; ISI)을 제거하여 수신단에서 정확한 데이터 복원을 가능하게 하는 신호처리 회로이다. ADFE는 선형 등화기에 비해 등화성능은 우수하나, recursive 구조를 가지므로 파이프라인을 통한 동작속도 향상이 어렵다는 단점을 갖는다. ADFE의 고속화를 위한 여러 가지 병렬 및 파이프라인 알고리즘, 아키텍처들이 제안되고 있으며, 문헌에 발표된 pipelined ADFE (PADFE) 방식으로는 delayed least mean square (DLMS) 알고리즘[1], relaxed look-ahead (RLA) 알고리즘[2] 등이 있다. 이들 알고리즘을 적용한 PADFE는 파이프라인 동작을 위한 하드웨어 증가, 등화성능, 동작속도 사이에 상호 trade-off 관계를 갖는다. DLMS 알고리즘을 적용한 PADFE는 등화기 필터의 계수갱신을 일정 시간동안 지연 시킴으로써 등화기 내부의 critical path에 파이프라인 stage를 삽입하여 동작속도를 향상시키는 방식이다. 한편, 동작속도의 증가는 삽입지연의 수 즉, 파이프라인 stage의 수에 비례하나, 이는 등화성능의 저하를 수반하게 된다. 따라서, PADFE의 효율적인 구현을 위해서는 최소의 지연삽입으로 동작 속도 향상과 등화성능을 모두 만족시킬 수 있는 구조, 회로구현 방식 등의 고려가 필요하다.

본 논문에서는 파이프라인 삽입을 통한 ADFE

의 throughput rate 개선을 위하여 DLMS 알고리즘을 적용한 PADFE를 설계하였으며, 파이프라인 stage 수와 등화성능 사이의 상호 trade-off 관계에 대한 분석을 통하여 최적의 설계 파라미터를 결정하였다. 또한, ADFE 내부의 필터와 계수갱신블록의 모든 연산처리에 기존의 2의 보수 수치계 대신에 RB 수치계를 적용하였으며, 이를 통하여 전체적인 연산의 단순화와 함께 복소수 필터 구조의 단순화를 이루어 효율적인 ADFE 구현이 가능하도록 하였다. 설계된 PADFE는 COSSAP을 사용하여 알고리즘 레벨 검증을 하였으며, VHDL과 Synopsys를 사용하여 합성되었다.

II. RB 복소수 필터를 이용한 PADFE

2.1 Delayed LMS ADFE

ADFE의 일반적인 구조는 그림 1과 같으며, pre-cursor ISI를 제거하는 feedforward filter (FFF)와 계수갱신블록 (WUC), post-cursor ISI를 제거하는 feedback filter (FBF)와 계수갱신블록 (WUD), 그리고 필터 출력으로부터 에러와 심볼값을 결정하는 블록 등으로 구성되며, WUC와 WUD는 식(1)과 같이 표현되는 least-mean-square (LMS) 알고리즘에 의해 필터계수를 갱신한다.

$$W(n) = W(n-1) + \mu e(n)X(n) \quad (1.a)$$

$$e(n) = \hat{y}(n) - W^T(n-1)X(n) \quad (1.b)$$

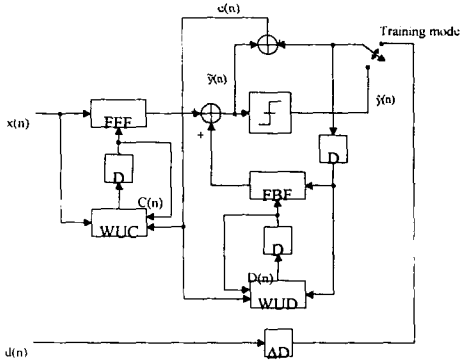


그림 1. 일반적인 ADFE의 구조

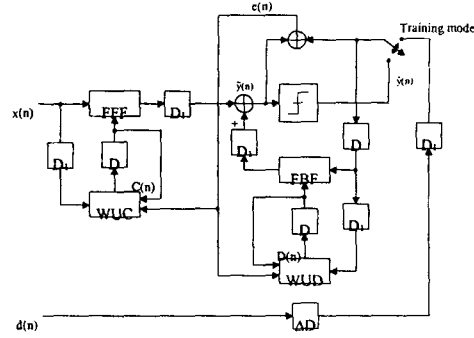


그림 2. DLMS 알고리즘을 이용하여 지연 D1이 삽입된 ADFE

식(1)에서 $W(n)$ 은 필터계수 벡터, μ 는 LSM 알고리즘의 step-size, $e(n)$ 은 에러, $X(n)$ 은 입력 벡터, $\hat{y}(n)$ 은 결정된 심볼값을 나타낸다. 그림 1에서 보듯이, ADFE는 심볼 값 결정 블록이 에러생성 및 계수갱신 루프에 포함되는 순환구조를 가지므로 고속 동작이 어렵다는 문제점을 갖는다.

ADFE의 throughput rate을 향상시키기 위한 방법으로 에러귀환 루프에 지연을 삽입하여 파이프라인 동작을 가능하게 하는 DLMS 알고리즘이 제안되고 있다 [3-4]. 그림 2는 DLMS 알고리즘을 적용한 PADFE 구조의 한 예이며, 에러생성 및 계수갱신 과정은 식(2)와 같이 표현된다.

$$W(n) = W(n-1) + \mu e(n-D1)X(n-D1) \quad (2.a)$$

$$e(n) = \hat{y}(n) - W^T(n-1)X(n) \quad (2.b)$$

식(2)에서 D1은 에러귀환 루프에 삽입된 지연을 나타낸다.

DLMS 알고리즘에서 삽입된 지연 D1 기간동안은 에러생성과 계수갱신이 이루어지지 않으므로, D1이 클수록 등화성능(수렴성, 비트 에러율 등)의 저하가 발생하게 된다. 따라서, PADFE의 등화성능, throughput rate 및 D1 사이에는 trade-off 관계가 존재하며, 주어진 throughput rate을 위해 요구되는 삽입 지연 수를 최소화하기 위해서는 ADFE 내부의 critical path 지연을 줄일 수 있는 연산방식 및 회로구조의 고려가 필요하다.

2.2 복소수 필터 구조

일반적으로, 디지털 무선통신 시스템에서 널리 사용되고 있는 QAM 및 QPSK 방식은 in-phase와 quadrature (I-Q) 채널의 신호를 가지므로, 그림 1과 그림 2의 ADFE는 복소수 신호처리를 필요로 한다. 즉, ADFE의 필터블록 (FFF와 FBF)과 계수갱신블록 (WUC와 WUD)에서 이루어지는 모든 연산 (즉, 승산과 가산)은 복소수 신호처리이며,

따라서 복소수 연산회로의 성능 (즉, 동작속도, 전력소모, 면적 등)이 ADFE에 큰 영향을 미치는 요인이 되며, 효율적인 복소수 필터 구현방법이 요구된다.

복소수 필터를 구현하는 가장 일반적인 방법은 실수 연산을 사용하는 것이며, 그림 3은 실수 승산기와 가산기를 사용한 1-tap 복소수 필터의 구조이다. 필터 tap 부분과 계수갱신블록을 포함하는 1-tap 적응 복소수 필터는 8개의 실수 승산기와 8개의 실수 가산기를 필요로 한다. 이와 같은 고전적인 방법에서는 실수 승산결과에 대한 post-addition/subtraction 과정을 필요로 하므로 필터 tap 내부의 구조가 복잡해지며, 따라서 배선에 의한 면적 및 지연시간의 증가를 초래한다.

본 논문에서는 실수 승산기를 사용하는 기존의 방식이 갖는 단점들을 개선하기 위해 그림 4와 같은 RB 수치계를 이용한 적응 복소수 필터 구조를 적용하고자 한다. 제안된 방식에서는 필터 tap 부분과 계수갱신블록내의 모든 연산처리가 RB 수치계로 처리되며, 필터 tap 부분과 계수갱신블록을 포함하는 1-tap 적응 복소수 필터는 4개의 RB 승산기와 4개의 RB 가산기를 필요로 한다. 한편, RB 승산기는 radix-4 Booth recoding과 RB 수치계를 이용하여 구현된다 [5]. 따라서, RB 수치계의 carry-propagation-free (CPF) 가산에 의해 승산 및 가산과정을 고속으로 처리할 수 있다는 장점을 가지며, 또한 복소수 승산시 post-addition 과정이 필요 없어 전체적인 연산량의 감소와 함께 구조적인 단순화가 얻어진다. 이는 고속/고밀도/저전력 복소수 필터의 구현을 가능하게 하므로 PADFE의 효율적인 구현이 가능하다.

III. 알고리즘 시뮬레이션 및 회로 설계

3.1 알고리즘 시뮬레이션

PADFE의 하드웨어 구현을 위해 필요한 설계 파라미터 (즉, 등화기 필터의 tap 수, 데이터 및

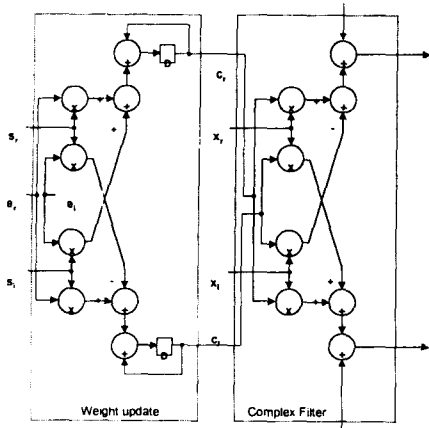


그림 3. 실수 승산기와 가산기를 이용한 1-tap 복소수 필터와 계수갱신 블록

필터 계수의 비트 수, LMS 알고리즘의 step size, 삼입 지연 수 등)를 결정하기 위해 COSSAP을 이용한 알고리즘 레벨 시뮬레이션을 수행하였다. 송·수신단과 무선채널로 구성되는 전체 무선통신 시스템을 모델링 하였으며, 시뮬레이션에 사용된 채널은 지연이 0인 직접 경로와 지연이 샘플링 주기의 1.5배인 간접경로로 구성되는 two-path 무선 채널 모델[6,7]이다. COSSAP을 이용한 Floating-point 시뮬레이션을 통해 ADFE를 구성하는 FFE와 DFE의 필터의 tap 수를 결정하였으며, step size는 2^{-6} 을 얻었다. 결정된 설계 파라미터를 적용하여 fixed-point 시뮬레이션을 수행하였으며, FFE와 DFE의 입력신호 비트 수, 필터계수의 비트 수, 그리고 에러신호의 비트 수 등을 가변 시키면서 반복 시뮬레이션을 수행하여 최적의 설계 조건을 찾았다. 그림 5-(a)는 입력 비트 수를 8-비트로 하고 DLMS 알고리즘의 삼입 지연 수를 4로 설정한 상태에서 필터계수의 비트 수를 변화시키면서 등화성능 즉, 입력신호의 SNR에 대한 비트 에러율 (Bit Error Rate; BER)을 시뮬레이션한 결과이다. 그림 5-(b)는 입력신호, 필터계수 및 에러신호의 비트 수를 각각 8-비트, 10-비트, 10-비트로 설정한 상태에서 DLMS 알고리즘의 삼입지연 수에 따른 등화성능을 시뮬레이션한 결과이다.

3.2 회로 설계

그림 6은 파이프라인 삼입위치를 결정하기 위해 FFE 블록과 심벌결정 및 에러생성블록을 포함하는 critical path를 나타낸 것이다. 그림 6에서 점선으로 표시된 경로가 파이프라인이 삼입되기 전의 ADFE의 critical path이며, 파이프라인 stage 간의 지연이 거의 같아지도록 그림에 표시된 위치에 파이프라인을 삼입하였다.

알고리즘 레벨 시뮬레이션 결과로부터 얻어진 설계 파라미터 (즉, FFE 및 DFE 필터의 tap 수,

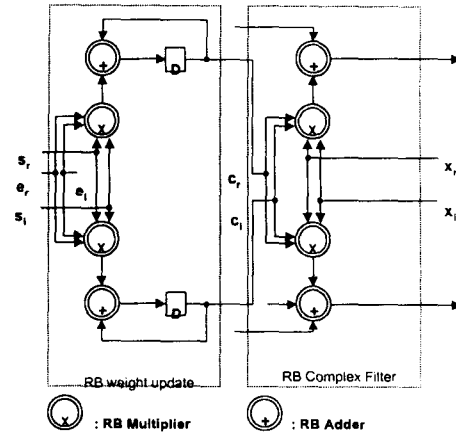


그림 4. RB 승산기와 가산기를 이용한 1-tap 복소수 필터와 계수갱신 블록

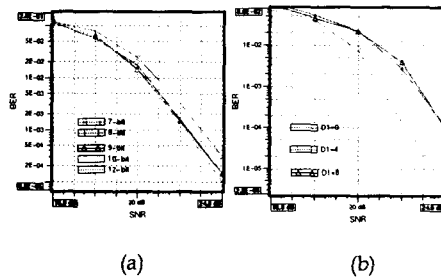


그림 5. 설계된 PADFE의 등화성능 시뮬레이션
(a) 필터 계수의 비트 수에 따른 BER의 변화,
(b) 삼입된 지연 수 D1에 따른 BER의 변화

에러 신호 및 필터 계수의 비트 수, 삼입지연 수 등)를 토대로 PADFE를 ALTERA FPGA로 구현하기 위해 다음과 같은 사항들을 고려하였다. 첫째, FPGA 구현상의 하드웨어 제약을 고려하여 FFE 및 DFE의 tap 수를 동일하게 4-tap으로 하였다. 둘째, 하드웨어 복잡도와 등화성능간의 상관관계를 고려하여 신호의 비트 수를 결정하였다. 입력신호는 FFE와 DFE에 각각 8-비트, 4-비트로 결정하였으며, FFE와 DFE의 필터 계수는 10-비트, 에러신호는 10-비트, 그리고 내부의 비트 수는 12-비트로 결정하였다. 셋째, DLMS 알고리즘의 수렴특성은 채널 특성에 따라 변할 수 있으므로 수렴 특성의 최적화를 위해 step size를 선택할 수 있도록 설계하였다. 넷째, 등화기 필터의 출력에서 발생할 수 있는 overflow 현상은 심벌 결정의 오류를 유발할 수 있으므로, 등화된 출력을 10-bit로 제한하는 saturation 회로를 삼입하였다. 다섯째, QPSK, 16-QAM 및 64-QAM 등의 변조방식을 지원할 수 있도록 하였다.

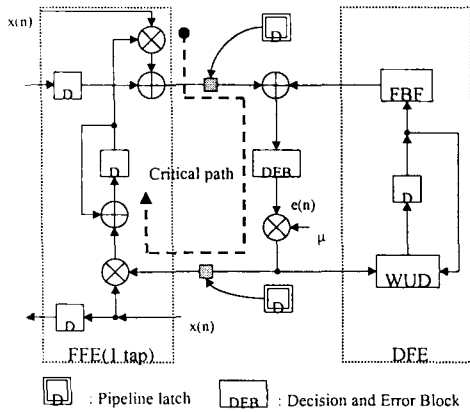


그림 6. ADFE의 critical path 및 pipeline 삽입위치

결정된 설계 파라미터를 적용하여 전체 PADFE 회로를 VHDL로 모델링한 후, MENTOR와 COSSAP을 이용한 fixed-point 시뮬레이션을 통해 논리기능과 등화성능을 검증하였다. 검증이 완료된 회로는 Synopsys를 사용하여 논리합성 과정을 거친 후, ALTERA MAX+PLUS-II를 사용하여 FPGA로 매핑 하였다.

그림 7은 설계된 PADFE의 16-QAM 등화 시뮬레이션한 결과이다. 그림에서 볼 수 있듯이, 등화전의 수신 신호는 심볼간 간섭으로 인해 심볼들이 넓게 퍼져있어 신호검출이 불가능하나, 등화 후의 성상도는 심볼간 간섭이 제거되어 16개의 symbol 값 근처로 집중되어 등화가 잘 이루어짐을 알 수 있다.

설계된 PADFE를 ALTERA의 FLEX10k100 칩으로 구현했을 때, FFE 블록은 약 4,360여개의 logic cell (LC)을 필요로 하며, DFE 블록과 ERR/Decision 블록은 약 3,420여개의 LC로 구현된다. 설계된 FPGA가 실장된 demo board는 PC와 인터페이스하여 전체 기능을 검증 중에 있다.

IV. 결 론

본 논문에서는 RB 수치계를 이용한 복소수 필터 구조를 적용함으로써 적응 결정귀환 등화기의 효율적인 구현방법을 제시하였다. ADFE의 동작속도를 향상시키기 위해 DLMS 알고리즘을 적용하였으며, 2단 파이프라인으로 동작하도록 설계하였다. 본 논문에서 제안된 방법은 실수 승산기를 사용하는 기존의 방법과 비교하여 복소수 필터의 구조가 단순화되고 연산속도가 향상되어 고밀도/고속/저전력 구현이 가능하다는 장점을 갖는다. 설계된 PADFE는 고 비트율 무선 통신 시스템의 채널등화에 적용 가능할 것으로 예상된다.

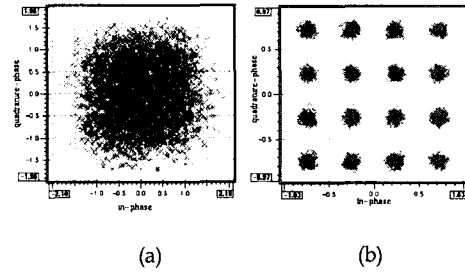


그림 7. 설계된 PADFE의 16-QAM 등화 시뮬레이션 결과
(a) 등화전의 성상도, (b) 등화후의 성상도

참 고 문 헌

- [1] G. Long, F. Ling, and J. G. Proakis, "The LMS algorithm with delayed coefficient adaptation", *IEEE Trans. on Acoustic, Speech, and Signal Processing*, vol. 37, pp. 1397-1405, Sept 1989
- [2] N. R. Shanbhag and K. K. Pahari, "Pipelined Adaptive DFE Architectures Using Relaxed Look-Ahead", *IEEE Trans. on Signal Processing*, vol. 43, no. 6, pp. 1368-1385, June, 1995.
- [3] M. Schobinger, et al, "CMOS digital adaptive decision feedback equalizer chip for multi-level QAM digital radio modems", *IEEE Int. Symp. on Circuit and Systems*, pp. 574-557, 1990.
- [4] R. Perry, D. R. Bul and A. Nix, "Pipelined DFE Architectures Using Delayed Coefficient Adaptation", *IEEE Trans. on Circuit and Systems Part II*, vol. 45, no. 7, pp. 868-873, July, 1998.
- [5] 김호하, 신경욱, "Radix-4 Booth Recoding과 RB 연산을 이용한 새로운 복소수 승산 알고리즘 및 10-bit CMAC 코어 설계", *대한전자공학회 논문지, C편*, vol. 35, no. 9, pp. 11-20, Sep., 1998.
- [6] J. Boccuzzi, "Performance Evaluation of Non-Linear Transmit Power Amplifiers for North American Digital Cellular Portables", *IEEE Trans. on Vehicle Technology*, vol. 44, no. 2, May, 1995.
- [7] W. P. Chou and P. J. McLane, "16-State Nonlinear Equalizer for IS-54 Digital Cellular Channels", *IEEE Trans. on Vehicle Technology*, vol. 45, no. 1, pp. 12-25, Feb., 1996.