

# 결정도에 의한 다치 순차회로 구현

김성대, 김휘진, 박춘명, 송홍복

동의대학교

## Implementation of multiple valued sequential circuit using decision diagram

^Sung-dae kim, ^Hue-jin Kim, ^^Chun-myung Park, ^Hong-bok Song

^Donguei university

^^Chungju university

E-mail : kimsd@hyomin.donguei.ac.kr

### 요 약

본 논문에서는 많은 함수를 용이하게 해석하고 테스트할 수 있는 결정도(Decision diagram)에 의한 다치순차논리회로(Multiple valued sequential circuit)를 구현하였다. 우선, 다치순차 회로의 기억소자는 D F/F를 이용하였으며 전류모드에 의한 결정도 순차 논리 회로를 구현한다. 이 회로의 동작특성은 PSPICE 시뮬레이션을 통하여 확인하였다. 본 논문에서 제시한 전류모드 CMOS의 결정도 다치순차회로는 회선 경로 선택의 규칙성, 간단성, 여러함수를 쉽게 해석하고 테스트 할수 있는 등등의 이점을 가지므로 VLSI화 실현에 적합할 것으로 생각된다.

### ABSTRACT

In this paper, Sequential circuit was implemented by decision diagram that can analyze and test large amount of functions easily. First of all, Memery device of multiple valued sequential circuit was used D F/F, implemented with CMOS current mode. The operation property of this circuit involved by PSPICE simulation. The result of Decision Diagram sequential circuit is simple and regular for selecting wire routing and possesses the property of analyze, testing. so it suitable for VLSI implementation.

### I. 서 론

오늘날 반도체 기술의 발달로 인하여 칩의 집적도가 비약적으로 증가하고 있으나 단자수 제한 문제, 단자간 상호 연결문제, 보다 많은 정보량의 처리문제와 연산속도의 제한성 문제등이 있다.

이러한 문제들을 해결하기 위해서 지난 수십년 동안 다치논리 회로의 실현에 많은 흥미를 가져왔다. 즉 2치 디지털 시스템 즉, 2치 부호화에 기초한 정보시스템에 대해서 다치 부호화를 기본으로 한 알고리즘으로부터 디지털 시스템을 구성해 가는 방식으로 현재의 2치 디지털 집적회로의 한계를 일으키는 새로운 하드웨어 실현 가능성을 가진다. 본 논문에서는 2치 결정도(BDD: Binary Decision Diagram) 바탕으로 대량의 함수값 해석과 테스트에 용이함을 이용해서 다치결정도로 확장해 다치 함수값의 해석과 테스트를 분석한다. 먼저 2치 결정도를 보이고 다음으로 다치결정도로 확장해 보았다. 그 후 결정도를 이용해서 다

치 순차회로로 확장해서 순차회로를 결정도로써 구현했다. 그리고나서 다시 각 노드값에 T 게이트를 사용해서 D F/F 순차회로의 블록도를 보였다. 마지막으로 T 게이트를 전류모드 CMOS를 이용해서 T 게이트를 설계하고 이모듈을 바탕으로 한 다치 D F/F를 설계한다. 그리고 이것을 검증하기 위해서 PSpice을 이용해서 시뮬레이션을 수행했다.

### II. 결정도

결정도는 완벽하고 간결한 함수의 결정을 구현하고 대량의 디지털 함수값을 결정, 해석, 테스트하고 구현하는데 이용되어 질수 있고, 디지털 함수와 시스템의 복잡해짐에 따라 실제묘사에 대한 부분이 문제가 되고 있는데 실제로 일반적인 진리치표, 카르노프 map은 변수의 수에 따라 지수적으로 커진다. 하지만 BDD표현법을 이용해 묘사의 차이를 줄이는 것이 가능해졌다.

II.1 결정도의 기본

DD은 그림1에서 처럼 각각의 변수의 노드를 가지고 각각의 노드의 함수값에 따라 노드의 패스가 결정된다. 따라서 각 변수의 값에 따라 결정되어 지는 최종의 함수값은 루트를 따라서 가지는 패스를 거쳐서 결정되어지고 이것을 대량의 함수값을 테스트하고 해석할수 있다.

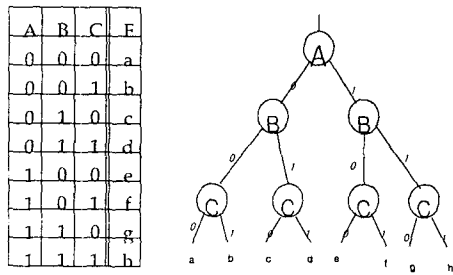


그림 1. 진리치표부터 결정도표현

그림1의 진리치표를 가지고 2차 결정도를 구성해 보면 3개의 변수에 따라 7개의 노드와 8개의 패스가 생긴다. 따라서 n-변수에 따라 (2<sup>n</sup>-1)개의 노드와 2<sup>n</sup>의 패스가 생긴다.

여기서 다음의 간단한 변수식을 생각해 보면,

$$f=A'BC'+AC \quad (1.1)$$

식(1.1)을 가지고 변수의 값에 따라 결정순서에 따라 결정도를 그려보면 그림2(a)로 구성되어지고 루트로부터 변수의 각 값에 따라 아래로 내려가서 최종가치에 도착한 값이 함수값 f를 가지게 된다. 간략화하면 그림2(b)와 같이 구성되어 진다.

이로써 노드의 수를 많이 줄일수 있다. 결정도에 의해 n-변수값을 예측할수 있고 미리 테스트용 테이블을 만들어 놓고 테스트할수 있다.

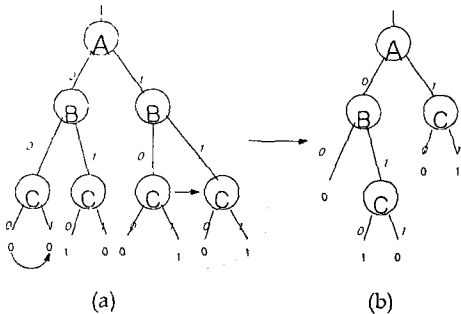


그림2 (a) 간략화전 결정도 (b) 간략화후 결정도

II.11 순차회로의 표현

이 결정도를 가지고 우리는 일반적인 모든 조합논리회로와 순차회로를 구성해 보면 그림3에서 보이는 것처럼 일반적인 조합논리 및 순차논리를 구성할수 있다. 여기서 순차논리소자는 에지 트리거 소자로 구성될수 있다.

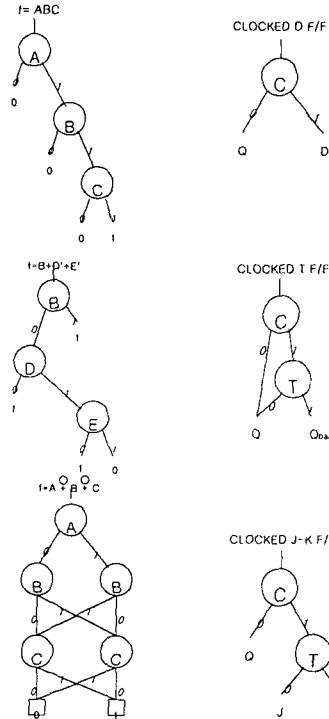


그림3 일반적인 조합,순차논리결정도

III. 다치 결정도확장과 다치순차회로

앞에서 설명한 2차결정도에서 다치로 확장해 각 노드의 에지를  $f: \{0, 1, 2, \dots, r-1\}$ 라고 놓으면 동일하며 많은 레벨을 가지는 다치에서 이용된다. 그림4에서 보이는 것처럼 다치결정도에서 입력변수값  $f\{X_1, X_2, \dots, X_n\}$ 은 각각 변수에 함수의 에지에 따라  $f\{0, X_2, \dots, X_n\}$ ,  $f\{1, X_2, \dots, X_n\}$ ,  $f\{2, X_2, \dots, X_n\}$ 에서  $f\{r-1, X_2, \dots, X_n\}$ 까지 표현된다 여기서 함수값이 결정된 노드는 더 이상 에지를 가지지 않고 에지에 따라 결정된 함수값이 출력된다. 이것을 터미널노드로 정의한다. 그리고 최종함수의 값이  $f_0, f_1$ 으로 나누면 함수의 분해(decomposition)도 가능해 탐다운 방식의 디지털 시스템의 설계도 유용하다.

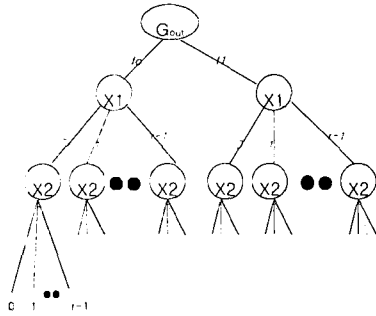


그림4 다치결정도

이를 바탕으로 다치시스템에 필요한 순서회로를 구성하기 위해서는 다치정보를 기억하는 회로가 필요하다. 다치순차회로 래치에 대해 보기전에 먼저 기억소자로서 래치의 필요사항을 보면, 정보의 정적(static)인 정보의 기억이 가능해야 하고 임의의 상태전이는 외부입력에 의하여 행해져야 한다. 그리고 마지막으로 상태변화가 외부출력으로 나타나져야 한다. 여기에서 다치회로에서는 첫째,두번째의 문제를 실현하기위해서 “회로를 어떻게 간단히 구성할것인가?”라는 것이 주관심이다. 즉, 다치시스템에서는 많은 기억레벨을 위해서 안전한 레벨재생회로와 상태전이회로의 실현이 가장 중요한 문제이다. 여기에서 그림5의 SR 래치회로의 대해서 보면, 기본 NAND 게이트를 3치로 확장해서 구성해 보았다.

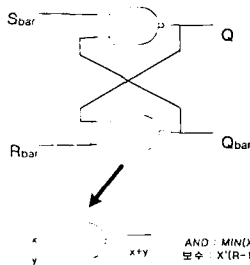


그림5 SR래치 NAND 기본회로

표1 3치SR래치 상태전이표

S,R	00	01	02	10	11	12	20	21	22
Q <sup>n</sup>	0	*	*	2	*	1	1	0	0
	1	*	*	2	*	1	1	0	1
	2	*	*	2	*	1	2	0	1

\* : 부정 Q<sup>n+1</sup> : 다음상태

표2 SR래치의 D F/F 확장

D	0	1	2
Q <sup>n</sup>	(2,0)	(1,1)	(0,2)
0	(2,1)	(1,2)	(0,2)
1	(2,0)	(1,1)	(0,2)
2	(2,0)	(1,1)	(0,2)

다치연산에서 AND연산은 MIN(X,Y)으로 최소치로, OR연산은 MAX(X,Y)로 최대치를 값으로 취한다. 반전직렬연산은 X'=(R-1)-X 로써 정의한다. 이로써 3치다치SR래치도 표1에서 처럼 S=2,R=2일 때 기억상태로 안정화되고 S=0,R=0일 때 부정상태인 것을 알수 있다. 따라서 입력 S, R이 인가되었을 때 표1에 안정상태의 어느쪽도 될 수 없는 것이다.

그리고 표1의 3치다치SR래치를 다치결정도로 나타내면 그림6(a)와 같다.

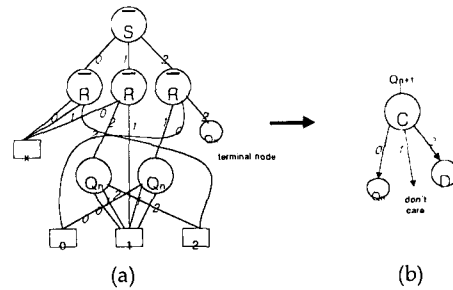


그림6 (a) 3치SR결정도 (b) D F/F 결정도

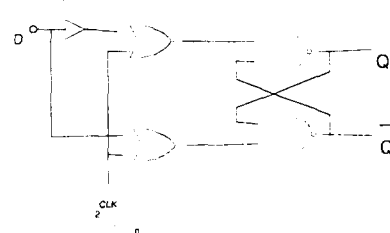


그림7 3치 D F/F 회로도

그리고 이 회로에서 표1에서 표2로 구성될 때 Sbar 와 Rbar가 서로 직렬반전일때 함수값이 D로 결정되는 것을 알수 있다. 그래서 그림에서 기본SR래치는 S,R이 D와 D'로 된다. 그리고 클럭이 0일때는 입력 D에 따라 상태전이를 얻을 수 있고 클럭이 2일때는 S,R은 OR회로에 의해 기억상태가 된다. 그리고 그림6(B)와 같이 클럭화된 D

F/F의 결정도를 얻을 수 있고 이를 바탕으로 T F/F J-K F/F를 결정도로 구성할 수 있고 결정도의 분해 및 조합으로 시스템을 해석할 수 있다.

IV. T gate 의 순차회로 구현

III에서 언급했듯이 다치 순차회로를 구현하기 위해서 회로를 간단하게 하는 것이 주관심인데, 여기서 순차회로를 구현하기 위해서 다른 기본 게이트를 이용하더라도 구성할 수 있지만 본 논문에서는 다레벨 입력과 조절단자를 가진 멀티플렉서 T 게이트를 가지고 구현했다. 그림8에서 기본 게이트 T 게이트를 다치결정도의 노드에 구성하고 TC를 클럭으로 구현하기 위해 0의 값은 DON'T CARE로 정했다. 레벨값이 1일 때 안정상태이고 레벨값이 2일 때 상태전이을 한다. 그림8에서 예시에 값에 따라 변환하므로 TD을 터미널 모드로 상하면 최종 그림6(B)와 같은 결정도를 얻을 수 있다. 입력에 다치를 표현하기 위한 다레벨 입력을 가지고 출력을 다시 피드백시켜 회로의 입출력을 분석하는 것으로 다안정상태를 실현하기 위해

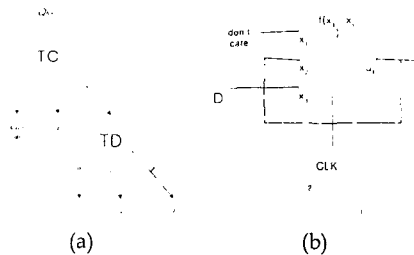


그림3 (a)결정도에 의한 D F/F 구현 (b) D F/F 블록도

기본 게이트는 T 게이트를 사용하고 그림6(B)의 다치결정도에서 클럭이 1일 때 안정화상태이고 클럭이 2이면 상태전이상태가 되도록 2의단자를 D의 터미널 모드로 해서 그림8(b)와 같은 블록도로 구현된다. D F/F 게이트를 구현하기 위한 시뮬레이션은 나타내기 위해 전류모드 CMOS을 사용해 설계하고 이것을 PSpice 시뮬레이션을 해 보았다.

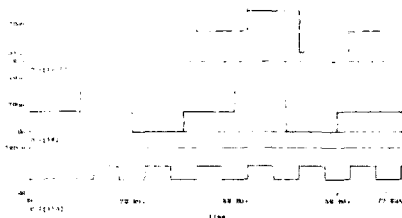


그림9 D F/F 시뮬레이션

입력 단위전류를 15uA로 하고 Vdd은 3.3V로 했다. SPICE 입력 파라메타는 MOSIS 제공 표준 2 um을 사용했다. 시뮬레이션결과는 그림10과 같았고 지연시간은 1.9ns로 나타났다.

V. 결 론 및 차후 연구과제

본논문에서는 2치결정도를 이용한 다치결정도 제시하였고 이를 바탕으로 전류모드 D F/F을 제시하였고 전류모드 CMOS의 의한 다치순차회로를 구현하였다. CMOS전류모드의 사용으로 입력의 핀수를 감소할 수 있고 회선경로 선택의 규칙성,간단성, 게이트의 모듈별로 설계하고 여러함수를 쉽게 해석하고 테스트 할 수 있는 이점을 가지므로 VLSI화 실현에 적합할 것으로 생각된다.

향후 연구과제는 CMOS회로에서 소비전력을 감소시키는 문제, 잡음에 대한 대책 및 미세선평의 반도체 기술에 맞도록 최적화하고 속도와 잡음여유에 대해 전압모드소자에 대한 연구가 필요 따라야 할 것이고 이를 바탕으로 빠른 속도의 기억소자의 셀의 연구가 필수적이다.

참고문헌

- [1] Sheldon B. akers "Binary Decision Diagram " IEEE transactions on computer, vol, c-27, no.6, pp. 509-516 June 1978.
- [2] Vaclav Dvorak, "Bounds on the Size of Decision Diagrams", Journal of Universal Science, vol.3, no.1 1997, 2-22
- [3] Hafiz Md. Hasan Babu and T. Sasao "Design of Multiple - Output Networks Using Time Domain Multiplexing and Shared Multi-Terminal Multiple Value Decision Diagrams" Proc. ISMVL. pp. 45-51 , 1998
- [4] Robert J. Barton, T. Owens Walker, Douglas J. Fouts " A CMOS current-mode Full adder Cell for Multi Valued logic VLSI!" [http://www.crcg.edu/staff/rbarton/mswcas97/mvl\\_paper.html](http://www.crcg.edu/staff/rbarton/mswcas97/mvl_paper.html)
- [5] 성현경,윤광섭 "전류모드 CMOS에 의한 다치 연산기 구현에 관한 연구, 전자공학회 39권 C편 제9권, pp 35-45. 1999.8
- [6] 권순재,송홍복 "전류모드 CMOS를 이용한 다치논리 설계". 동의대학교 전자공학과 석사 학위 논문 1996.2