

# 다층 양자우물구조 광 변조기와 전계효과 트랜지스터를 사용한 광 송/수신기회로의 SPICE 모사

이 유 중\*

\*동의대학교 전자통신공학과

## SPICE Simulation of All-Optical Transmitter/Receiver Circuits Configured with MQW Optical Modulators and FETs

Yoo Jong Lee\*

\*Dept. of Electronic Comm. Eng., Dong-Eui Univ.

E-mail : yjl@hyomin.dongeui.ac.kr

### 요 약

전계효과 트랜지스터와 광 다이오드 및 다층 양자우물구조 광 변조기로 구성되는 광 스위치 회로와 몇 가지 전광 송/수신기 회로(all-optical transmitter/receiver circuits)에 대하여 시변 전이 동작 특성을 SPICE를 사용 모사한 결과를 기술하였다. 본 모사 실험에서 광 변조기 소자의 수광 창의 크기는  $20 \mu\text{m} \times 20 \mu\text{m}$ 으로 고려하였고 사용된 FET 소자의 게이트 폭은  $100 \mu\text{m}$ 이며 전달컨덕턴스 값은 측정된 소자 특성에서  $55 \text{ mS/mm}$ 로 사용되었다. 모사 결과 광 논리소자의 고속 동작을 위해서는 소자의 크기를 줄이며 입력 광 다이오드의 responsivity가 최대값을 가지는 바이어스점에 동작하도록 설계하고, 짧고 강한 세기의 광선을 입력 광 신호로 사용해야 함을 알 수 있었다.

### ABSTRACT

In this paper, an optical switching circuit and several types of all-optical transmitter/receiver circuits which are configured with photodiodes, multiple quantum-well(MQW) optical modulators, and field-effect transistors(FETs) were simulated using PSPICE and their results of these are examined and discussed.  $20 \mu\text{m} \times 20 \mu\text{m}$  of window size was used for the optical modulators and  $100 \mu\text{m}$  wide FETs with the transconductance value of  $55 \text{ mS/mm}$  were used for the simulations. Simulation results clearly show that in order for the high speed operation of the all-optical circuits, the size of each device should be minimized to reduce the parasitic capacitance, the circuits should be designed to operate at the wavelength where the responsivity of photodiodes becomes the maximum peak, and the use of short, high-intensity input optical signal beams is very advantageous.

### 1. 서 론

오랜 동안 점차 소자속도의 개선의 관점에서 그 물리적 한계에 접근하고 있는 전자소자의 대체 소자로서 전광 반도체 소자의 출현이 기대되어 왔다.<sup>[1, 2]</sup> 최근 광 쌍안정성, 저 전력소모, 고속 스위칭 동작특성, 2차원 또는 3차원 병렬처리 기능, 가변하는 접속기능등 강력한 소자기능을 가지는 소위, 'smart pixel' 소자의 출현으로 전광 소자의 우수함과 가능성에 대한 관심이 높아지고

있다.<sup>[3, 4, 5]</sup> 본 논문에서는 전광 반도체 소자 중에서도 소자의 동작에너지 소모, 동작속도, 대형 배열소자 특성의 안정성과 재현성등의 면에서 가장 우수한 결과들을 보이고 있는 다층 양자우물구조(MQW) 광 변조기와 전계효과 트랜지스터를 집적하여 구성하는 광 스위칭 회로와 몇 가지 광 송/수신기회로의<sup>[6, 7]</sup> 고속동작 응답 특성을 직접 제작된 광 다이오드 및 전계효과 트랜지스터의 소자 모델인수들을 사용하여 SPICE 모사한 결과들을 검토하고 회로의 고속동작을 위한 조건

들에 대하여 분석하였다.

## II. 본 론

### II-1. 기본 스위칭 소자의 동작 원리

본 광 논리소자의 기본 스위치 회로는 두 개의 입력 광다이오우드  $D_1$ ,  $D_2$ 와 한 개의 전계효과 트랜지스터  $F_1$ , 한 개의 다층우물구조형 광 변조기  $M_1$ 의 조합으로 그림 1과 같이 구성된다. 이때 입력광 다이오우드  $D_1$ ,  $D_2$ 를 각각 'reset' 및 'set' 다이오우드라고 부르기로 한다.<sup>[6]</sup>

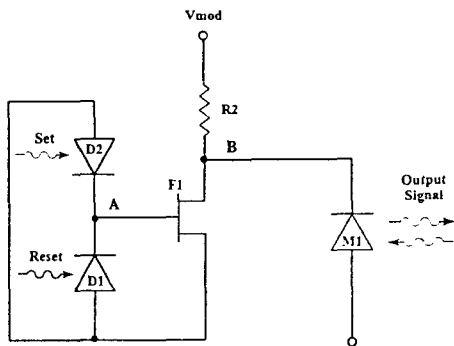


그림 1. 두 개의 입력 광 다이오우드를 가지는 기본 스위칭 회로.

먼저 입력신호 광 범이 reset 광 다이오우드  $D_1$ 에 조사되면  $F_1$ 의 게이트 입력단에는 광 기전력 효과(photovoltaic effect)에 의하여 전계효과 트랜지스터의 채널을 펀치-오프 상태로 만들 수 있는 양의 전압이 형성되어 부하저항  $R_2$ 의 값보다 FET 채널 저항값이 훨씬 커지게 되고 인가전압  $V_{mod}$ 의 대부분 값이  $M_1$ 의 양단에 형성된다. 다층양자우물 구조의 광변조기  $M_1$ 은 역방향 인가전압에 의하여 quantum confined Stark effect (QCSE)<sup>[9]</sup>가 발생  $M_1$ 에 인가되는 출력용 광신호의 변조기 최대 흡수 파장이 변이 하게 된다. 만일 0 volt의 상태에서 변조기 출력광의 파장을  $M_1$ 의 최대 흡수 위치에 설계하였다면  $V_{mod}$ 의 인가에 따라 출력용 광신호의 변조기에 의한 흡수는 감소하고 따라서 큰 값의 출력광 신호가 방출된다. 반대로  $M_1$ 에  $V_{mod}$ 가 인가된 상태에서 출력신호용 광신호의 파장이 최대 흡수계수를 가지도록 변조기의 소자특성을 설계하면 입력 광신호를  $D_1$ 에 조사함에 따라 출력 광신호의 크기는 줄어들게 된다.

입력 광신호가 set 다이오우드  $D_2$ 에 조사되면  $F_1$ 의 입력단자에는 음의 전압이 형성되고 이에 따라 FET의 채널이 개방되어 트랜지스터 채널 저항은  $R_2$ 에 비하여 무시할 정도로 작은 값이 된다.

즉, 인가전압  $V_{mod}$ 의 대부분은 부하저항  $R_2$ 의 양단에 인가되어  $M_1$ 에는 전압이 거의 인가되지 않게 된다. 이와 같은 기본 논리회로의 구성을 바탕으로 입력 광 다이오우드의 구성과 조합을 적절히 하고 출력단의 다층 양자우물구조 변조기의 QCSE를 이용하면 전체 회로의 동작이 광 신호만의 사용으로 이루어지고 입력 광신호의 변화 조합에 따라 출력광이 논리적으로 출력되는 전광 논리회로(all-optical logic circuits)의 구현이 가능해진다.

### II-2 시변특성 해석을 위한 전계효과 트랜지스터와 광 다이오우드의 소자인자 추출

전광논리회로 소자의 고속, 시변 천이동작을 PSPICE를 사용 모사하기 위하여 먼저 광 다이오우드 및 광 변조기를 위한 다이오우드와 전계효과 트랜지스터의 등가 모델 소자인자(parameter)를 각각 추출하였다. 표 1과 2는 각각 회로 모사를 위한 개별소자의 소자인자를 추출한 결과를 요약한 결과이다.

표 1. 제작된 광 다이오우드의 측정 데이터에서 추출된, SPICE 모사에 사용된 소자 인자값.

| $BV^*$<br>breakdown<br>voltage | $IBV^*$<br>breakdown<br>current | $R_s$<br>parasitic<br>resistance | $C_{JO}$<br>junction<br>capacitance | $EG$<br>bandgap<br>voltage | $I_S$<br>saturation<br>current |
|--------------------------------|---------------------------------|----------------------------------|-------------------------------------|----------------------------|--------------------------------|
| 21.6 volts                     | $2.5E-6$ amp                    | 6 K $\Omega$                     | 240 fFarad                          | 1.11 eV                    | 1E-8 amp                       |

표 2. 제작된 전계효과 트랜지스터의 측정 데이터에서 추출된, 전광 회로의 SPICE 모사에 사용된 인자값.

| $g_m(BETA)$ | $V_{th}$ | $R_s, R_{D1}$ | $R_{D2}$   | AREA         | ALPHA  |
|-------------|----------|---------------|------------|--------------|--------|
| 53 mS/mm    | -1 volt  | 15 $\Omega$   | 5 $\Omega$ | 0.13 $\mu^2$ | 2.5    |
| $V_{th}$    | $E_s$    | $C_{D1}$      | $C_{D2}$   | $C_{D3}$     | LAMBDA |
| 0.9 volt    | 0.9 volt | 50 fFarad     | 200 fFarad | 100 fFarad   | 0.02   |

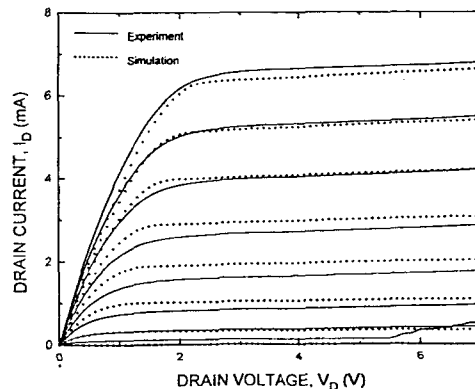


그림 2. 제작된 펄스-도핑형, 100  $\mu$ m 게이트

폭을 가지는 전계효과 트랜지스터의 전류-전압 특성 곡선의 측정치를 SPICE의 Statz형 MESFET 모델 특성곡선과 함께 비교한 결과.

다이오드의 경우 전압-전류 특성 및 역방향 항복전압의 측정 결과로부터 추출되었고 전계효과 트랜지스터의 소자인자는 공정을 통해 제작된 펄스-도우핑형 채널 구조와 100  $\mu\text{m}$ 의 게이트 폭을 가지는 전계효과 트랜지스터의 전류-전압 특성 곡선의 측정치를 PSPICE의 Statz형 MESFET 모델을 모사한 특성 곡선과 함께 비교한 결과이다. 그림에서 실제 제작된 소자 특성과 Statz 모델 소자의 모사 결과의 차이는 PSPICE에 펄스-도우핑형 채널 또는 고전자 이동도형 전계효과 트랜지스터 모델이 내장되어 있지 않아 MESFET 모델을 사용한 결과로 풀이된다.

### II-3 광 송/수신기 회로 동작특성의 SPICE 모사

그림 3에는 Bell Lab이 제안한 광 송/수신기 구성 회로가 제시되었다.<sup>[6]</sup> 이 회로 구성에서 위쪽 다이오드의 n-형 접합은 아래쪽 다이오드의 p-형 접합과 결선되어 있으며 이들은 모두 입력 전계효과 트랜지스터의 게이트 단자와 연결되어 있다. D<sub>1</sub>, D<sub>2</sub>의 set 및 reset 다이오드는 FET F1를 스위칭 시켜주는 입력 전압을 제공하며 이러한 결선 회로를 '자기-바이어스형 입력단(self-biased input stage)'이라고 명명되었다.<sup>[6]</sup> 이 회로 구성에서는 소위, '다이오드 클램프형 입력단(diode-clamped input stage)' 회로와 같은 추가적인 바이어스 회로가 필요 없으며 이에 따라 회로가 간단해지는 큰 장점이 있다. 또 이 회로 구성에서는 양자우물층 밑의 p<sup>+</sup>-층이 각 FET 소오스 단자와 결선 되어 인접한 회로들간에 소위, side-gating 효과를 유발시키는 것으로 알려진 stray 전계를 차단하는 역할을 한다. 이 회로는 출력단이 두 개의 다층 양자우물구조 광 변조기 M<sub>1</sub>과 M<sub>2</sub>를 채택하고 있으며 두 개의 상보출력(complementary outputs)을 낸다. 그림 4에는 변조기 M1과 M2에서의 입력신호 V(M<sub>1</sub>) 및 V(M<sub>2</sub>)의 반복적인 변화를 노우드 A에서 100 MHz의

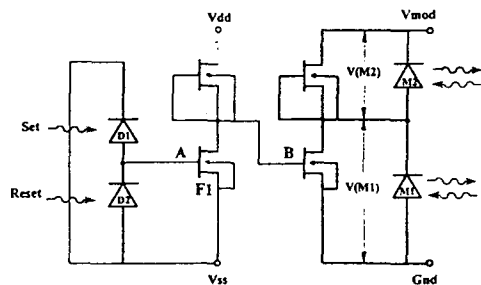


그림 3. Bell Lab이 제안한 자기 바이어스 입력 단형 전광 송/수신기 회로의 개념도.

$\pm 1$  volt의 구형파로 변화시켜 이에 따른 노우드 B에서의 전압변화를 출력 값으로 모사한 결과를 도시한 결과이다. 이때 입력 펄스신호에 대하여 10%의 상승 및 하강시간(rise and fall time)을 각각 고려하였다.

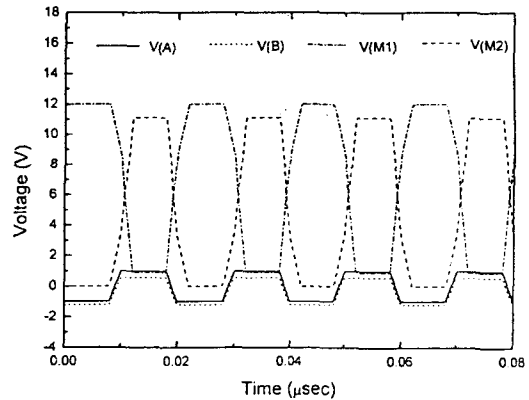


그림 4. 광 송/수신기 회로(그림 3)의 입력단 노우드 A점에 100 MHz 입력 펄스가 인가된 때에 출력 노우드 B점에서 광 변조기 M<sub>1</sub>, M<sub>2</sub>에 각각 인가되는 바이어스 전압의 SPICE 모사 특성.

### II-4. Buffered-FET 논리 인버터 회로를 사용하는 광 송/수신기 회로의 SPICE 모사.<sup>[10, 11]</sup>

이 회로가 발표된 논문에서 주어진 V<sub>dd</sub> 및 V<sub>ss</sub> 값을 모사에서 그대로 사용한 경우의 결과는 그림처럼 출력이 입력 노우드 A점에서의 파형의 똑같은 재현으로 나타나고 있다. 입력 인가전압이 변화함에 따라 대부분의 변조기 바이어스 전압 V<sub>mod</sub>는 M<sub>1</sub> 또는 M<sub>2</sub>에 변갈아 가며 인가되고 이에 따라 출력 광 신호도 변갈아 출력된다.

그림 5에는 앞의 회로를 보다 더욱 복잡한 광 송/수신기 회로가 제시되었다. 이 송/수신기 회로는 GaAs MESFET 디지털 회로의 대표적인 방

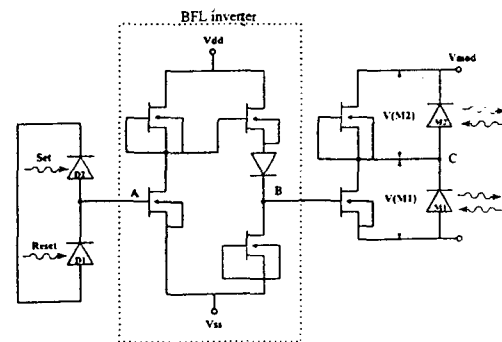


그림 5. Buffered FET 논리(BFL) 인버터를 채택한 형태의 광 송/수신기 회로의 개념도.

식인 buffered FET 논리(BFL) 인버터터를 채택하고 있다. Buffered FET 인버터터 논리는 적절한 잡음특성과 같은 문턱전압을 가지는 공핍형 트랜지스터들로 구성되며 고속 동작시 유리한 장점을 지닌다. BFL 인버터터에 사용되는 레벨 천이용 다이오우드의 개수는 사용되는 트랜지스터 특성과 바이어스 조건에 따라 가변한다. 그림 5에는 노우드 A의 입력단에 100 MHz의 펄스를 10%의 상승 및 강하 시간을 고려하여 인가한 후 (V(A)) 노우드 B에서의 인버터터 출력 값 V(B)와 노우드 C에서 두 개의 광 변조기 M<sub>1</sub>, M<sub>2</sub>에 인가되는 바이어스 전압 값 V(M<sub>1</sub>), V(M<sub>2</sub>)를 SPICE 모사하여 각각 도시한 결과이다. 입력 펄스의 극성이 바뀔때 따라 각 출력 광 변조기에의 바이어스 전압도 따라서 번갈아 인가됨을 보이고 있다. 실제 올바르게 동작하는 BFL 인버터터 회로의 설계 시에는 각 바이어스 전압 값들, FET 게이트 폭과 같은 소자 인수들, 레벨 천이용 다이오우드의 개수 등의 모델링 변수들을 변화시켜 가며 복잡한 최적화 과정을 거쳐야 한다. 그림 5의 파형을 얻는데는 단 한 개의 레벨천이용 다이오우드만을 사용하였다. 이회로와 같은 BFL 인버터터 전광송/수신기 회로의 구성 시에는 보다 큰 레벨 전압강하 값을(~2-3 volts) 가지는 양자우물 구조의 다이오우드 보다는 안정된 레벨(~1 volt) 천이를 얻기 쉬운 쇼트키 장벽형 다이오우드를 사용하는 것이 더 효과적이다.

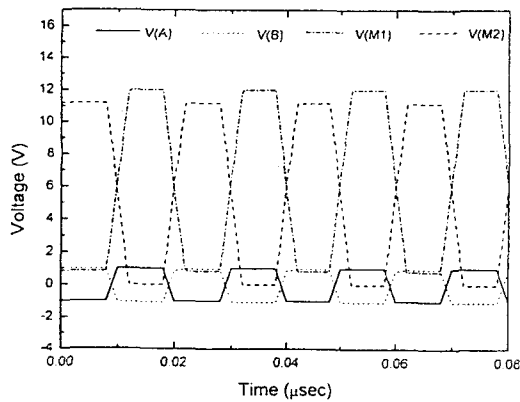


그림 6. Buffered FET 논리(BFL) 인버터터를 채택한 광 송/수신기 회로(그림 5)의 입력단 노우드 A점에 100 MHz 입력 펄스가 인가된 때에 출력 노우드 B점에서 광 변조기 M<sub>1</sub>, M<sub>2</sub>에 각각 인가되는 바이어스 전압의 SPICE 모사 특성.

그림 1, 3, 5의 전 광 스위칭 회로와 송/수신기 회로의 동작에서 입력 다이오우드에 P<sub>op</sub>의 광 전력 이 τ<sub>op</sub>만큼의 시간 동안 조사된다고 하면 총 에너지는

$$E_{op} = P_{op} \cdot \tau_{op} \quad \dots\dots\dots (1)$$

가 되고 이를 광 다이오우드의 responsivity R(A/watt)을 사용 표시하면 광 기전력효과를 낼 수 있는 총 축적 전하는 두 입력 다이오우드간 전압의 변화 값 ΔV<sub>in</sub>

$$Q = E_{op} \cdot R = P_{op} \cdot \tau_{op} = C_{in} \cdot \Delta V_{in} \quad \dots\dots (2)$$

이 된다. 전하는 광 다이오우드의 암전류와 방전시간의 곱이므로

$$Q = i \cdot t \quad \dots\dots\dots (3)$$

로 쓸 수 있다. 식 (2)는 다음과 같은 중요한 물리적 의미를 지니게 된다. 먼저, 회로의 고속 동작을 위해서는 소자의 크기를 가능한 작게 만드는 등 기생 용량성분을 최소화 해야한다. 두 번째, 입력단의 광 다이오우드의 responsivity는 직접 회로 응답속도에 영향을 미치므로 주어지는 바이어스 조건에서 responsivity가 최대가 되도록 회로 설계가 이루어지도록 한다. 또한 입력 신호의 광원은 짧고 세기가 강한 펄스 빔을 사용해서 빠른 시간내에 전하가 형성될 수 있게 해야한다. 이것은 아주 짧은 시간내에는 이 전광회로의 입력단에 인가되는 전압의 전하가 방전되지 않는 소위, '동적 래칭(dynamic latching)' 특성의 장점을 활용하는 것이다.<sup>[12]</sup>

## V. 결 론

본 논문에서는 전계효과 트랜지스터와 광 다이오우드 및 다층 양자우물구조 광 변조기로 구성되는 광 스위치 회로와 몇 가지 전광 송/수신기 회로(all-optical transmitter/receiver circuits)에 대하여 PSPICE를 사용하여 시변 고속 응답 특성을 모사한 결과에 대하여 기술하였다. 모사 실험을 위하여 직접 제작된 광 변조기 소자와 전계효과 트랜지스터의 소자인수가 회로의 응답 모사에 다. 모사 결과는 광 논리소자의 고속 동작을 위해서는 소자의 크기를 가능한 최소로 줄여서 소자의 기생 용량성을 최소화하고 입력 광 다이오우드의 responsivity가 최대값을 가지는 바이어스점에 동작하도록 설계하고, 짧고 강한 세기의 광선을 입력 광 신호로 사용해야 함을 알 수 있었다.

## 참 고 문 헌

[1] M. R. Feldman, S. C. Esener, C. C. Guest, and S. H. Lee, "Comparison between optical and electrical interconnects on power and speed considerations," Appl. Optics, vol. 27, No. 9, pp. 1742-1751, May 1988.

- [2] P. Berra, et al., "The impact of optics on data and knowledge base system," IEEE Trans. Knowledge and Data Eng., vol. 1, No. 1, pp. 111-131, March 1989.
- [3] C. W. Wilmsen et al., "Smart pixels using the Light Amplifying Optical Switch (LAOS)", IEEE J. Quantum Electron., vol. 29, pp. 769-774, Feb. 1993.
- [4] Ping Zhou, Juilan Cheng, S. Z. Sun, C. F. Schaus and C. Hains, "Surface emitting laser based optical bistable switching devices," Appl. Phys. Lett., Vol. 59, No. 21, p. 18, Nov. 1991.
- [5] S. Goswami, S. H. Hong, D. Biswas, P. K. Bhattacharya, J. Singh and W. Q. Li, "Low power exciton based heterojunction bipolar transistors for thresholding logic applications," IEEE J. Quantum Electron., vol. 27, pp. 760-768, 1991.
- [6] L. D'Asaro et al., "Batch Fabrication and Operation of GaAs-AlGaAs Field-Effect Transistor-Self-Electrooptic Effect Device (FET-SEED) Smart Pixel Arrays," IEEE J. of Quantum Electron., pp. 670-676, Vol. 29, NO. 2, Feb. 1993.
- [7] A. L. Lentine, L. M. F. Chirovsky, and T. K. Woodward, "Optical energy considerations for diode-clamped smart pixel optical receivers," IEEE J. of Quantum Electron., vol. 30, No. 5, pp. 1167-1170, May 1994.
- [8] T. K. Woodward, A. L. Lentine, and L. M. F. Chirovsky, "Experimental sensitivity studies of diode-clamped smart pixel optical receivers," IEEE J. Quantum Electron., vol. 30, No. 10, pp.2319-2324, October 1994.
- [9] D. A. B. Miller, D. S. Chemla, T. C. Damen, T. H. Wood, C. A. Burrus, A. C. Gossard, and W. Wiegmann,, "The quantum self-electrooptic effect device: Optoelectronic bistability and oscillation, and self-linearized modulation,"IEEE J. Quantum Electron., vol. 21, pp. 1462-1476, 1985.
- [10] T. K. Woodward, A. L. Lentine, and L. M. F. Chirovsky, et al., "Ring Oscillators with Monolithically Integrated Optical Readout based on GaAs-AlGaAs FET-SEED Technology," IEEE Electron Dev. Lett., vol. 16, pp. 52-54, Feb. 1995.
- [11] T. K. Woodward, A. L. Lentine, and L. M. F. Chirovsky, "1 Gbit/sec operation and bit-error rate studies of FET-SEED diode-clamped smart pixel optical receivers," IEEE Photonics Tech. Lett., vol. 7, No. 7, pp. 763-765, July 1995.
- [12] A. L. Lentine, L. M. F. Chirovsky, M. W. Focht, J. M. Freund, G. G. Guth, R. E. Leibenguth, G. J. Przybylek, and L. E. Smith, "Diode-clamped symmetric self-electrooptic effect devices with subpicojoule switching energies," Appl. Phys. Lett., vol. 60, pp. 1809-1811, 1992.