

## PCS 용 CMOS 전력 증폭기

윤영승\*, 주리아\*, 손영찬\*, 유상대\*\*

\*경북대학교 대학원 전자공학과, \*\*경북대학교 전자전기공학부

전화: (053) 940-8837 / 팩스: (053) 950-5505

### CMOS Power Amplifier for PCS

Young-Seung Yun\*, Ri-A Ju\*, Yeong-Chan Son\*, Sang-Dae Yu\*\*

\*Department of Electronics, Graduate School, Kyungpook Nat'l Univ

\*\*School of Electronics and Electrical Engineering, Kyungpook Nat'l Univ

E-mail: ysyun@palgong.knu.ac.kr

#### Abstract

In this paper, A CMOS power amplifier for PCS is designed with 0.65- $\mu\text{m}$  CMOS technology. Differential cascode structure is used which has good reverse isolation and wide voltage swing. This amplifier circuits consist of three stages which are power amplification stage, driver stage and power control stage. We obtain output power of 30 dBm, IMD3 of -31dBc and efficiency of 30 % at input power of 4 dBm.

#### I. 서론

최근의 놀랄만한 개인용 이동 통신의 발달과 급속한 수요증가로 인하여 RFIC (radio frequency integrated circuits)의 중요성이 대두되고 있으며, 이동 통신용 부품에 대한 관심이 높아짐에 따라 많은 연구 개발이 이루어지고 있다. 송수신단의 이동 통신용 부품의 현재 추세는 저전력화, 고집적화, 경량화, 그리고 낮은 설계 비용 등을 절실히 요구하고 있다. 개인 휴대 통신용의 RF 송수신기를 구성하는 지금까지의 일반적인 접근 방식을 보면 고주파의 RF 전단부는 갈륨비소 (GaAs) 나 바이폴라 (bipolar) 트랜지스터를 사용하여 구성하고 저주파의 기저대역 신호처리는 CMOS 공정을 이용

하여 구현되어왔다. 그러나 최근에는 공정 수준이 발달하여 표면 상태의 영향이 감소하고 submicron 공정이 보편화되면서 차단주파수가 매우 높아지게 됨에 따라 가장 보편화 되어있고 집적도를 높일 수 있으며 비용과 전력소모를 줄일 수 있는 CMOS 공정만으로 송수신기 전체를 구현하려는 노력의 일환으로 CMOS 전력 증폭기 (power amplifier : PA), 저잡음 증폭기 (low noise amplifier : LNA), 주파수 변환기 (mixer) 등의 설계 및 제작에 관한 연구가 증가하는 추세이다. 그러나 아직까지 CMOS를 이용한 전력 증폭기에 대한 연구는 미약한 실정이다.

본 논문에서는 무선 통신 송신부에서 중요한 기능을 하는 전력 증폭단과 구동 증폭단, 그리고 전력 제어단 (power level control)의 세 분야를 동시에 구현하고자 한다. 또한 집적도를 최대화하기 위해 RF 구성 요소들을 온칩 (on-chip)으로 설계하여 저비용 및 저전력 소모를 도모하여 각 단간의 외부적인 정합요소들을 감소시킬 수 있다. 그리고 전체 단을 차동 캐스코드 (cascode) 구조로 사용하였다. 이러한 캐스코드 구조를 사용함으로써 일반적인 공통 소스 증폭기의  $C_{gd}$ 의 밀러 효과를 피하고자 하였고 또한 고주파, 고전력 단에서의 입력과 출력 사이의 피드백 (feedback)의 양이 전력 증폭부를 불안정하게 할 수 있으므로 좋은 역방향 차단 성능을 시킬 수 있었다[1,2,3]. 본 논문에서 사용된 차동 구조는 큰 대기 전력 소모를 줄일 수 있도록 정전류원을 사용하지 않았다. 따라서 각 디바

이들은 문턱 전압보다 약간 크도록 바이어스 함으로써 전원으로부터의 DC 전류를 최소화할 수 있도록 설계되었다.

본 논문은 II에서 차동 구조를 사용한 전력 증폭기를 보이고 III에서는 RF 평면 나선형 인덕터의 최적화 설계 구현을 그리고 IV에서는 전체 모의 실험 결과를 정리하고 마지막으로 V에서 결론을 맺는다.

## II. 전력증폭기의 설계

전력 증폭단은 전력증폭기의 마지막 단으로써 실질적으로 전력을 증폭하는 단이다. 따라서 가장 주의하여 설계되어야만 한다. 그림 1은 사용된 전체 전력 증폭기의 절반회로이다. 사용된 차동 구조는 정전류원을 제거함으로써 각 디바이스들이 문턱 전압보다 약간 크게 바이어스 되어야만 한다. 즉 AB급 증폭이 이루어져야만 하며 이러한 효과는 전원으로부터 DC 전류를 최소화할 수 있다. 또한 캐스코드 구조를 사용함으로써 앞단에서 보여지는 입력 커패시턴스 성분이 물리적인  $C_{gd}$  성분보다 상당히 커지는 Miller 효과를 줄이고자 하였으며 출력 저항 성분의 증가로 인한 높은 이득을 얻을 수 있다[1].

캐스코드 구조는 고주파, 고전력단에서 입력과 출력 사이에 역방향 차단 특성이 좋으므로 피드백으로 인해 전력 증폭단이 불안정해지는 것을 막을 수 있다. Stability factor  $k$ 와  $b$ 로 안정성을 판별할 수 있으며 본 회로에서는 식(1,2,3)을 만족함으로써 무조건 안정성을 갖고 있다[2].

$$k = \frac{1 - |S_{11}|^2 - |S_{22}|^2 + |A|^2}{2|S_{21}S_{12}|} > 1 \quad (1)$$

$$b = 1 + |S_{11}|^2 - |S_{22}|^2 - |A|^2 > 0 \quad (2)$$

$$A = S_{11}S_{22} - S_{12}S_{21} \quad (3)$$

1W의 전력을 얻기 위해 optimum resistance를 결정해야한다. 따라서 식[4,5]을 만족하는  $R_{opt}=32 \Omega$  이며  $V_{Dpeak}$ 는 8 V이고  $I_{Dpeak}$ 는 250 mA를 만족해야 한다.

$$P = \frac{V_{Dpeak}^2}{2R_{opt}} \quad P = \frac{I_{Dpeak}^2 R_{opt}}{2} \quad (4)$$

$$I_{pk} = \sqrt{\frac{2P}{R_{Load}}} \quad (5)$$

한편, 수동소자인 인덕터 중 RFC (radio frequency choke)는 오프칩 성분으로써 DC적으로 단락, AC적으로는 개방으로 동작하기 위해 상당히 큰 값을 갖는다. 또한 중심 주파수에서 출력 임피던스의 허수 성분

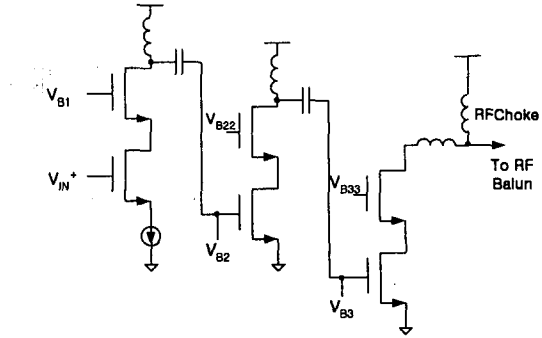


그림 1 전체 전력 증폭기의 절반 회로

Fig. 1 Half of total power amplifier circuit

을 제거하기 위해 인덕터를 사용한다. 출력 전압이 변화함에 따라  $C_{db}$ 성분도 변화하게되어 전체적으로 허수 성분이 변하게 된다. 이것은 매칭시킬 커패시턴스 범위가 커지게 되므로 이러한 허수 성분의 평균값에 매칭시키는 방법을 사용하였다. 이 방법은 변화하는 성분에 대해 공진의 변화를 최소화할 수 있는 장점이 있다.

각각의 단은 결합 커패시터를 사용하여 AC 결합시켰으며 결합 커패시터와 게이트 커패시턴스 성분에서 전압 분배가 발생되어 신호의 감쇠가 일어나지 않도록 큰 값을 사용하였다. 바이어스는 칩 측정시 용이하게 하기 위해 오프칩 (off-chip)으로 설계하였다[3].

구동 증폭단은 전력 증폭단을 구동하기 위해 사용되었으며 동일한 구조와 설계방법을 사용하였다. 마지막 단은 전력을 제어하는 단으로써 정전류원의 값을 변화시킴으로써 이득을 변화시켜 전력의 레벨을 제어하는 단으로 A급으로 설계하였다. 이러한 정전류의 변화는 디지털적으로 제어될 수 있도록 설계할 수 있다.

그러나 본 논문에서는 정전류원을 오프칩으로 구성하여 측정에 용이하도록 하였다.

## III. RF 평면 인덕터의 모델링 및 설계

RF 회로의 설계에 있어 수동소자들을 설계하는 방법이 중요한 쟁점으로 대두되고 있다. 능동소자를 이용해서 수동소자의 역할을 하게 할 수도 있다. 하지만 능동소자의 대역폭의 제한, 높은 잡음 (noise)과 왜곡 (distortion), 전력소모의 문제가 발생한다. 이러한 문제점은 RF 회로의 on-chip화 추세에 맞지 않아 수동소자를 이용한다. 본 논문에서는 실리콘 기판 위에 금속 배선을 이용하여 인덕터를 설계하였다. 회로의 성능은 고정된 인덕터의 기하학적인 모양에 의해 결정된다는 사실 때문이다. RFIC 설계에서 많이 사용되는 인덕터

설계 방법은 금속배선을 나선 형태로 하여 인덕턴스 성분을 얻는 방법을 사용한다. 이러한 인덕터를 나선형 인덕터라 한다. 나선형 인덕터의 모델 변수 추출은 식으로 구할 수 있다. 인덕턴스 L은 위에서도 언급했듯이 공정 기술에 의존하는 것이 아니라 기하학적인 모양에 의존한다. 다음 식(6,7,8)에 의해 총 인덕턴스가 계산되어진다.[4,5,6]

$$L_T = L_0 + \sum M \quad M = 2 \ell Q \quad (6)$$

$$Q = \ln \left\{ \left( \ell / GMD \right) + \left[ 1 + \left( \ell^2 / GMD^2 \right) \right]^{(1/2)} \right\} - \left[ 1 + \left( GMD^2 / \ell^2 \right) \right]^{1/2} + (GMD / \ell) \quad (7)$$

$$\ln GMD = \ln d - \left\{ \left[ 1/12(d/w)^2 \right] + \left[ 1/60(d/w)^4 \right] + \left[ 1/168(d/w)^6 \right] + \left[ 1/360(d/w)^8 \right] + \left[ 1/660(d/w)^{10} \right] + \dots \right\} \quad (8)$$

$$L_x = 2 \ell_x \left\{ \ln \left[ 2 \ell_x / (w+t) \right] + 0.50049 + \left[ (w+t) / 3 \ell_x \right] \right\} \quad (9)$$

$L_T$ 는 총 인덕턴스  $L_0$ 는 직선 부분의 자기 인덕턴스의 합이며  $\sum M$ 는 양과 음의 값을 가진 상호 인덕턴스의 합이다. 두 도선사이의 상호 인덕턴스는 도체의 길이와 기하학적 평균 거리의 함수로서 표현 되어진다.

그림 2는 나선형 인덕터의 구조 및 두 도선 필라멘트의 기하학적 구조는 식(7,8)에 의해 계산되어진다.

$M$  [nH]는 상호 인덕턴스이고  $\ell$  [cm]는 도체의 길이,  $Q$ 는 상호 인덕턴스 변수이고  $t$ 는 도체의 두께이며 위 식(7,8,9)에서 계산되어 질 수 있다. 이 식에서  $\ell$ 은  $Q$ 의 첨자와 관계한 길이이며  $GMD$ 는 두 도체 사이의 기하학적 평균 거리로써 대략 트랙의 중심들 사이의 거리  $d$ 와 같게된다. 정확한  $GMD$ 의 값은 두 개의 가는 도선으로 도체를 가정한 후 식(8)에서 유도될 수 있다. 여기서 각각의  $M$ 항은 방정식에서 계산되며 첨자는  $M$ 항과 관계된 길이이다. 본 논문에서는 문제를 단순화시키기 위해 식(10)에 제한을 가하기로 한다.

$$2M_{j,m} = (M_{m+p} + M_{m+q}) - (M_p + M_q) \quad (10)$$

즉  $p=q$  이라면,

$$M_{j,m} = M_{m+p} + M_p \quad (11)$$

인 경우로 한정하며  $p=0$  인 경우 약간의 오차를 수반 하지만 무시하였다. 이러한 오차의 성분은 무시 할만한 것이다. 직렬저항  $R_s$ 는 그림 2와 식(12)와 같이 표현된다.

$$R_s = \frac{\rho_{metal}}{t_{metal}} \cdot \frac{A_r}{W} \cdot \left( \frac{1}{W} + \frac{1}{\delta} \right) \cdot \eta_A \quad (12)$$

여기서  $\rho_{metal}/t_{metal}$ 은 금속의 표면저항으로 금속의 저항률과 두께 비를 나타낸다. 또  $\delta$ 는 식(13)으로 표현되며,  $\omega_0$  [rad/s]는 동작 주파수이고,  $K_R$ 은  $3.6 \times 10^9$  [ $m^{1.2} \cdot H/Q$ ]의 값을 가지며  $A_r$ 은 인덕터를 구성하는

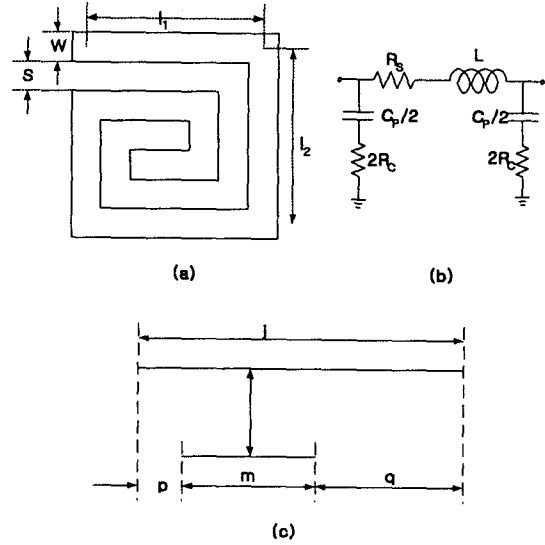


그림 2 (a) 나선형 인덕터  
(b) 나선형 인덕터의 해석적 모델  
(c) 두 개의 필라멘트 기하학구조  
Fig. 2 (a) Spiral inductor  
(b) Analytical spiral inductor  
(c) Two-filament geometry

전체면적으로 정방형일 경우는  $S^2$ 으로 표현된다.

$$\delta = \left( \frac{\rho_{metal}}{t_{metal}} \cdot \frac{K_R}{\omega_0} \right) \quad (13)$$

금속과 기판 사이의 기생 커패시턴스  $C_p$ 와 기판에 대한 저항성분  $R_c$ 에 대한 표현은 각각 식(14)과 식(15)에서 보여준다. 식에서  $\epsilon_{ox}/t_{ox}$ 는 field oxide의 단위 면적당 커패시턴스를 나타내고, 식에서  $R_{sub} [\Omega/\square]$ 는 기판 저항이고,  $t_{sub}$ 는 기판 두께를 나타낸다[14,15].

$$C_p = \frac{\epsilon}{t_{ox}} \cdot A_r \cdot \eta_A \quad (14)$$

$$R_c = R_{sub} \cdot \left( \frac{t_{sub}^2}{t_{sub}^2 + A_r} \right) \quad (15)$$

이러한 나선형 모델링 방법을 MATLAB 프로그램으로 반복 작업을 하여 최적의 값을 찾아내었다.

#### IV. 모의 실험 결과

본 논문에서는 전 단을 차동 캐스코드 구조를 사용하여 PCS 대역의 전력 증폭기를 설계하였다[7]. 차동 캐스코드 구조를 사용함으로써 역방향 차단 특성을 크게 할 수 있었다. 다음단의 전력 결합기에서 약 3 dB

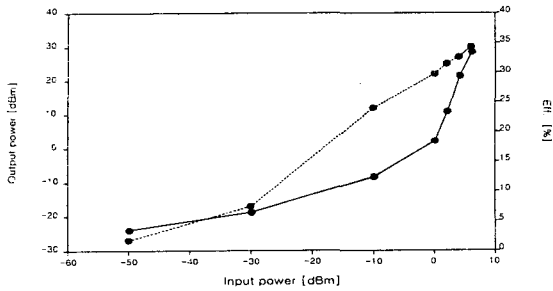


그림 3 (a) 출력-입력 전력(점선)  
 (b) 효율-입력 전력(실선)  
 Fig. 3 (a) Output-input power(dash line)  
 (b) Eff.-input power(real line)

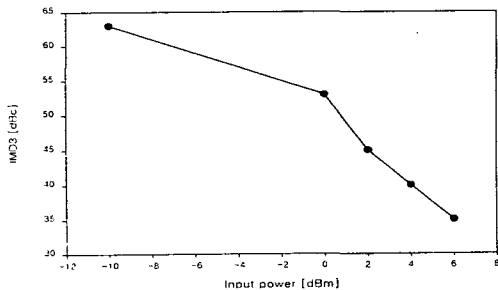


그림 4 IMD3 - 입력 전력  
 Fig. 4 IMD3 - input power

정도 감쇠가 있을 것이며 이러한 감쇠를 고려하여 설계하였다. 0.65  $\mu\text{m}$  CMOS 공정 모델 파라미터를 HSPICE로 모의실험 한 결과 주파수 1765 MHz, 입력 전력 6 dBm에서 출력전력 30 dBm, 효율 30 % 와 IMD<sub>3</sub> -31 dBc이상의 특성을 보이고 있다. 본 논문에서 설계된 전력 증폭기는 PCS의 설계 규격을 만족하는 성능을 보이고 있다.

### V. 결론

본 논문에서는 CMOS를 이용하여 차동 캐스코드 전력 증폭기를 설계함으로써 저전력화, 고집적화, 경량화, 그리고 낮은 설계비용 등을 만족할 수 있었다.

또한 RF 평면 인덕터의 모델링에 있어서 MATLAB을 통해 최적화가 가능하였고 자기 인덕턴스뿐만 아니라 상호 인덕턴스까지 계산이 가능하게 됨으로서 보다 정밀한 인덕터 설계가 가능하였다. 0.65  $\mu\text{m}$  CMOS 공정 모델 파라미터를 HSPICE로 모의실험 한 결과 주파수 1765 MHz, 입력 전력 6 dBm에서 출력전력 30 dBm, 효율 30 % 와 IMD<sub>3</sub> -31 dBc이상의 특성을 보이고 있다. 전력 증폭기를 집적화 시킴으로서 LNA, mixer, DA(drive amplifier) 등과 함께 RF 전용 칩의

구현이 가능하게 되었다.

### 참고문헌

- [1] Rofougaran, M., A.Rofougaran, C. Olgaard, and A.A Abidi, "A 900 MHz CMOS RF power amplifier with programmable output", in *Symp. on VLSI Circuits*, Honolulu, 1994.
- [2] Ahmadrza Rofougaran, Glenn Chang, Jacob J. Rael, James Y.-C. Chang, Maryam Rofougaran, Paul J. chang, Masoud Djafari, M.-K. Ku, Edward W. Roth, Asad A. Abidi, Henry Samueli, "A single - Chip 900-MHz Spread-Spectrum wireless transceiver in 1- $\mu\text{m}$  CMOS Part I: Architecture and transmitter design," *IEEE J. Solid-State Circuit*, vol 33, no. 4, April 1998.
- [3] A. A. Abidi, "Direct-conversion radio transceivers for digital communication," *IEEE J. Solid-State Circuit*, vol 30, pp. 1399-1410, Dec. 1995.
- [4] Jan Crols, Peter Kinget Jan Craninckx and Michiel Steyaert, "An analytical model of planar inductors on lowly doped silicon substrates for high frequency analog design up to 3 GHz," 1996 *Symposium on VLSI Circuits Digest of Technical Papers*, pp. 28-29, 1996.
- [5] John R. Long, and Miles A. Copeland, "The modeling, characterization, and design of monolithic inductors for silicon RFIC's," *IEEE J. Sold-state Circuits*, vol. 32, no. 3, pp. 357-369, Apr. 1997.
- [6] H. M. Greenhouse, "Design of planar rectangular microelectronic inductors," *IEEE trans. Parts, Hybrids, and Packaging*, vol. PHP-10, no. 2, June 1974.
- [7] A. A. Abidi and J. C. Leete, "De-embedding the noise figure of differential amplifiers," *IEEE J. Solid-State circuits*, vol, 34. no. 6, June 1999.